




计算机系统结构实验指导书-LAB4

 上海交通大学 计算机科学与工程系 Dept. of Computer Science & Engineering	标题	文档编号	版本	页
	计算机系统结构实验指导书 LAB4 作者 CETC	CSE-COA-LAB-004 修改日期 3/21/2019	0.5	1 of 14 公开

1. 概述

1.1 实验名称

简单的类 MIPS 单周期处理器实现 –寄存器、存储器与有符号扩展

1.2 实验目的

1. 理解 CPU 的寄存器、存储器、有符号扩展

1. Register 的实现

2. Data Memory 的实现

3. 有符号扩展的实现

4. 使用行为仿真

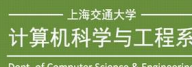
1.3 实验预计时间

约 120~150 分钟

1.4 实验报告与验收办法

1) 实验报告和工程文件在第十二周星期五晚上 23 点前提交

2) 无法验收，报告中检查三个模块仿真结果)

 上海交通大学 计算机科学与工程系 Dept. of Computer Science & Engineering	标题	文档编号	版本	页
	计算机系统结构实验指导书 LAB4	CSE-COA-LAB-004	0.5	2 of 14
	作者	修改日期	公开	
	CETC	3/21/2019		

2. 新建工程

2.1 实验描述

2.1.1 新建工程

1. 新建工程 lab04
2. 选择 FPGA 参数:
选择 xc7k325tffg676-2

Parts | Boards

[Reset All Filters](#)

Category: All

Package: ffg676

Temperature: All Remaining


Family: Kintex-7

Speed: -2

Search: Q-

Part	I/O Pin Count	Available IOBs	LUT Elements	FlipFlops	Block RAMs	Ultra RAMs	DSPs	Gt
xc7k160tffg676-2	676	400	101400	202800	325	0	600	8
xc7k325tffg676-2	676	400	203800	407600	445	0	840	8
xc7k410tffg676-2	676	400	254200	508400	795	0	1540	8

3. 点击 Next
4. 点击 Finish。

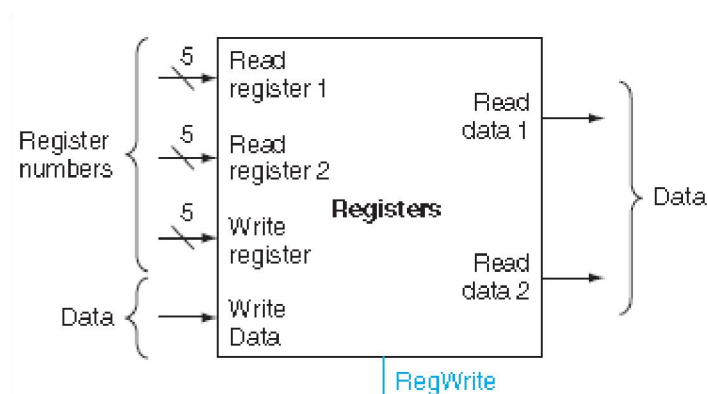
 上海交通大学 计算机科学与工程系 Dept. of Computer Science & Engineering	标题	文档编号	版本	页
	计算机系统结构实验指导书 LAB4	CSE-COA-LAB-004	0.5	3 of 14
	作者 CETC	修改日期 3/21/2019	公开	

3. 寄存器

3.1 实验描述

3.1.1 模块描述

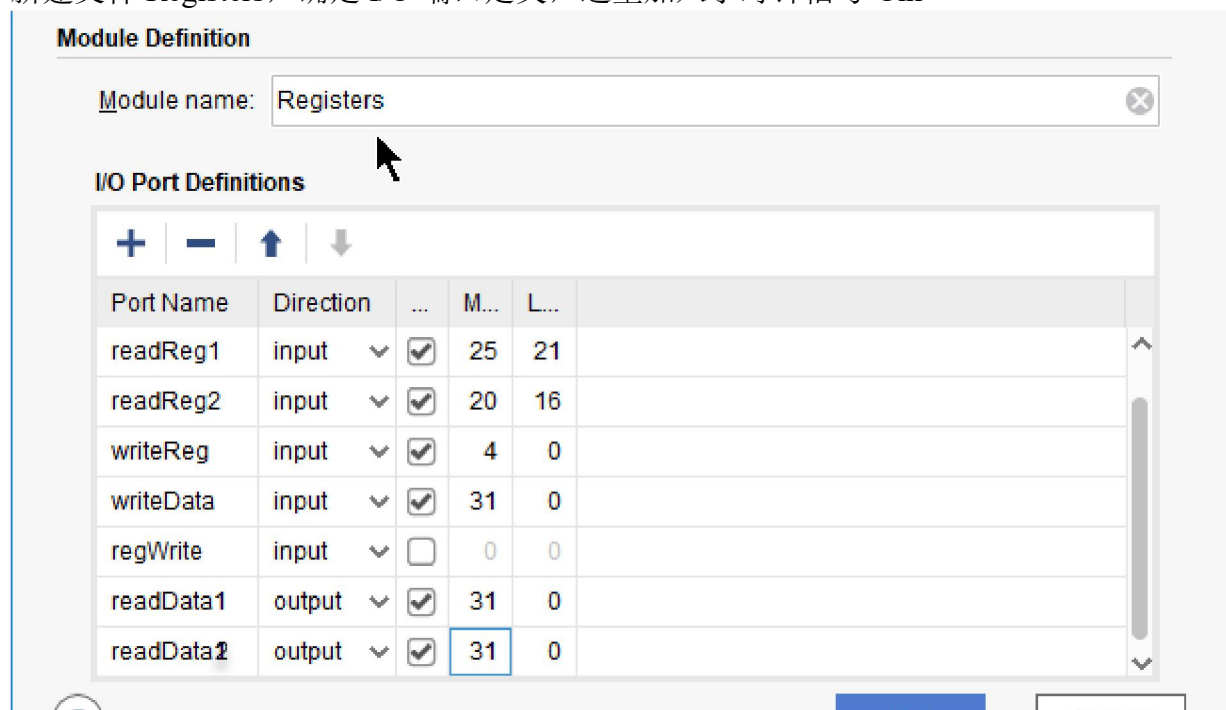
寄存器是指令操作的主要对象，32 位的 MIPS 中共有 32 个 32 位的寄存器。



寄存器模块

3.1.2 新建模块源文件

新建文件 Registers，确定 I/O 端口定义，这里加入了时钟信号 Clk



上海交通大学 计算机科学与工程系 Dept. of Computer Science & Engineering	标题	文档编号	版本	页
	计算机系统结构实验指导书 LAB4	CSE-COA-LAB-004	0.5	4 of 14
	作者	修改日期	公开	
	CETC	3/21/2019		


3.1.3 编写功能

由于不确定 WriteReg, WriteData, RegWrite 信号的先后次序, 可采用时钟的下降沿作为写操作的同步信号, 以防止发生错误。

```
31      //
32      reg [31:0] regFile[31:0];
33
34
35      always @(readReg1 or readReg2 or writeReg)
36      begin
37          // ToDo
38      end
39
40      always @ (negedge Clk)
41      begin
42          // ToDo
43      end
44
```

3.1.4 仿真测试

1. 测试文件名可取 Registers_tb
2. 添加如下激励信号, 进行行为仿真。使用 Clk 作为时钟输入, 仿真周期自定, 时钟周期可设为 200ns。

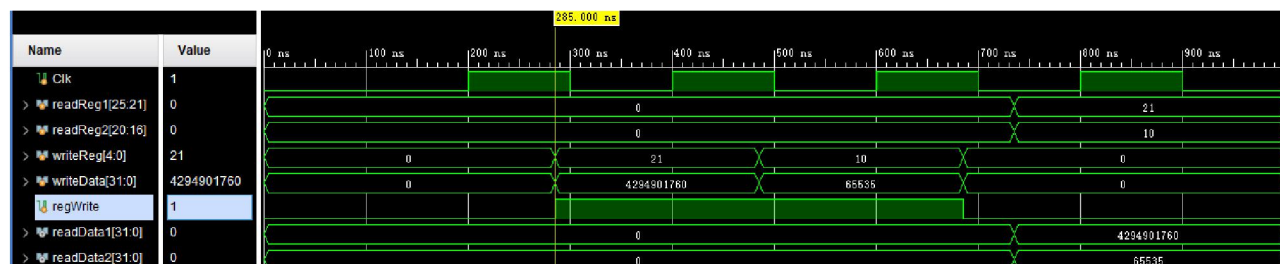
 上海交通大学 计算机科学与工程系 Dept. of Computer Science & Engineering	标题	文档编号	版本	页
	计算机系统结构实验指导书 LAB4	CSE-COA-LAB-004	0.5	5 of 14
	作者	修改日期	公开	
	CETC	3/21/2019		

```

59 initial begin
60     // Initialize Inputs
61     //.....
62
63     //Current Time: 285ns
64     #285;
65     regWrite = 1'b1;
66     writeReg  = 5'b10101;
67     writeData = 32'b11111111111111110000000000000000;
68
69     //Current Time: 485ns
70     #200;
71     writeReg = 5'b01010;
72     writeData = 32'b00000000000000000111111111111111;
73
74     #200;
75     regWrite = 1'b0;
76     writeReg = 5'b00000;
77     writeData = 32'b00000000000000000000000000000000;
78
79     //Current Time: 735ns
80     #50;
81     readReg1 = 5'b10101;
82     readReg2 = 5'b01010;
83
84 end

```

3. 下面给出给出仿真波形样例（这是原先线下要检查的也是你做仿真要得到的 请截图）：



3.2 实验报告

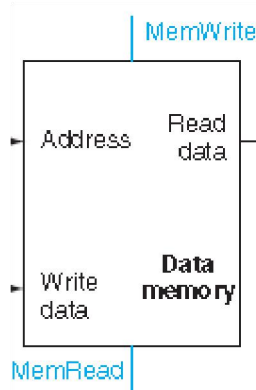
<div>上海交通大学</div> <div>计算机科学与工程系</div> <div>Dept. of Computer Science & Engineering</div>	标题	文档编号	版本	页
	计算机系统结构实验指导书 LAB4	CSE-COA-LAB-004	0.5	6 of 14
	作者	修改日期	公开	
	CETC	3/21/2019		

4. 内存单元模块

4.1 实验描述

4.1.1 模块描述

存储器本模块与 register 类似，由于写数据也要考虑信号同步，因此也需要时钟。内存单元的实现，也可用系统 Block Memory 来生成。参见本手册最后附录的部分图示。



4.1.2 新建模块源文件

Module Definition

Module name: dataMemory

I/O Port Definitions

Port Name	Direction	Bus	MSB	LSB
Clk	input	<input type="checkbox"/>	0	0
address	input	<input checked="" type="checkbox"/>	31	0
writeData	input	<input checked="" type="checkbox"/>	31	0
memWrite	input	<input type="checkbox"/>	0	0
memRead	input	<input type="checkbox"/>	0	0
readData	output	<input checked="" type="checkbox"/>	31	0

OK Cancel

上海交通大学 计算机科学与工程系 Dept. of Computer Science & Engineering	标题	文档编号	版本	页
	计算机系统结构实验指导书 LAB4 作者 CETC	CSE-COA-LAB-004 修改日期 3/21/2019	0.5	7 of 14 公开

1


2

3
4
5
6
7
8
9
10
11
12

21

- 24

25
26
27
28
29
30
31
32
33
34
35
36
37
38
39
40
41
42

 上海交通大学 计算机科学与工程系 Dept. of Computer Science & Engineering	标题	文档编号	版本	页
	计算机系统结构实验指导书 LAB4	CSE-COA-LAB-004	0.5	8 of 14
	作者	修改日期		
	CETC	3/21/2019	公开	

3. 下面给出给出仿真波形样例（实验中这个原先也是要检查的）：

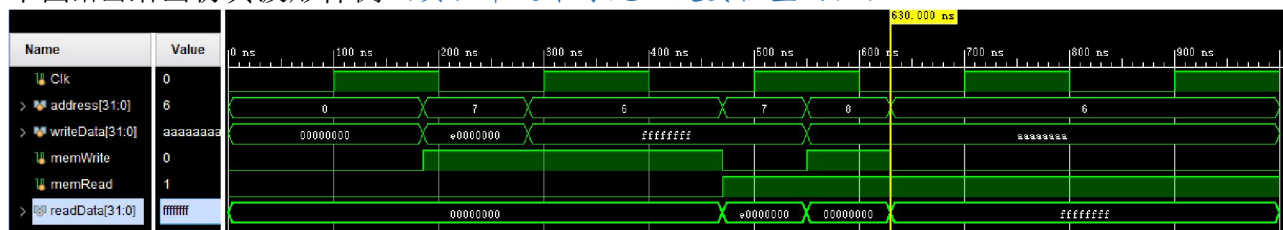


图 A

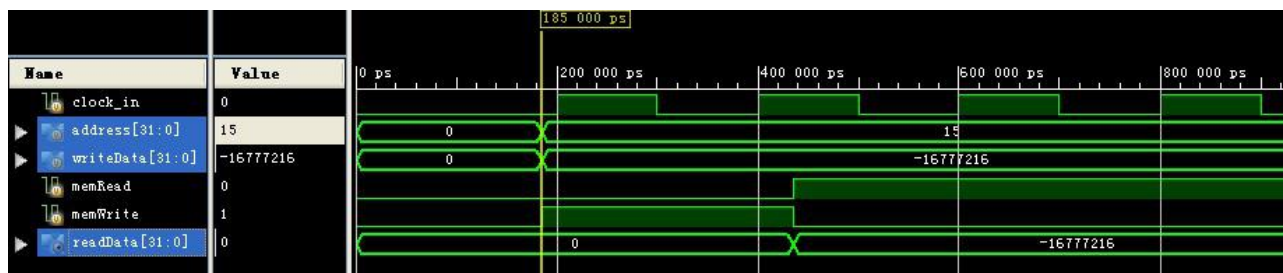



图 B

图 A 和图 B 其实相同，只是采用了不同进制且时钟名不同而已

4. 观察波形是否满足逻辑，如果有错，检查代码，重新仿真。

4.2 实验报告

 上海交通大学 计算机科学与工程系 Dept. of Computer Science & Engineering	标题	文档编号	版本	页
	计算机系统结构实验指导书 LAB4	CSE-COA-LAB-004	0.5	9 of 14
	作者	修改日期	公开	
	CETC	3/21/2019		

5. 带符号扩展

5.1 实验描述

5.1.1 模块描述

将 16 位有符号数扩展为 32 位有符号数。

补码：

(1) 正数的补码：与原码相同。

+9 的补码是 00001001。

(2) 负数的补码：符号位为 1，其余位为该数绝对值的原码按位取反；然后整个数加 1。
求 -7 的补码。

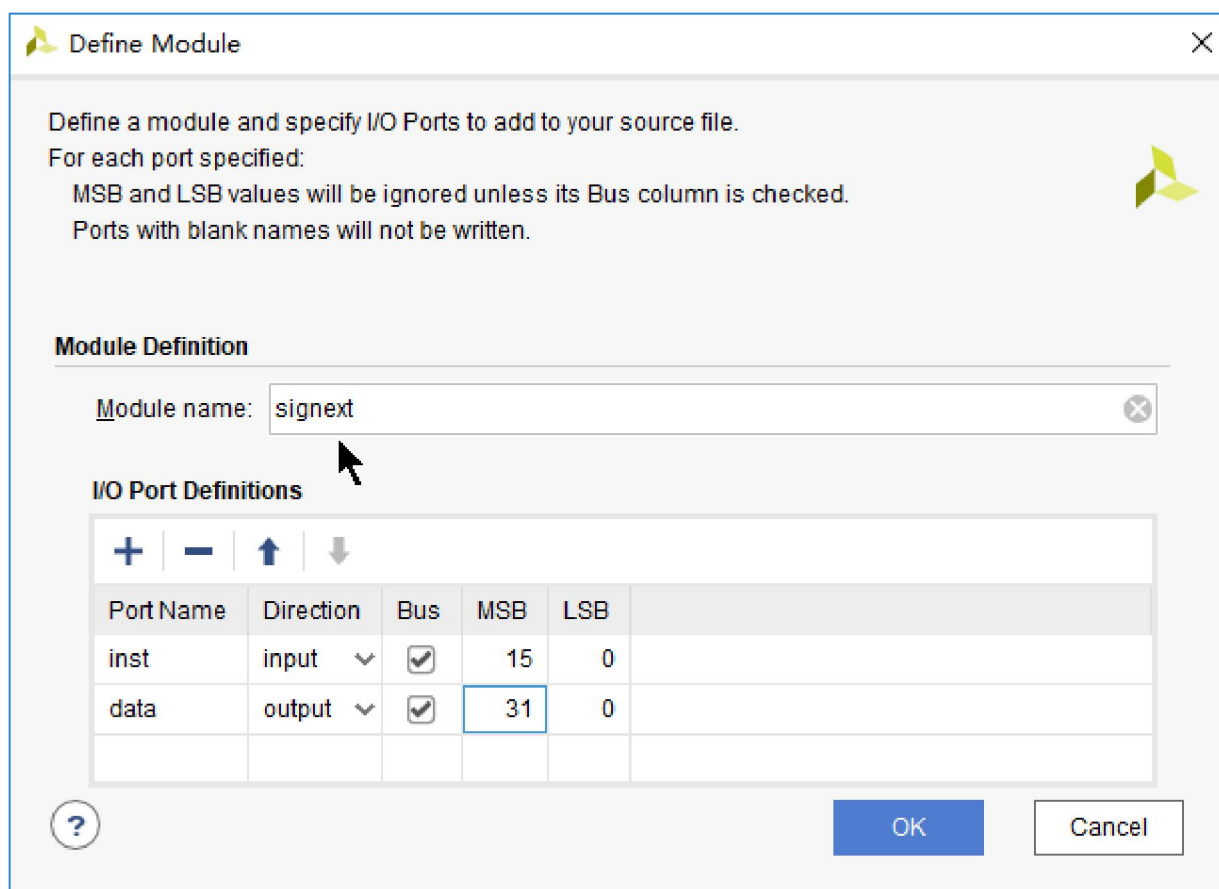
因为给定数是负数，则符号位为“1”。

后七位：+7 的原码 (0000111) → 按位取反 (1111000) → 加 1 (1111001)

所以 -7 的补码是 11111001。

PS: 带符号扩展只需要在前面补足符号即可。

5.1.2 新建模块源文件



The image shows a 'Define Module' dialog box. It contains instructions on how to define a module and specify I/O ports. The 'Module Definition' section has a text field for 'Module name' with the value 'signext'. The 'I/O Port Definitions' section contains a table with columns: Port Name, Direction, Bus, MSB, and LSB. There are two rows: 'inst' with direction 'input' and MSB '15', and 'data' with direction 'output' and MSB '31'. The 'Bus' column has checkboxes that are checked for both rows. There are also buttons for '+', '-', '↑', and '↓' above the table. At the bottom, there are 'OK' and 'Cancel' buttons.

Define a module and specify I/O Ports to add to your source file.
For each port specified:
MSB and LSB values will be ignored unless its Bus column is checked.
Ports with blank names will not be written.

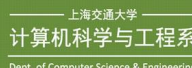
Module Definition

Module name: signext

I/O Port Definitions

Port Name	Direction	Bus	MSB	LSB
inst	input	<input checked="" type="checkbox"/>	15	0
data	output	<input checked="" type="checkbox"/>	31	0

OK Cancel

 上海交通大学 计算机科学与工程系 Dept. of Computer Science & Engineering	标题	文档编号	版本	页
	计算机系统结构实验指导书 LAB4 作者 CETC	CSE-COA-LAB-004 修改日期 3/21/2019	0.5	10 of 14 公开

5.1.3 实现功能

有多种方法将符号补齐，例如：

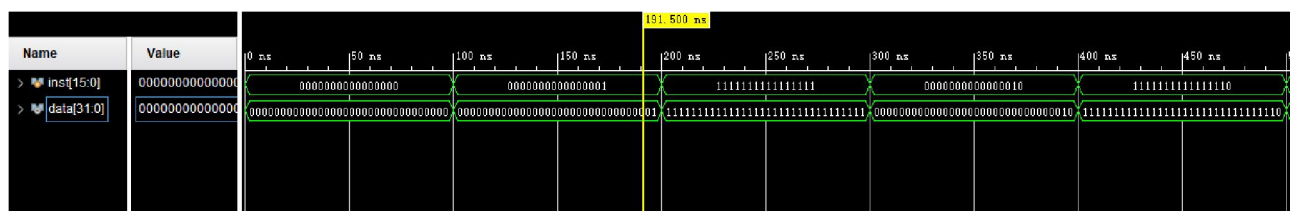
```
module signext(
    input [15:0] inst,
    output [31:0] data
);

    assign data= //How to;

endmodule
```

5.1.4 仿真测试


1. 添加激励信号，进行行为仿真
2. 观察波形是否满足设计逻辑
3. 参考波形如下（这个原先也是要检查的）：



5.2 实验报告

PS: 寄存器、存储器和有符号扩展这三个模块的报告也可以合并起来最后总结写

附录：

 上海交通大学 计算机科学与工程系 Dept. of Computer Science & Engineering	标题	文档编号	版本	页
	计算机系统结构实验指导书 LAB4	CSE-COA-LAB-004	0.5	11 of 14
	作者	修改日期	公开	
	CETC	3/21/2019		