




计算机组成实验指导书-LAB6

 上海交通大学 计算机科学与工程系 Dept. of Computer Science & Engineering	标题	文档编号	版本	页
	计算机系统结构实验指导书 LAB6	CSE-COA-LAB-006	0.5	1 of 10
	作者	修改日期	公开	
	CETC	03/21/2020		

1. 概述

1.1 实验名称

简单的类 MIPS 多周期流水线处理器设计与实现

1.2 实验目的

1. 理解 CPU Pipeline，了解流水线冒险(hazard)及相关性，设计基础流水线 CPU
2. 设计支持 Stall 的流水线 CPU。通过检测竞争并插入停顿（Stall）机制解决数据冒险、控制竞争和结构冒险
3. 在 2.的基础上，增加 Forwarding 机制解决数据竞争，减少因数据竞争带来的流水线停顿延时，提高流水线处理器性能

PS: 也允许考虑将 Stall 与 Forwarding 结合起来实现

4. 在 3. 的基础上，通过 predict-not-taken 或延时转移策略解决控制冒险/竞争，减少控制竞争带来的流水线停顿延时，进一步提高处理器性能

PS: 也允许考虑将 2.、3. 和 4. 结合起来设计


5. 在 4.的基础上，将 CPU 支持的指令数量从 16 条扩充为 31 条，使处理器功能更加丰富（选做）
6. 中断、异常处理（选做）
7. Cache 的设计（选做）

1.3 实验内容

1. CPU 的流水化设计与软、硬件实现
2. 功能仿真
3. 上板验证

1.4 实验预计时间

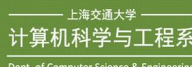
480 分钟

 上海交通大学 计算机科学与工程系 Dept. of Computer Science & Engineering	标题	文档编号	版本	页
	计算机系统结构实验指导书 LAB6 作者 CETC	CSE-COA-LAB-006 修改日期 03/21/2020	0.5	2 of 10 公开

1.5 实验报告与验收办法

1) 实验报告和工程文件在第十二周星期五晚上 23 点前提交

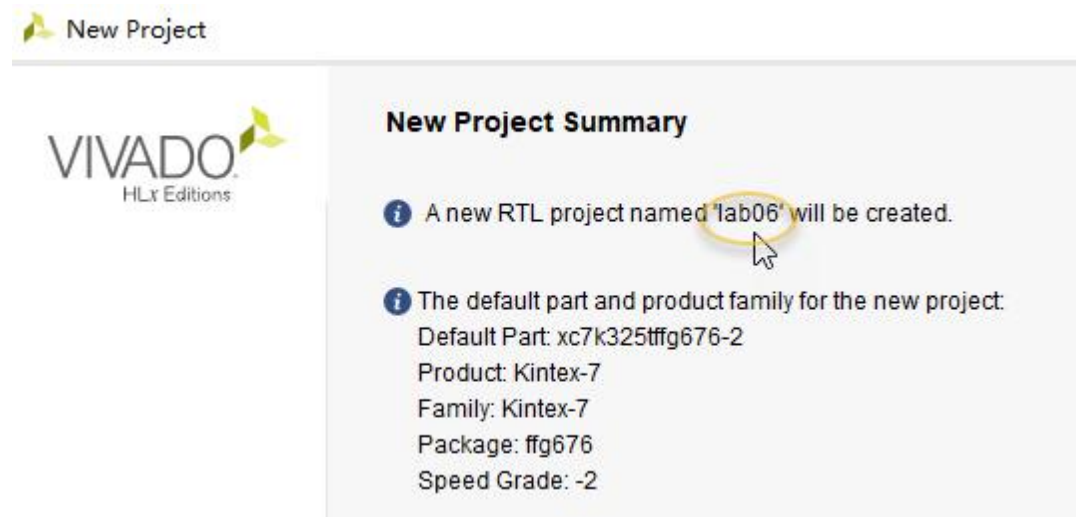
2) 无法验收，除心得体会外报告要体现软硬法仿真结果图


 上海交通大学 计算机科学与工程系 Dept. of Computer Science & Engineering	标题	文档编号	版本	页
	计算机系统结构实验指导书 LAB6	CSE-COA-LAB-006	0.5	3 of 10
	作者	修改日期	公开	
	CETC	03/21/2020		

2. 新建工程（基础流水线 CPU 简单提示）

2.1 实验描述

2.1.1 新建工程



 上海交通大学 计算机科学与工程系 Dept. of Computer Science & Engineering	标题	文档编号	版本	页
	计算机系统结构实验指导书 LAB6 作者 CETC	CSE-COA-LAB-006 修改日期 03/21/2020	0.5	4 of 10 公开

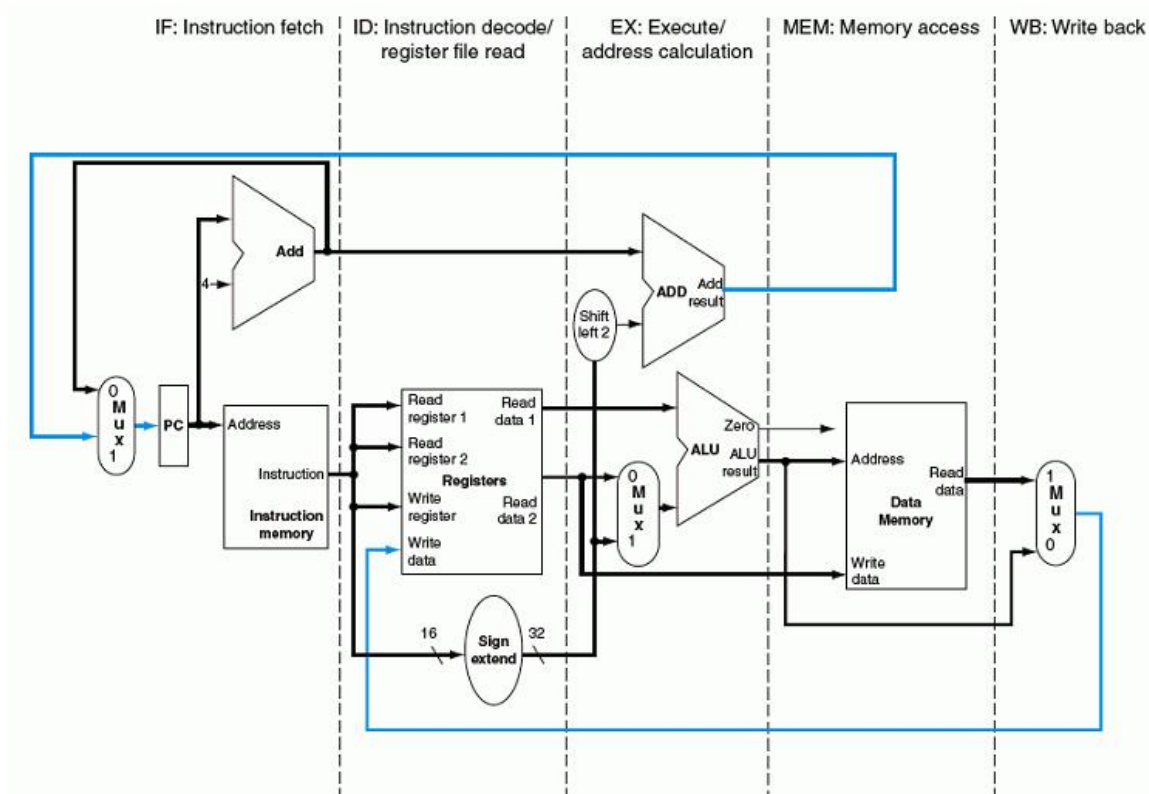
3. TOP 模块

3.1 实验描述


前几次实验已经完成了 CPU 各部分的主要功能模块，因此需要设计流水线的 Top 模块（包括修改 Control 模块等，以及修改模块间互联的定义，根据设计需要可添加所需的功能模块）。

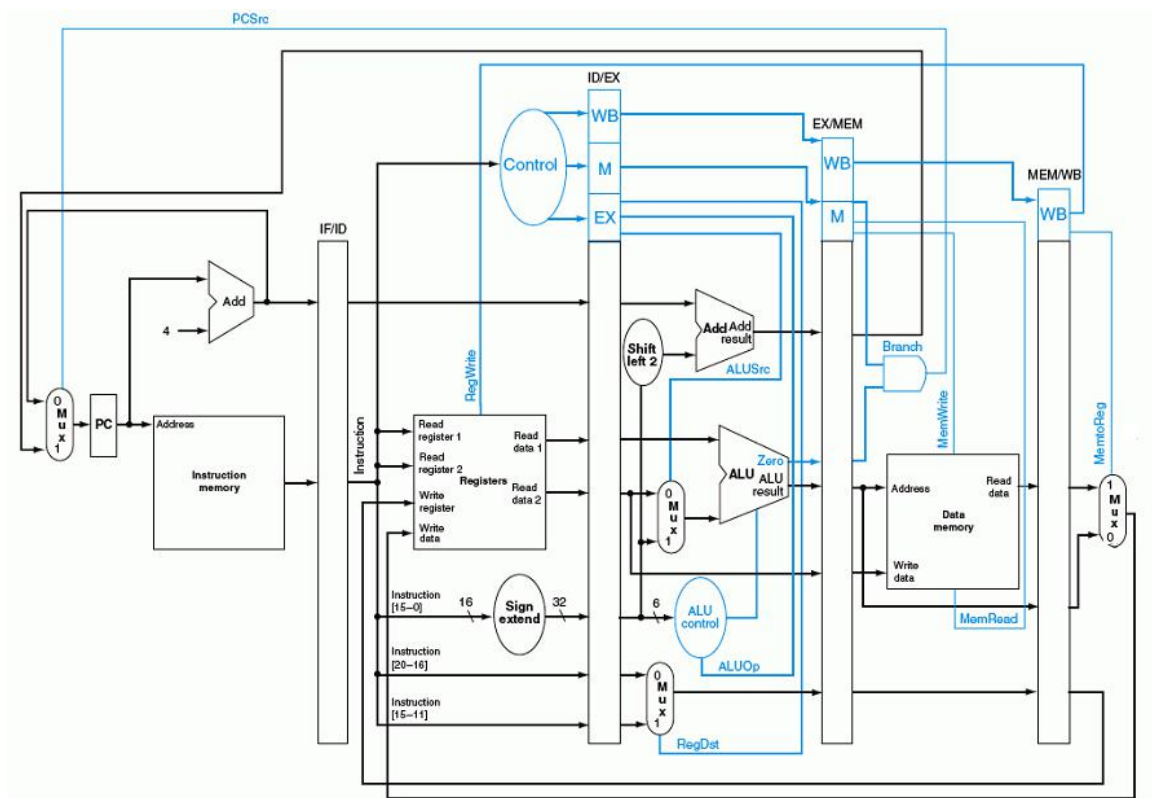
3.1.1 模块描述

下面是流水的主要结构：

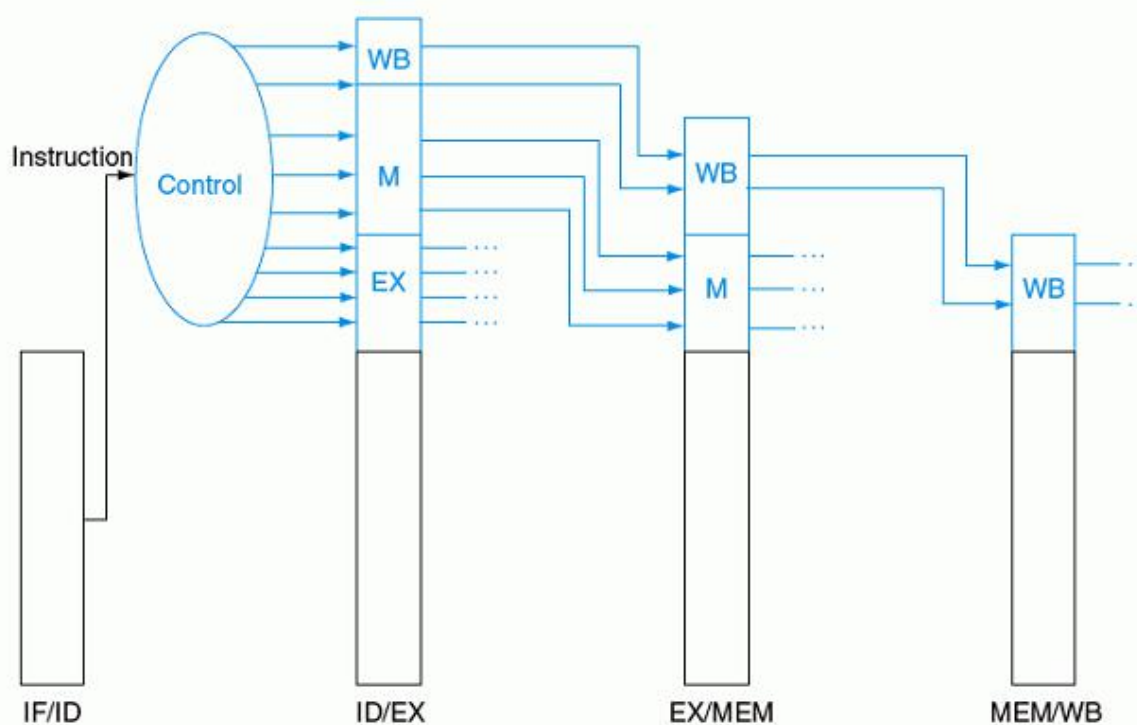


将单周期 CPU 进行分割，插入 4 级寄存器，将其分割为 IF，ID，EX，M，WB 五大部分：

 上海交通大学 计算机科学与工程系 Dept. of Computer Science & Engineering	标题	文档编号	版本	页
	计算机系统结构实验指导书 LAB6	CSE-COA-LAB-006	0.5	5 of 10
	作者 CETC	修改日期 03/21/2020	公开	



其中 **Control** 的输出需要被加入流水线寄存器保存下来，以供后续每级流水使用。如下图所示：



上海交通大学 计算机科学与工程系 Dept. of Computer Science & Engineering	标题	文档编号	版本	页
	计算机系统结构实验指导书 LAB6	CSE-COA-LAB-006	0.5	6 of 10
	作者	修改日期	公开	
	CETC	03/21/2020		

Instruction	Execution/address calculation stage control lines				Memory access stage control lines			Write-back stage control lines	
	Reg Dst	ALU Op1	ALU Op0	ALU Src	Branch	Mem Read	Mem Write	Reg Write	Mem to Reg
R-format	1	1	0	0	0	0	0	1	0
lw	0	0	0	1	0	1	0	1	1
sw	X	0	0	1	0	0	1	0	X
beq	X	0	1	0	1	0	0	0	X

3.1.2 添加先前已经完成的各模块

添加之前完成的功能模块（包括指令源文件），还需自己查阅流水线 CPU 的理论及技术资料来设计自己考虑所需的模块。


3.1.3 新建 Top 模块源文件

编写 Top 模块：

- PS: 1) 请思考和 Lab 5 相比，Top 模块中的主要变化处是什么？
 2) 之前的模块是否要修改？
 3) 另外，由于 MEM 级的 Branch 会影响 PCSrc 的值，从而影响下次 PC，因此需要为 Control 加入 RESET 功能，将 Branch 置零
 3) 由于各种变量名称极为复杂，推荐在着手编码之前为自己选择一套命名规范
 4) 在实现实验目的 2.，3.，4. 的内容时建议把 1. 的代码或工程备份一遍才开始

3.1.4 仿真测试

1. 编写汇编代码，推荐使用自己编写的测试程序，也可以使用下面的程序，注意，需要去除中间的 Data Hazard:

 上海交通大学 计算机科学与工程系 Dept. of Computer Science & Engineering	标题	文档编号	版本	页
	计算机系统结构实验指导书 LAB6	CSE-COA-LAB-006	0.5	7 of 10
	作者	修改日期	公开	
	CETC	03/21/2020		

```

1      lw $1, 40($0) ; 1
2      lw $2, 44($0) ; 5
3      lw $3, 48($0) ; 8
4      add $4, $1, $2 ; $4=6
5      sub $5, $3, $1 ; $5=7
6      and $6, $2, $1 ; $6=1
7
8      lw $10, 40($0) ; 1
9      lw $10, 40($0) ; 1
10     lw $10, 40($0) ; 1
11
12     or $7, $3, $1 ; $7=9
13     slt $8, $3, $1 ; $8=0
14     beq $0, $0, end; to end
15     add $9, $7, $8 ; $9=9, not executed
16
17     end:
18     lw $10, 40($0) ; 1
19     lw $10, 40($0) ; 1
20     lw $10, 40($0) ; 1
21     lw $10, 40($0) ; 1
22     lw $10, 40($0) ; 1
23     lw $10, 40($0) ; 1
24

```

2. 将上述代码转化为二进制 Codes（该汇编指令为示例参考），保存为文件，文件名自定，这里假定是 instruction.txt;

将下列数据：

```

1
5
8

```

假定保存为 data.txt


将 instruction.txt 和 data.txt 放在工程当前目录下，也可在 Top 中加入下面面代码：

```

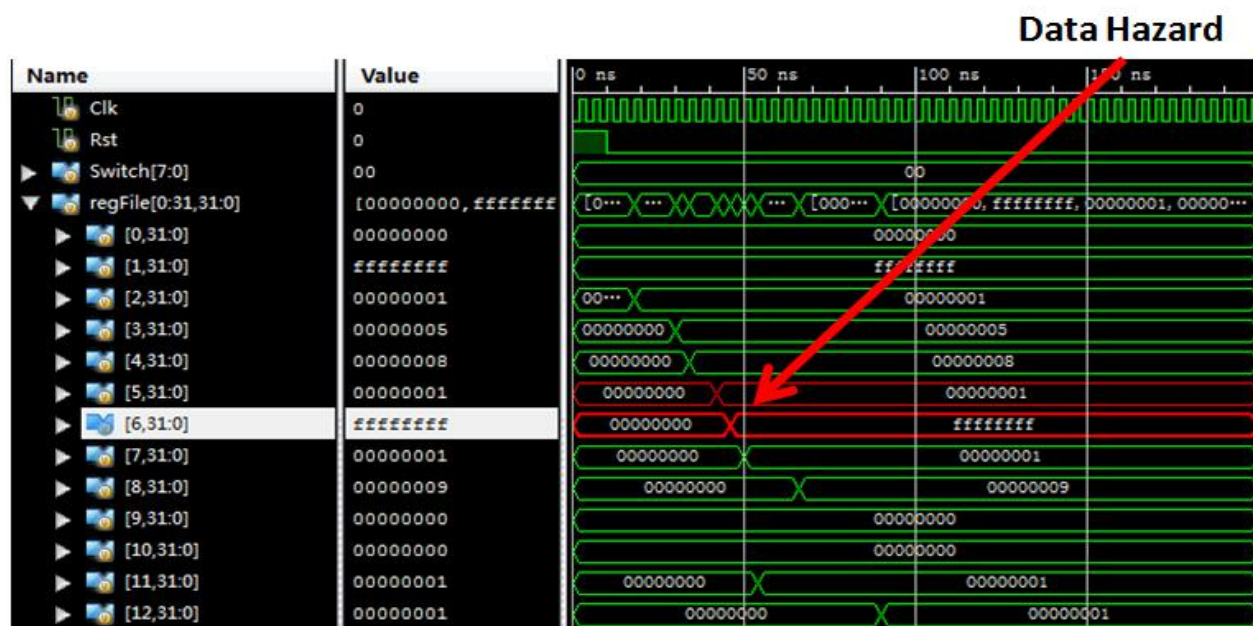
Initial begin
    $readmemb("instruction.txt", InstMemFile);
    $readmemb("data.txt", memFile);
end

```

3. 编写 Top 层的测试文件，添加时钟激励和其它输入信号并初始化

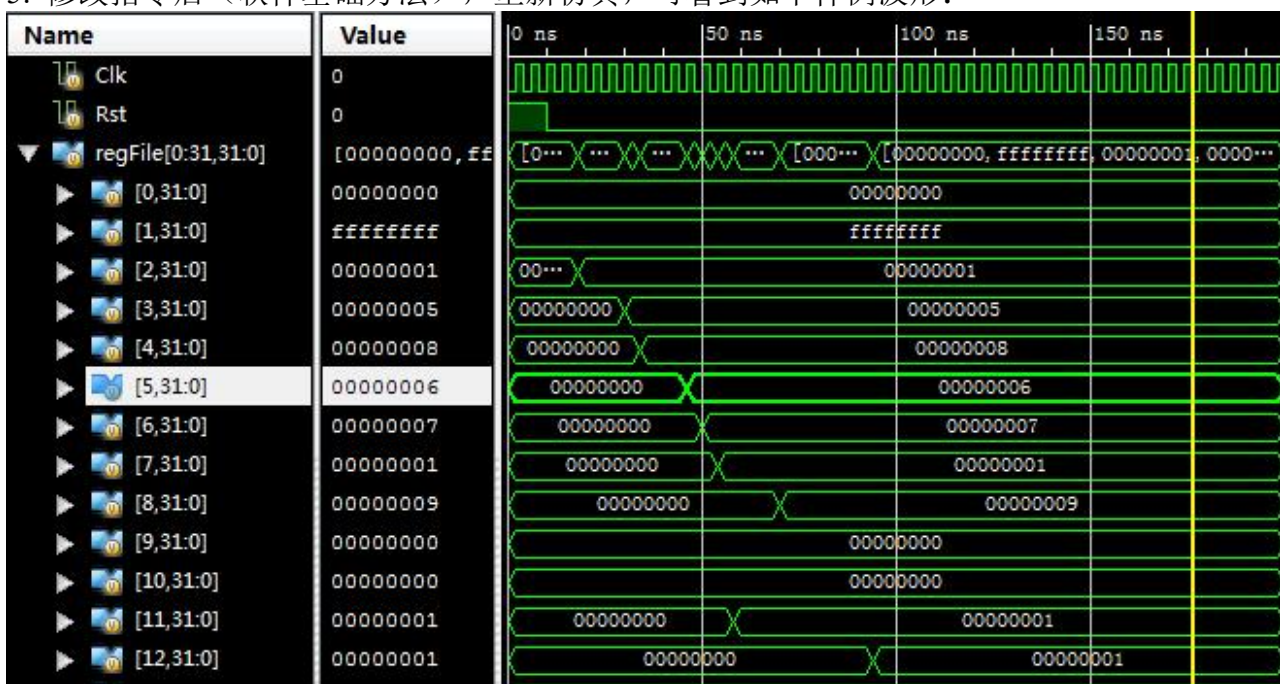
 上海交通大学 计算机科学与工程系 Dept. of Computer Science & Engineering	标题	文档编号	版本	页
	计算机系统结构实验指导书 LAB6	CSE-COA-LAB-006	0.5	8 of 10
	作者	修改日期	公开	
	CETC	03/21/2020		

4. 下面给出上述指令数据的仿真图：



红色箭头所指两个存储单元数据为 Data Hazard

5. 修改指令后（软件基础方法），重新仿真，可看到如下样例波形：



用简单方法消除了 Data Hazard

<div>上海交通大学</div> <div>计算机科学与工程系</div> <div>Dept. of Computer Science & Engineering</div>	标题	文档编号	版本	页
	计算机系统结构实验指导书 LAB6	CSE-COA-LAB-006	0.5	9 of 10
	作者	修改日期	公开	
	CETC	03/21/2020		

3.2 实验目的 2 内容

.
. .
.

3.3 实验目的 3 内容


.
. PS: 也允许考虑将 Stall 与 Forwarding 结合起来实现
.....

3.4 实验目的 4 内容

.
PS: 也允许考虑将 2.、3. 和 4. 结合起来设计
.....

3.5 实验目的 5 内容（选做）

3.6 实验报告

 上海交通大学 计算机科学与工程系 Dept. of Computer Science & Engineering	标题	文档编号	版本	页
	计算机系统结构实验指导书 LAB6 作者 CETC	CSE-COA-LAB-006 修改日期 03/21/2020	0.5	10 of 10 公开