

计算机组成与结构专题实验

实验报告

第五次 微控制器组成实验

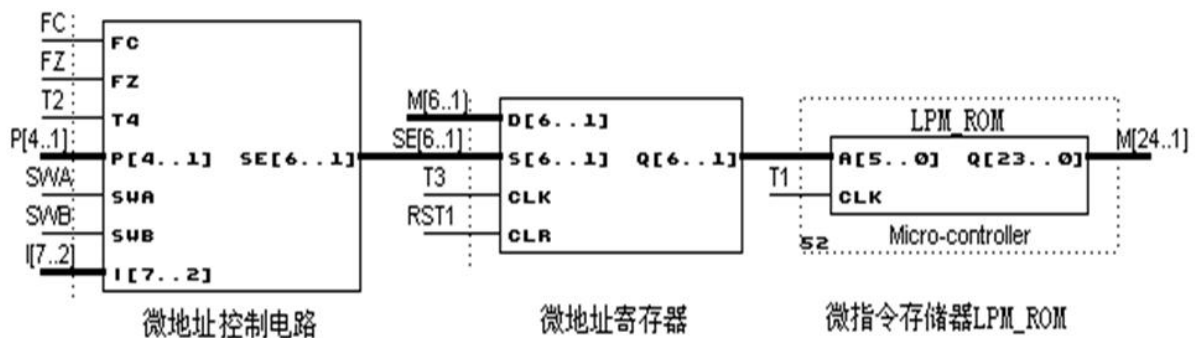
一、 实验目的

1. 掌握微程序控制器的运作原理以及构成原理。
2. 熟悉微程序的编写与输入过程，同时能够观察微程序的运行情况。

二、 实验原理

微程序控制电路是 CPU 控制器的关键组成部分，主要负责生成指令执行过程中各部件协同工作所需的全部控制信号，以及确定下一条指令的地址。微程序控制器的结构如图 4-30 所示，它由三个主要部分构成：微指令控制电路、微地址寄存器和微指令存储器 `lpm_rom`。微指令控制电路利用组合逻辑电路，根据指令中的 `I[7..2]`、操作台控制信号 `SWA` 和 `SWB` 的状态以及状态寄存器的输出状态 `FC`、`FZ`，产生用于控制微地址变化的信号，从而实现对微地址的控制。微地址寄存器的控制电路以微指令存储器的下地址字段 `M[6..1]` 为基本输入信号，同时受到微指令控制电路输出信号 `SE[6..1]` 和复位信号 `RST` 的控制，其输出即为下一个微指令的地址。控制存储器由 FPGA 中的 `LPM_ROM` 构成，能够输出 24 位控制信号，其中微命令信号占 18 位，微地址信号占 6 位。在 `T3` 时刻，微地址寄存器 `uA` 的内容被打入，即确定了下一条微指令的地址。到了 `T4` 时刻，当进行测试判别且转

移逻辑满足条件时，输出的负脉冲通过强制端将某个触发器置为“1”状态，以此完成地址的修改。



三、 实验任务

实验任务 1： 微指令控制电路实验

将微指令控制电路的相关代码输入到系统中，并依据图中的指示完成引脚锁定操作。随后进行编译，并将编译后的程序下载到实验系统里，将实验台的工作模式切换至 No. 1。以下是键盘和显示的定义及功能说明：

键 2 和键 1 用于输入 6 位微指令数据 I[7..2]，其中键 2 中的高两位还兼具标志位 FC、FZ 的功能。

键 3 用于输入分支控制信号 P[4..1]。

键 4 用于输入控制台的控制信号 SWA、SWB。

键 8 用于输入节拍信号 T4。

数码 5 和数码 6 用于显示微地址控制信号 SE[6..1]，无论是输入还是输出，数码显示的都是 16 进制数值。

基于微程序控制器的内部结构，需要进行以下观察和记录：

当标志位 FC、FZ 发生变化时，观察并记录微指令 I[7..2]的变

化情况，以及这些变化对输出微地址控制信号 $SE[6..1]$ 所产生的影响。

观察并记录微指令 $I[7..2]$ 的值发生变化时，微地址控制信号 $SE[6..1]$ 的相应变化情况。

当分支信号 $P[4..1]$ 有效时，观察并记录微指令 $I[7..2]$ 的变化对输出微地址控制信号 $SE[6..1]$ 的影响。

观察并记录控制信号 SWA 、 SWB 对输出微地址控制信号 $SE[6..1]$ 的影响。

实验任务 2： 微地址寄存器控制电路实验

完成电路图绘制、引脚锁定，并将程序编译后下载至实验系统，将实验台切换至工作模式 No. 1。键盘与显示的定义如下：

键 1 和键 2 用于输入 D 触发器的数据 $d[6..1]$ 。

键 4 和键 3 用于输入 D 触发器置“1”的控制信号 $S[6..1]$ ，该信号低电平有效。

键 7 用于输入 D 触发器的复位（清零）控制信号，该信号低电平有效。

键 8 用于输入时钟信号 CLK 。

数码 7 和数码 8 用于显示 D 触发器的输出信号 $q[6..1]$ ，输入输出均以 16 进制显示，可将其转换为二进制进行验证。

在正常工作状态下，观察并记录微地址寄存器由 $d[6..1]$ 输入、 $q[6..1]$ 输出的微地址实验数据。同时，观察并记录在控制/转移发生时，当 $s[6..1]$ 信号有效， $q[6..1]$ 输出的微地址发生变化的情况。

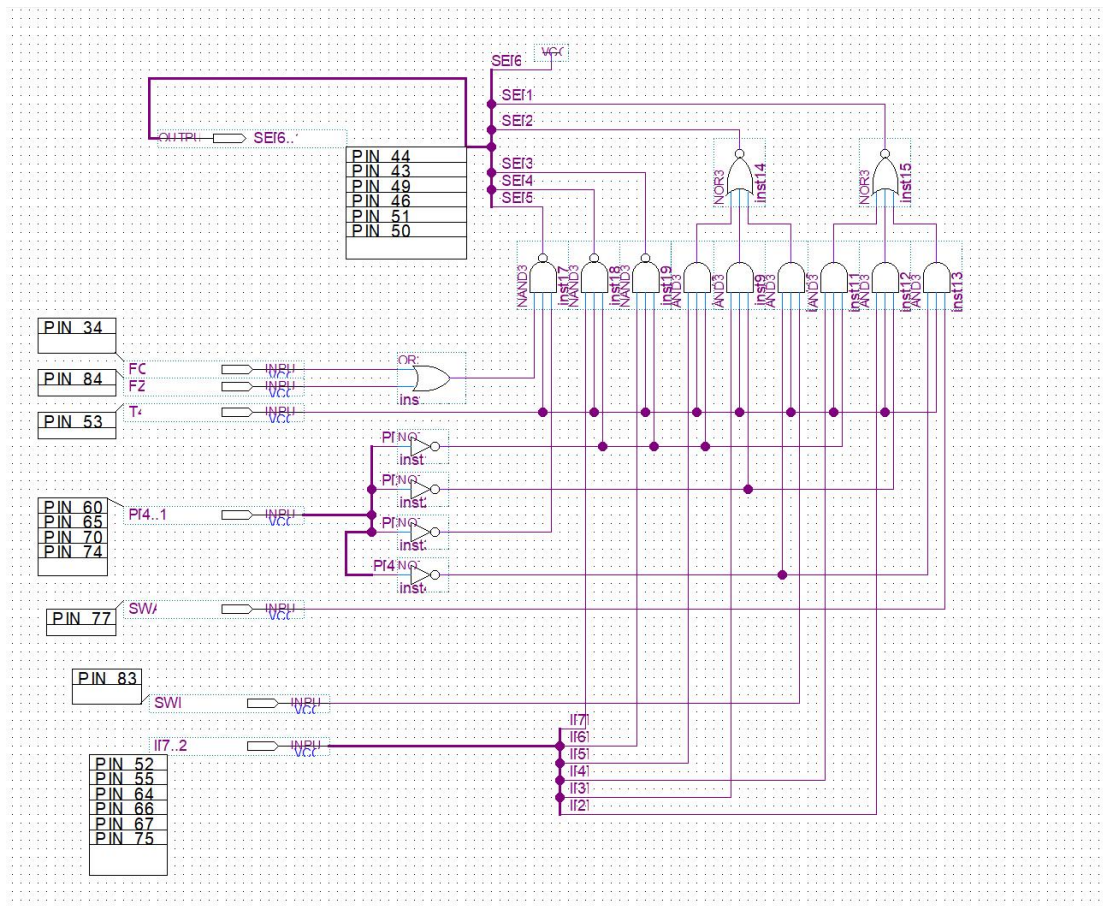
实验任务 3： 数据寄存器译码控制实验

完成电路图绘制、引脚锁定操作，并将程序编译后下载至实验系统，将实验台切换至工作模式 No. 5。通过按动键 1 至键 8 分别控制 I0/I1/I2/I3/LDRI/RD_B/RS_B/RJ_B，同时观察 LED 的 D1、2、3、6、7、8 分别控制 LDR0/LDR1/LDR2/R0_B/R1_B/R2_B 的变化情况。此外，还需要观察并记录微指令信号中 I[3..0] 的变化，以及控制信号 LDRI、RD_B、RS_B、RJ_B 的变化情况，并分析这些变化对输出选通信号 LDR0~LDR2、R0_B~R2_B 的影响。

四、 实验步骤及结果

实验任务 1： 微指令控制电路实验

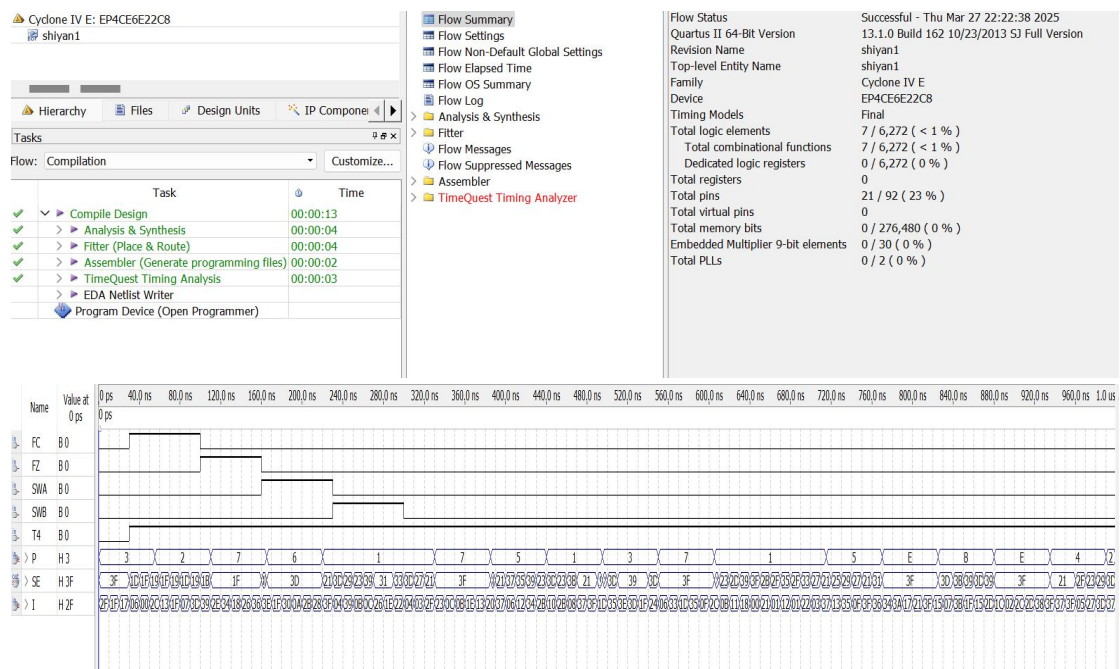
电路图绘制



绑定引脚

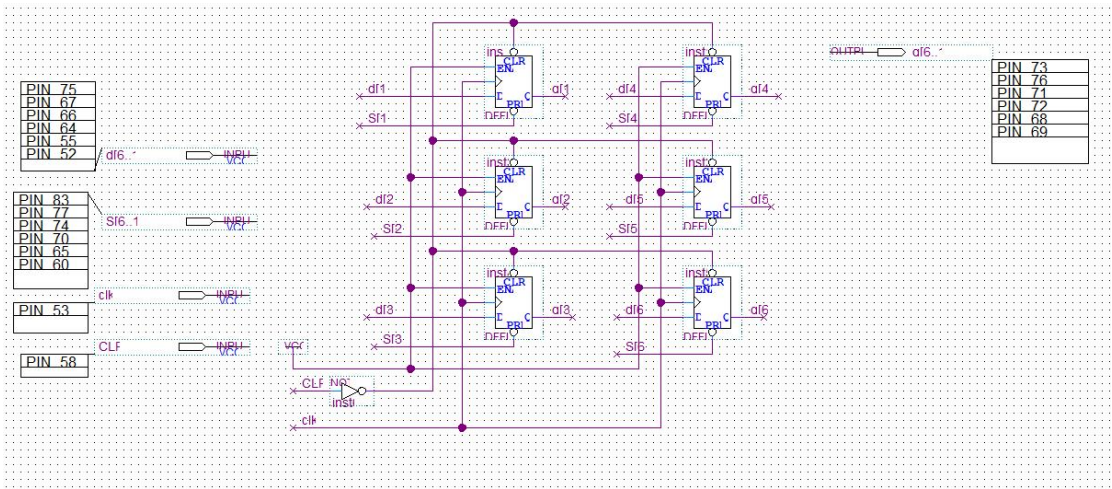
<<new>> <input checked="" type="checkbox"/> Filter on node names: *								
	status:	From	To	Assignment Name	Value	Enabled	Entity	Comment
1	✓ ...		in FZ	Location	PIN_84	Yes		
2	✓ ...		in FC	Location	PIN_34	Yes		
3	✓ ...		in I[2]	Location	PIN_52	Yes		
4	✓ ...		in I[3]	Location	PIN_55	Yes		
5	✓ ...		in I[4]	Location	PIN_64	Yes		
6	✓ ...		in I[5]	Location	PIN_66	Yes		
7	✓ ...		in I[6]	Location	PIN_67	Yes		
8	✓ ...		in I[7]	Location	PIN_75	Yes		
9	✓ ...		in P[1]	Location	PIN_60	Yes		
10	✓ ...		in P[2]	Location	PIN_65	Yes		
11	✓ ...		in P[3]	Location	PIN_70	Yes		
12	✓ ...		in P[4]	Location	PIN_74	Yes		
13	✓ ...		out SE[1]	Location	PIN_44	Yes		
14	✓ ...		out SE[2]	Location	PIN_43	Yes		
15	✓ ...		out SE[3]	Location	PIN_49	Yes		
16	✓ ...		out SE[4]	Location	PIN_46	Yes		
17	✓ ...		out SE[5]	Location	PIN_51	Yes		
18	✓ ...		out SE[6]	Location	PIN_50	Yes		
19	✓ ...		in SWA	Location	PIN_77	Yes		
20	✓ ...		in SWB	Location	PIN_83	Yes		
21	✓ ...		in T4	Location	PIN_53	Yes		
22		<<new>>	<<new>>	<<new>>				

编译并下载至 FPGA，仿真



实验任务 2： 微地址寄存器控制电路实验

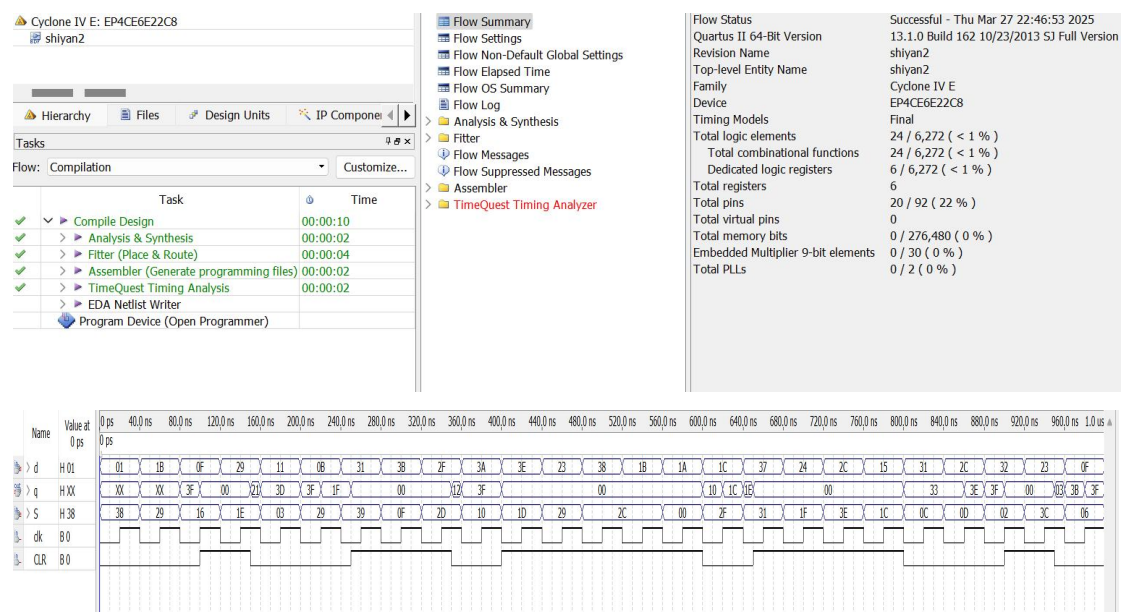
电路图绘制



绑定引脚

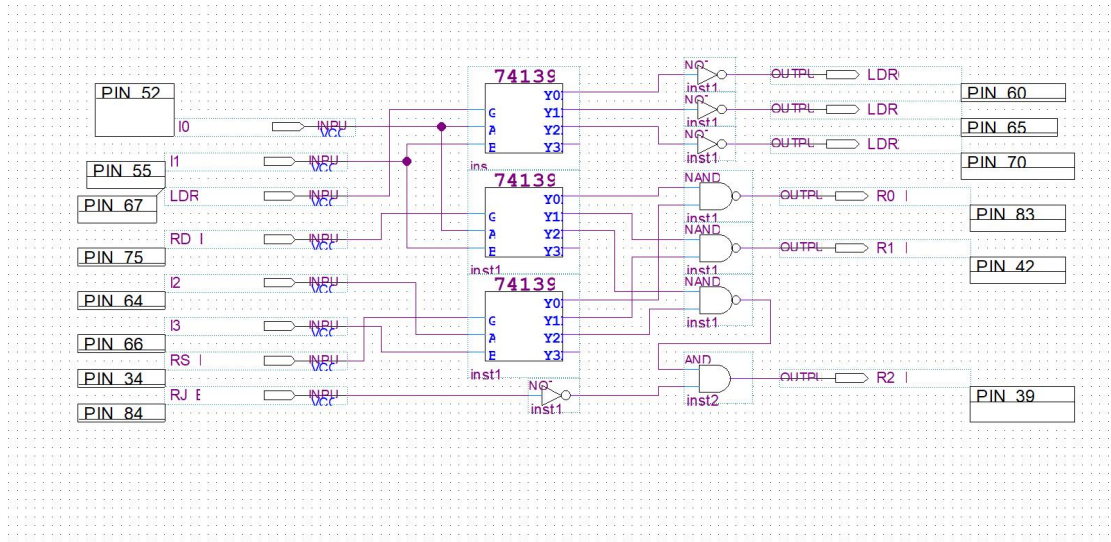
<<new>> <input checked="" type="checkbox"/> Filter on node names: *								
	State	From	To	Assignment Name	Value	Enabled	Entity	Conn
1	✓ ...		in dk	Location	PIN_53	Yes		
2	✓ ...		in CLR	Location	PIN_58	Yes		
3	✓ ...		in d[6]	Location	PIN_75	Yes		
4	✓ ...		in d[5]	Location	PIN_67	Yes		
5	✓ ...		in d[4]	Location	PIN_66	Yes		
6	✓ ...		in d[3]	Location	PIN_64	Yes		
7	✓ ...		in d[2]	Location	PIN_55	Yes		
8	✓ ...		in d[1]	Location	PIN_52	Yes		
9	✓ ...		out q[6]	Location	PIN_73	Yes		
10	✓ ...		out q[5]	Location	PIN_76	Yes		
11	✓ ...		out q[4]	Location	PIN_71	Yes		
12	✓ ...		out q[3]	Location	PIN_72	Yes		
13	✓ ...		out q[2]	Location	PIN_68	Yes		
14	✓ ...		out q[1]	Location	PIN_69	Yes		
15	✓ ...		in S[6]	Location	PIN_83	Yes		
16	✓ ...		in S[5]	Location	PIN_77	Yes		
17	✓ ...		in S[4]	Location	PIN_74	Yes		
18	✓ ...		in S[3]	Location	PIN_70	Yes		
19	✓ ...		in S[2]	Location	PIN_65	Yes		
20	✓ ...		in S[1]	Location	PIN_60	Yes		
21		<<new>>	<<new>>	<<new>>				

编译并下载至 FPGA，仿真



实验任务 3： 数据寄存器译码控制实验

电路图绘制



绑定引脚

<<new>> <input checked="" type="checkbox"/> Filter on node names: *							
	statu:	From	To	Assignment Name	Value	Enabled	Ent
1	✓ ...		in I1	Location	PIN_55	Yes	
2	✓ ...		in I2	Location	PIN_64	Yes	
3	✓ ...		in I3	Location	PIN_66	Yes	
4	✓ ...		out LDR0	Location	PIN_60	Yes	
5	✓ ...		out LDR1	Location	PIN_65	Yes	
6	✓ ...		out LDR2	Location	PIN_70	Yes	
7	✓ ...		in LDRI	Location	PIN_67	Yes	
8	✓ ...		out R0_B	Location	PIN_83	Yes	
9	✓ ...		out R1_B	Location	PIN_42	Yes	
10	✓ ...		out R2_B	Location	PIN_39	Yes	
11	✓ ...		in RD_B	Location	PIN_75	Yes	
12	✓ ...		in RJ_B	Location	PIN_84	Yes	
13	✓ ...		in RS_B	Location	PIN_34	Yes	
14	✓ ...		in IO	Location	PIN_52	Yes	
15		<<new>>	<<new>>	<<new>>			

编译并下载至 FPGA，仿真

Entity

Cyclone IV E: EP4CE6E22C8

> shiyan3

Hierarchy Files Design Units IP Component

Tasks

Flow: Compilation Customize...

Task	Time
✓ Compile Design	00:00:11
✓ Analysis & Synthesis	00:00:02
✓ Fitter (Place & Route)	00:00:04
✓ Assembler (Generate programming files)	00:00:02
✓ TimeQuest Timing Analysis	00:00:03
EDA Netlist Writer	
Program Device (Open Programmer)	

Table of Contents

- Flow Summary
- Flow Settings
- Flow Non-Default Global Settings
- Flow Elapsed Time
- Flow OS Summary
- Flow Log
- Analysis & Synthesis
- Filter
- Flow Messages
- Flow Suppressed Messages
- Assembler
- TimeQuest Timing Analyzer

Flow Summary

Flow Status: Successful - Thu Mar 27 23:00:41 2025

Quartus II 64-Bit Version: 13.1.0 Build 162 10/23/2013 S3 Full Version

Revision Name: shiyan3

Top-level Entity Name: shiyan3

Family: Cyclone IV E

Device: EP4CE6E22C8

Timing Models: Final

Total logic elements: 10 / 6,272 (< 1 %)

Total combinational functions: 10 / 6,272 (< 1 %)

Dedicated logic registers: 0 / 6,272 (0 %)

Total registers: 0

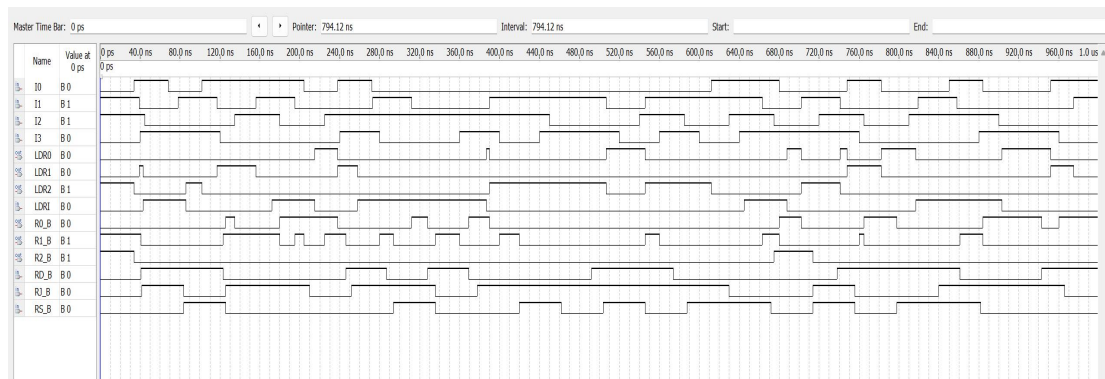
Total pins: 14 / 92 (15 %)

Total virtual pins: 0

Total memory bits: 0 / 276,480 (0 %)

Embedded Multiplier 9-bit elements: 0 / 30 (0 %)

Total PLLs: 0 / 2 (0 %)



五、实验总结及问题分析

写出输出 S 的表达式如下：

$$S[6] = 1$$

$$S[5] = (FC + FZ)' + T4' + P[3]$$

$$S[4] = I[7]' + T4' + P[1]$$

$$S[3] = I[6]' + T4' + P[1]$$

$$S[2] = (I[5] \cdot T4 \cdot P[1]' + I[3] \cdot T4 \cdot P[2]')' + SWB \cdot T4 \cdot P[4]'$$

$$S[1] = (I[4] \cdot T4 \cdot P[1]' + I[2] \cdot T4 \cdot P[2]')' + SWA \cdot T4 \cdot P[4]'$$

思考题 1, 在微指令控制电路中, 当 FC 或 FZ 有效时, 对其输出 S[6..1] 有何影响?

S[5] 的值会受到 FC 和 FZ 状态的共同影响。当 FC 和 FZ 都为 0 时, S[5] 才会被置为 1。对其余无影响。

思考题 2, 当 P[4..1] 取不同值时, 对微指令控制电路中输出 S[6..1] 有何影响?

P[4..1] 对 S[5..1] 都有影响。P[3] 影响 S[5], P[1] 影响 S[4..1], S[2..1] 同时还受 P[2] 和 P[4] 影响。

思考题 3, 当控制信号 SWA, SWB 取不同值时, 对微指令控制电路中输出 S[6..1] 有何影响?

SWA、SWB 分别影响 S[1] 和 S[2]。SWA=0 可以屏蔽 P[4] 对 S[1] 的影响,

SWB=0 可以屏蔽 P[4]对 S[2]的影响。