

计算机组成与结构专题实验

实验报告

第二次 LPM_ROM 及 LPM_RAM

一、 实验目的

LPM_ROM 实验

1. 熟悉 FPGA 中 lpm_ROM 的设置，理解其作为只读存储器的工作特性和配置方式。
2. 运用文本编辑器编辑 mif 文件来配置 ROM，学习将程序代码以 mif 格式文件存储到 lpm_ROM 中。
3. 在初始化存储器编辑窗口中编辑 mif 文件以配置 ROM。
4. 对 FPGA 中的 LPM_ROM 功能进行验证。

LPM_RAM 实验

1. 认识 FPGA 中 lpm_ram_dq 的功能。
2. 掌握 lpm_ram_dq 的参数设置和使用方法。
3. 学会 lpm_ram_dq 作为随机存储器 RAM 的仿真测试方法，了解其工作特性和读写方式。

二、 实验原理

LPM_ROM 实验

LLPM_ROM 是 Quartus II 软件中提供的一种 IP 核，用于实现只读存储器（ROM）功能。通过该 IP 核，可以将用户定义的数据加载到

FPGA（现场可编程门阵列）中，从而在 FPGA 内部实现一个只读存储器。

在本次实验中，实验电路模式选择为 0。具体连接和功能如下：

数据输出：24 位数据输出通过数码管 8 至数码 3 显示（连接到 PI047~PI024）。

地址输入：6 位地址由按键输入，其中键 1（连接到 PI08~PI011）负责低 4 位地址。

地址锁存时钟：地址锁存时钟（CLK）由键 8（连接到 PI07）控制。每次按键 8 的上升沿到来时，当前输入的地址将被锁存。

数据显示：锁存地址后，数码管 8、7、6、5、4、3 将显示 ROM 中对应地址的数据。

地址指示：发光二极管 8 至 1 用于显示当前输入的 6 位地址值。

LPM_RAM 实验

随机存取存储器（RAM）是一种计算机主存储器，允许用户以任意顺序随机读取或写入数据，而不受数据存储位置的限制。

在 FPGA 中，可以利用嵌入式阵列块（EAB）构建 RAM。具体实现中，数据通过 ram_dp0 模块的左侧接口 D[7..0] 输入，并从右侧接口 Q[7..0] 输出。R/W 是读/写控制信号端，用于决定当前操作是读取还是写入。

当输入数据和地址准备就绪后，inclock 信号作为地址锁存时钟。在 inclock 的上升沿到来时，地址被锁存，数据被写入对应的存储单元。对于数据读取操作，存储单元的地址从 A[7..0] 输入，当 CLK 信

号的上升沿到来时，存储单元中的数据从 Q[7..0] 输出。

具体信号功能如下：

R/W：读/写控制信号，低电平表示读操作，高电平表示写操作。

CLK：读/写时钟脉冲信号，用于同步数据的读取或写入操作。

DATA[7..0]：8 位数据输入端，用于向 RAM 写入数据。

A[7..0]：8 位地址输入端，用于指定 RAM 中数据的读取或写入位置。

Q[7..0]：8 位数据输出端，用于输出从 RAM 中读取的数据。

三、实验任务

LPM_ROM 实验

设计 LPM_ROM

使用 LPM 元件库设计一个 LPM_ROM 模块，其中地址总线宽度为 6 位（address[5..0]），数据总线宽度为 24 位（q[23..0]）。

创建工程文件并配置参数

建立相应的 FPGA 工程文件，并设置 LPM_ROM 的数据参数。指定 LPM_ROM 的配置文件路径为 ROM_A.mif，并确保在系统中允许对 ROM 的读写操作，以便能够对 FPGA 中的 ROM 进行读写测试。

引脚锁定与编译

锁定输入输出引脚的物理位置，并完成工程的编译过程。

硬件测试

将编译生成的 SOF 文件下载到 FPGA 开发板上。通过按键 1 和按键 2 输入地址到 LPM_ROM 的地址线 a[5..0]。每次改变地址后，按下按键

8 产生一个 CLK 读脉冲,通过实验台上的数码管 8~3 观察读出的数据,并与 rom4.mif 文件中的初始化数据进行比较,验证数据是否一致。

实验记录与报告

记录实验过程中的数据,并撰写实验报告。在报告中提供仿真波形图,展示 LPM_ROM 的读写操作过程。

LPM_RAM 实验

硬件配置与下载

根据电路图,完成工程的编译、引脚锁定,并将生成的文件下载到 FPGA 开发板上。

引脚分配与功能说明

数据输入:通过按键 1 (PI00~PI03) 和按键 2 (PI04~PI07) 输入 8 位数据 (实验电路模式为 1)。

地址输入:通过按键 3 (PI08~PI011) 和按键 4 (PI012~PI015) 输入 8 位存储器地址。

读/写控制:按键 8 (PI049) 用于控制读/写操作,低电平表示读允许,高电平表示写允许。

时钟脉冲:按键 7 (PI048) 产生 CLK0 信号,用于生成读/写时钟脉冲,控制 lpm_ram_dq 的写入或读出操作。

数据输出:RAM 的输出数据通过数码管 7 和 8 (PI024~PI031) 显示。

初始化文件配置

将 lpm_ram_dq 模块与初始化文件 5_ram.mif 关联 (注意文件名后缀为小写 mif)。

该文件是后续模型 CPU 执行微程序的存储文件。

在工程中将 RAM 模块的 ID 命名为 ram1，并正确设置文件路径。

实验验证

实验电路模式：选择实验电路模式为 1。

读操作验证：将按键 8 置为低电平（0），通过按键 7 的 0-1-0 操作产生时钟脉冲，读取初始化数据，并与 ram_dp1.mif 文件中的数据进行比较。

写操作验证：将按键 8 置为高电平（1），通过按键 3 和 4 输入地址，按键 1 和 2 输入数据，按键 7 产生时钟脉冲完成写入操作。记录写入的数据后，再次将按键 8 置为高电平，通过按键 7 的时钟脉冲读取数据，并与记录的数据进行比较。

在系统读写测试

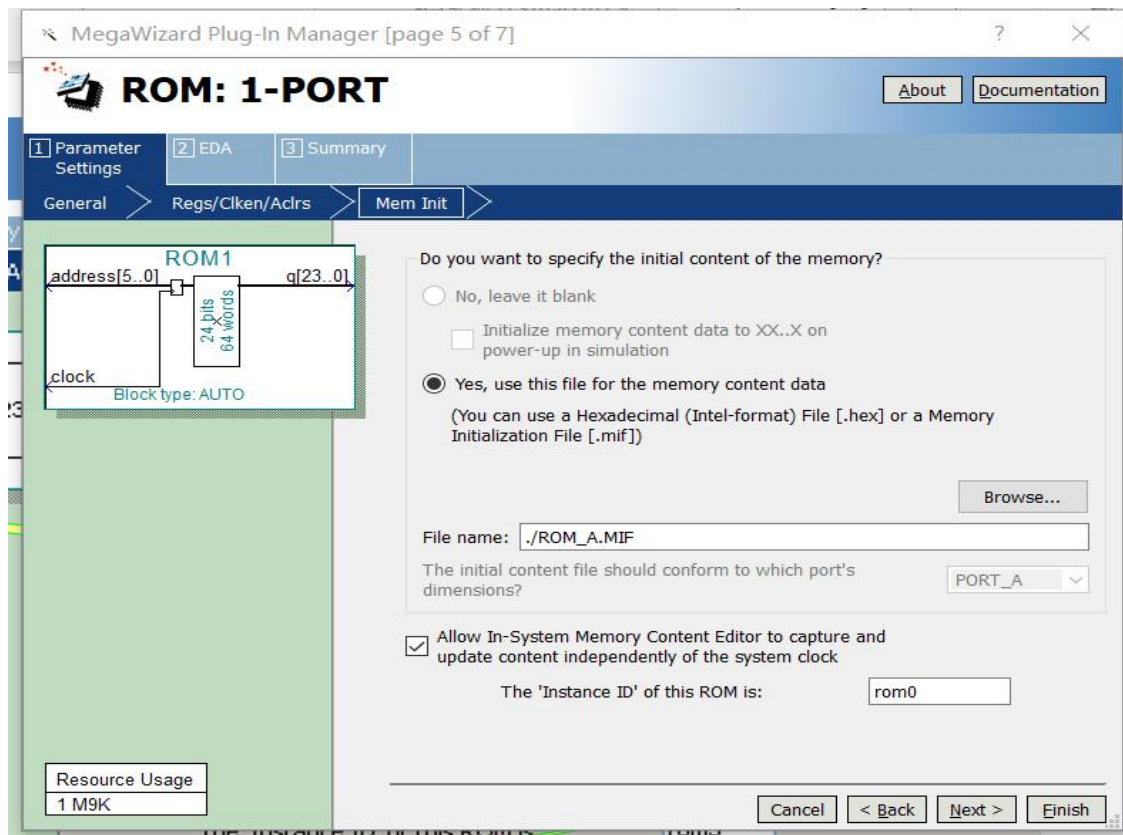
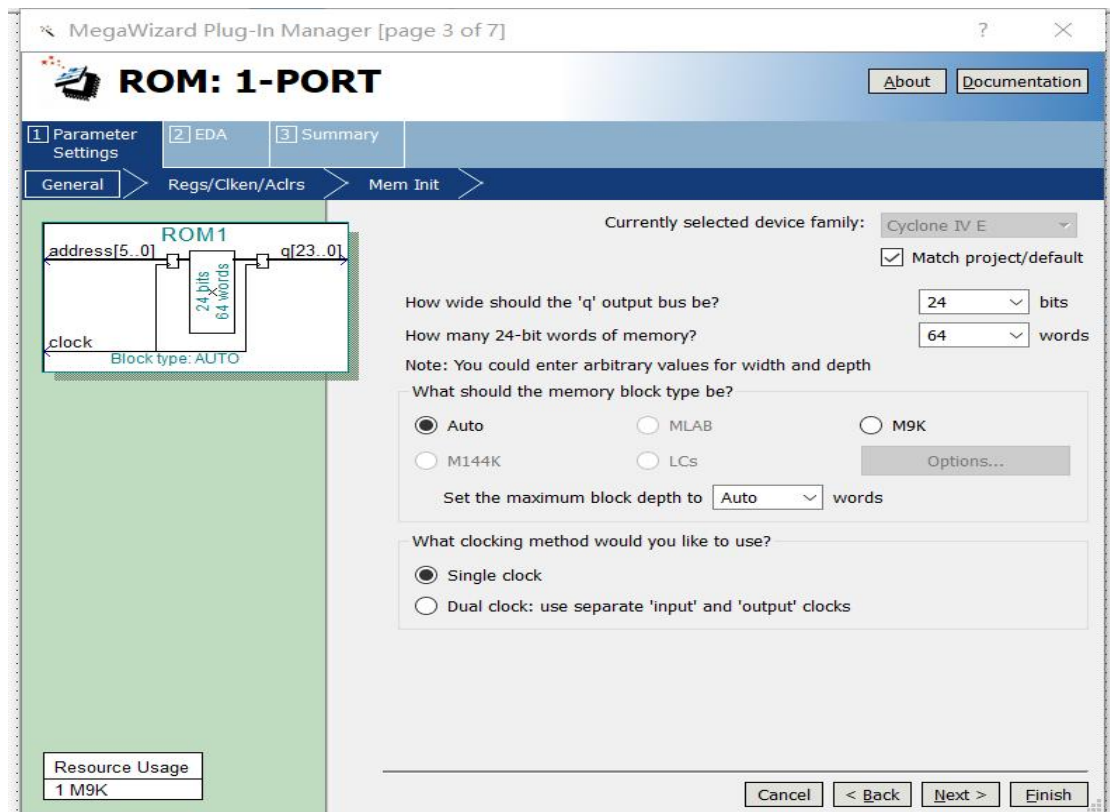
使用 FPGA 开发工具中的“在系统读写 RAM”功能，设置为连续读模式。

将工具窗口中显示的数据与实验箱上数码管 7 和 8 显示的数据进行对比，验证读写操作的正确性。

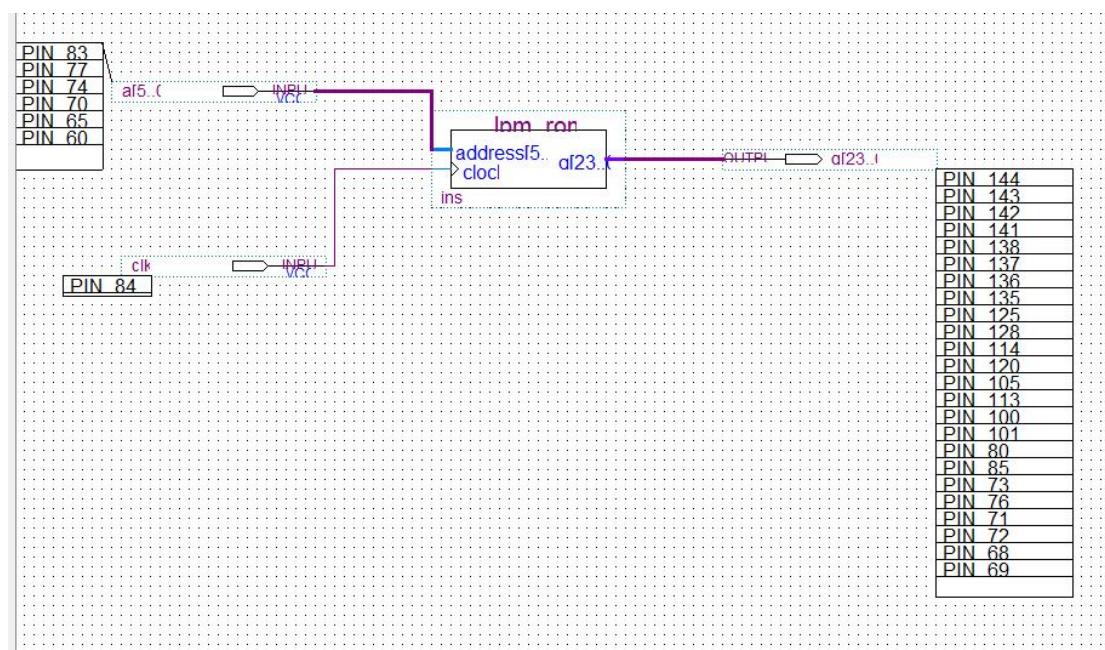
四、 实验步骤及结果

LPM_ROM 实验

设计 ROM



绘制电路图



编辑 ROM 的初始数据

Addr	+0	+1	+2	+3	+4	+5	+6	+7	ASCII
000	018110	01ED82	00C048	00E004	00B005	01A206	919A01	00E00D
010	001001	01ED83	01ED87	01ED8E	01ED96	038201	00E00F	00A015
020	01ED92	01ED94	00A018	018001	002017	010A01	00D181	038A11
030	010A10	000000	000000	000000	000000	000000	000000	000000
040	000000	000000	000000	000000	000000	000000	000000	000000
050	000000	000000	000000	000000	000000	000000	000000	000000
060	000000	000000	000000	000000	000000	000000	000000	000000
070	000000	000000	000000	000000	000000	000000	000000	000000

绑定引脚

Home

Block1.bdf*

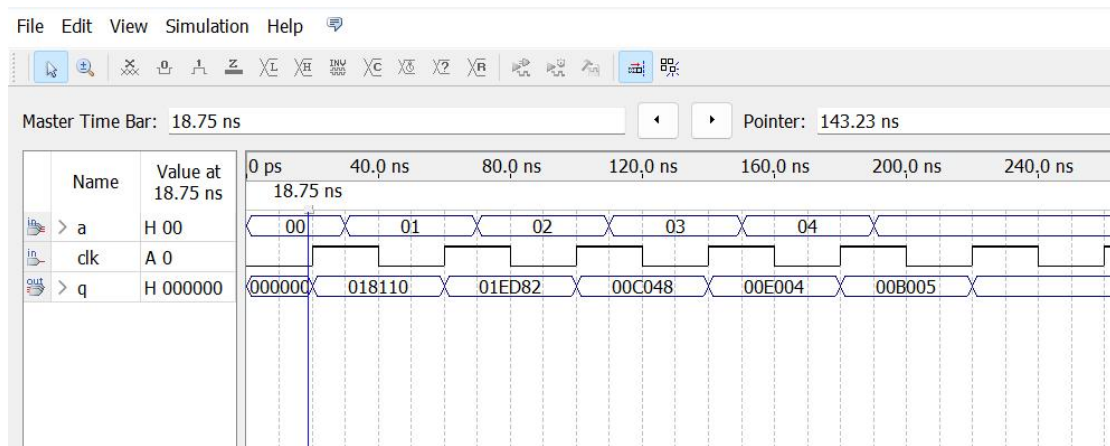
<<new>>

Filter on node names: *

	status	From	To	Assignment Name	Value	Enabled	Entity	Comment	Tag
1	✓ ...		in clk	Location	PIN_84	Yes			
2	✓ ...		in a[5]	Location	PIN_83	Yes			
3	✓ ...		in a[4]	Location	PIN_77	Yes			
4	✓ ...		in a[3]	Location	PIN_74	Yes			
5	✓ ...		in a[2]	Location	PIN_70	Yes			
6	✓ ...		in a[1]	Location	PIN_65	Yes			
7	✓ ...		in a[0]	Location	PIN_60	Yes			
8	✓ ...		out q[23]	Location	PIN_144	Yes			
9	✓ ...		out q[22]	Location	PIN_143	Yes			
10	✓ ...		out q[21]	Location	PIN_142	Yes			
11	✓ ...		out q[20]	Location	PIN_141	Yes			
12	✓ ...		out q[19]	Location	PIN_138	Yes			
13	✓ ...		out q[18]	Location	PIN_137	Yes			
14	✓ ...		out q[17]	Location	PIN_136	Yes			
15	✓ ...		out q[16]	Location	PIN_135	Yes			
16	✓ ...		out q[15]	Location	PIN_125	Yes			
17	✓ ...		out q[14]	Location	PIN_128	Yes			
18	✓ ...		out q[13]	Location	PIN_114	Yes			
19	✓ ...		out q[12]	Location	PIN_120	Yes			
20	✓ ...		out q[11]	Location	PIN_105	Yes			
21	✓ ...		out q[10]	Location	PIN_113	Yes			
22	✓ ...		out q[9]	Location	PIN_100	Yes			
23	✓ ...		out q[8]	Location	PIN_101	Yes			
24	✓ ...		out q[7]	Location	PIN_80	Yes			
25	✓ ...		out q[6]	Location	PIN_85	Yes			
26	✓ ...		out q[5]	Location	PIN_73	Yes			
27	✓ ...		out q[4]	Location	PIN_76	Yes			
28	✓ ...		out q[3]	Location	PIN_71	Yes			
29	✓ ...		out q[2]	Location	PIN_72	Yes			
30	✓ ...		out q[1]	Location	PIN_68	Yes			
31	✓ ...		out q[0]	Location	PIN_69	Yes			
32		<<new>>	<<new>>	<<new>>					

编译和仿真

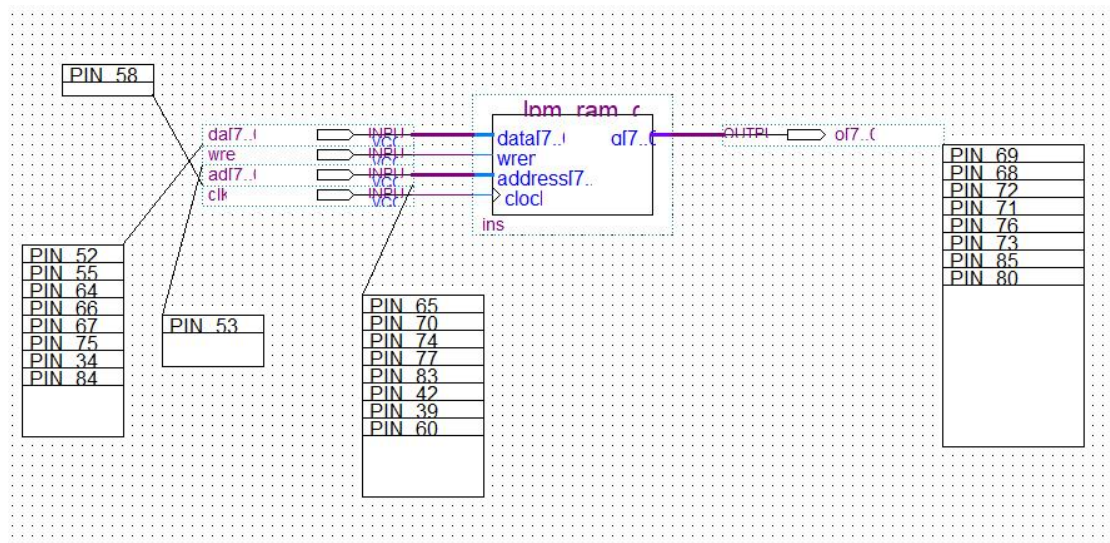
	Task	Time
✓	▼ Compile Design	
✓	> Analysis & Synthesis	
✓	> Fitter (Place & Route)	
✓	> Assembler (Generate programming files)	
✓	> TimeQuest Timing Analysis	
	> EDA Netlist Writer	
	🔧 Program Device (Open Programmer)	



下载至 FPGA，根据实验任务对开发板进行操作，实验结果与预期结果一致。利用 In-System Memory Content Editor 从 FPGA 中的 ROM 中读取微程序数据。

LPM_RAM 实验

设计和绘制电路图



绑定引脚

<<new>> <input checked="" type="checkbox"/> Filter on node names: *							
	status	From	To	Assignment Name	Value	Enabled	Entity
1	✓ ...		in ad[1]	Location	PIN_65	Yes	
2	✓ ...		in ad[2]	Location	PIN_70	Yes	
3	✓ ...		in ad[3]	Location	PIN_74	Yes	
4	✓ ...		in ad[4]	Location	PIN_77	Yes	
5	✓ ...		in ad[5]	Location	PIN_83	Yes	
6	✓ ...		in ad[6]	Location	PIN_42	Yes	
7	✓ ...		in ad[7]	Location	PIN_39	Yes	
8	✓ ...		in clk	Location	PIN_58	Yes	
9	✓ ...		in da[0]	Location	PIN_52	Yes	
10	✓ ...		in da[1]	Location	PIN_55	Yes	
11	✓ ...		in da[2]	Location	PIN_64	Yes	
12	✓ ...		in da[3]	Location	PIN_66	Yes	
13	✓ ...		in da[4]	Location	PIN_67	Yes	
14	✓ ...		in da[5]	Location	PIN_75	Yes	
15	✓ ...		in da[6]	Location	PIN_34	Yes	
16	✓ ...		in da[7]	Location	PIN_84	Yes	
17	✓ ...		out o[0]	Location	PIN_69	Yes	
18	✓ ...		out o[1]	Location	PIN_68	Yes	
19	✓ ...		out o[2]	Location	PIN_72	Yes	
20	✓ ...		out o[3]	Location	PIN_71	Yes	
21	✓ ...		out o[4]	Location	PIN_76	Yes	
22	✓ ...		out o[5]	Location	PIN_73	Yes	
23	✓ ...		out o[6]	Location	PIN_85	Yes	
24	✓ ...		out o[7]	Location	PIN_80	Yes	
25	✓ ...		in wren	Location	PIN_53	Yes	
26	✓ ...		in ad[0]	Location	PIN_60	Yes	
27		<<new>>	<<new>>	<<new>>			

编译和仿真

Flow: Compilation Customize...		
	Task	Time
✓	▼ Compile Design	00:00:14
✓	> Analysis & Synthesis	00:00:03
✓	> Fitter (Place & Route)	00:00:05
✓	> Assembler (Generate programming files)	00:00:02
✓	> TimeQuest Timing Analysis	00:00:02
✓	> EDA Netlist Writer	00:00:02
	🖱 Program Device (Open Programmer)	

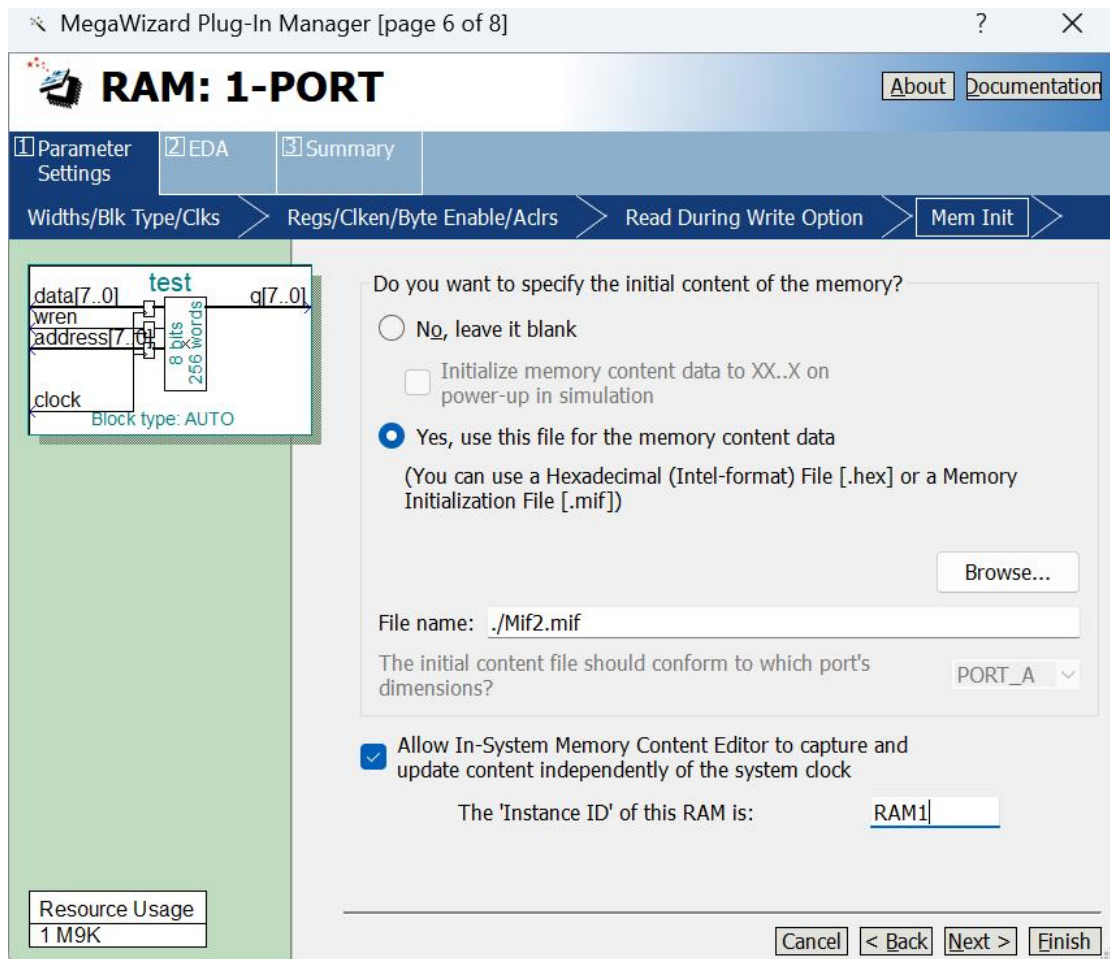


下载至 FPGA，根据实验任务对开发板进行操作，实验结果与预期结果一致。利用 In-System Memory Content Editor 从 FPGA 中的 RAM 中读取数据。

五、 实验总结及问题分析

如何建立 LPM_RAM_DQ 的数据初始化，如何导入和存储 LPM_RAM_DQ 参数文件？

创建需要初始化的数据的 mif 或 hex 等文件，在创建 RAM 的 mem init 选项时选择为 LPM_RAM_DQ 的初始化文件，如图所示。



亦可以在勾选允许系统读写后，在 In-System Memory Content Editor 中导入和写入文件。