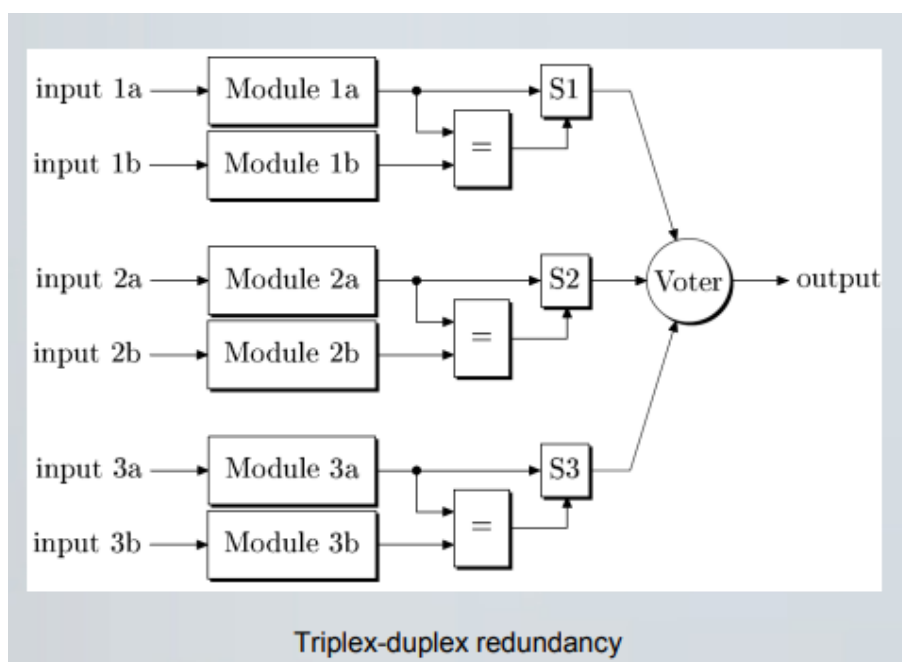


Implementacija FIR filtra otpornog na greške

1 Uvod

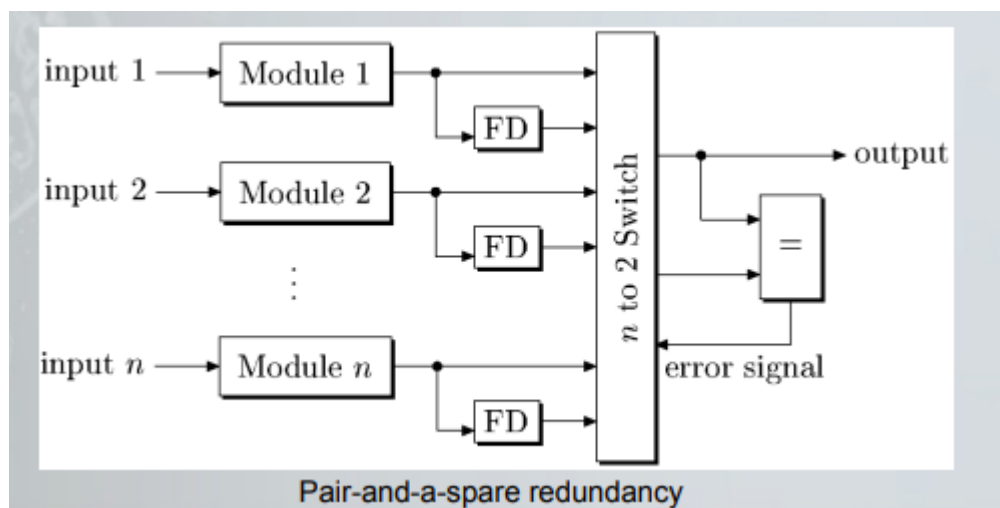
U okviru ovog projektnog zadatka realizovan je parametrizovan FIR filter otporan na otkaz, primenom Triplex Duplex tehnike redundantnosti na MAC module. Dok je na voter logiku primenjena Pair-and-a-Spare tehnika redundantnosti.

Triplex-duplex redundantnost predstavlja kombinaciju trostruke modularne redundantnosti i duplikacije sa poređenjem. Sistem se sastoji od šest identičnih modula raspoređenih u tri para koji istovremeno obavljaju iste proračune. U svakom paru, izlazi modula se upoređuju pomoću komparatora — ako su rezultati isti, izlaz tog para se uzima u obzir u voter logici. Ukoliko dođe do neslaganja, taj par se označava kao neispravan i isključuje iz sistema. Na taj način, samo parovi bez grešaka učestvuju u konačnom glasanju, čime se obezbeđuje visoka otpornost sistema na otkaz. Na slici 1 možemo videti ideju implementacije tehnike Triplex-duplex.



Slika 1. Triplex-duplex tehnika.

Pair-and-a-spare sistem se zasniva na ideji da uz svaki aktivni par postoji rezervni (spare) modul, koji se uključuje u rad kada se otkrije greška. Ovaj sistem sa n modula može da toleriše do $n - 1$ otkaza. Svaka greška se detektuje i lokalizuje pomoću switch-a i komparatora, a неисправan modul se zamenjuje rezervnim. Kada su svi rezervni moduli potrošeni, sistem se svodi na simplex konfiguraciju (jedan aktivni modul), pa sledeći otkaz više ne može biti detektovan ni ispravljen. Pair-and-a-spare tehnika obezbeđuje visoku otpornost na više uzastopnih otkaza, sve dok postoji raspoloživ rezervni modul. Na slici 2 možemo videti ideju implementacije Pair and a spare tehnike.



Slika 2. Pair-and-a-spare tehnika.

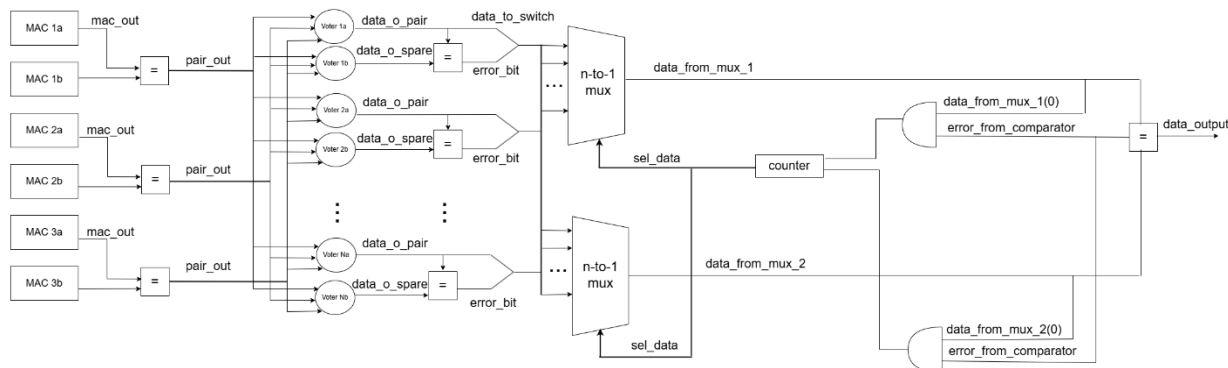
2. Implementacija Sistema

Na slici 3 je prikazana ideja i blok šema dizajna takođe prikazan je samo jedan red FIR filtra na slici. MAC modul se replicira 3 puta u parovima i svaki od izlaza ide u komparator, ako su rezultati isti izlaz se smatra validnim i prosleđuje se voter-u. Ukoliko dođe do neslaganja, taj par se označava kao neispravan i isključuje iz sistema. Izlaze svih MAC modula smeštamo u niz *mac_out*, dok se izlazi iz komparatora smeštaju u niz *pair_out*.

Nakon toga signali svakog para se prosleđuje voter-ima koji imaju po tri ulaza, broj voter-a je parametrizovan. Svaki voter vrši “glasanje” i ukoliko su barem dva od tri ulazna signala ista voter prosledjuje validan ulaz na svoj izlaz. Izlaz voter pair-a se smešta u niz *data_o_pair* dok se izlaz spare voter-a smešta u niz *data_o_spare*.

Switch logika implementirana je pomoću dva parametrizovana multipleksera, prvi multiplekser prima izlaze svih modula osim od drugog modula, dok drugi multiplekser prima izlaze svih modula osim od prvog modula. Inicijalno je postavljeno da je selekциони signal oba multipleksera na nuli i podaci oba modula se šalju kroz oba multipleksera ka izlaznom komparatoru.

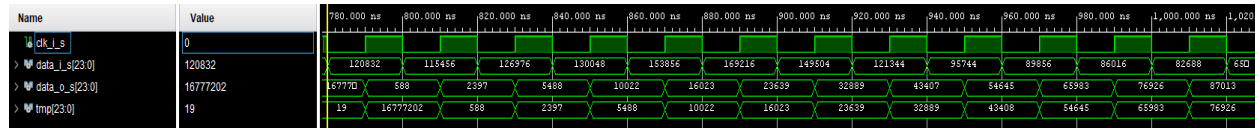
Ukoliko se ispostavi da podaci nisu isti, izlazni komparator postavlja jedinicu na žicu *error_from_comparator*, čime signalizira *switch* logici da je jedan od modula neispravan nakon toga se proverava koji od modula je neispravan, taj se isključuje i vrednost unutrašnjeg brojača se uvećava za jedan i selekциони signal tog multipleksera koji je prosleđivao podatke modula koji je neispravan dobija vrednost tog brojača.



Slika 3. blok šema sistema.

3. Rezultati simulacije i testiranje dizajna

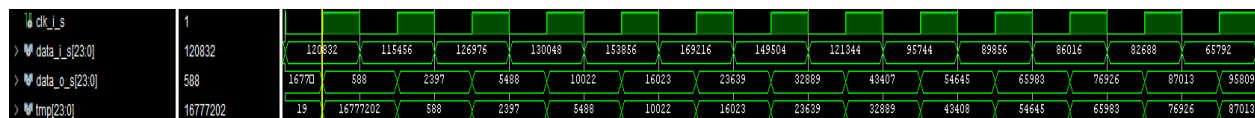
Prilikom testiranja koriscen je jednostavan *testbench* kako bismo dokazali ispravnost sistema. Na slici 4 možemo videti signale za prvobitnu implementaciju FIR filtra 20og reda bez korišćenja redudandnosti.



Slika 4. Implementacija sistema bez redundandnosti.

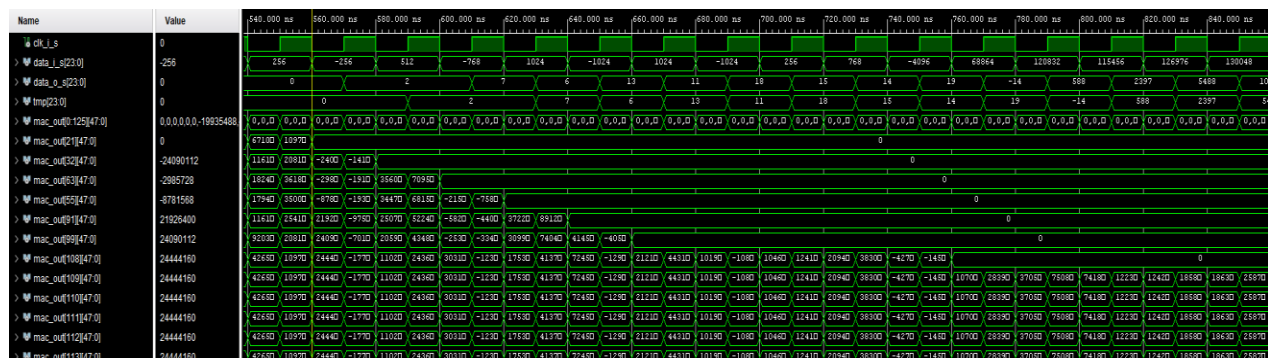
Ulazni signal koji je iskorišćen za testiranje prvobitno je izgenerisan u matlab programskom jeziku i sačuvan u fajl kojim je testirana funkcionalnost sistema.

Dok na slici 5 vidimo iste te signale nakon implementacije hardverske redundancije u našem modelu. U testu je implementiran FIR filter 20og reda sa 5 repliciranih voter-a



Slika 5. Implementacija sistema sa redundantnost.

Korišćenjem skripti *force_error_mac.tcl* dokazujemo ispravnost sistema tako što ćemo indukovati greške na MAC module na nekoliko različita reda filtra i dokazati da sistem ispravno radi. Takvo ponašanje možemo videtina slici 6.



Slika 6. Indukovanje grešaka na MAC modulima.

Nakon toga ćemo nastaviti sa izazivanjem grešaka prvo na MAC modulu 108, odnosno na jednom MAC modulu 19og red filtra. Posle toga izazivamo grešku na MAC modulu 109 odnosno paru od prethodnog MAC modula koji je idalje neispravan. Zatim izazivamo grešku na MAC modulu 110 u 1000ns i tada očekujemo da rezultati filtriranja budu netačni. Na slici 7 možemo videti grešku i da rezultati našeg sistema više nisu validni, jer voter ne može da prepozna koji od ulaznih signala je validan te prosleđuje 0 na izlaz.

Name	Value	340.000 ns	360.000 ns	380.000 ns	1.000.000 ns	1.020.000 ns	1.040.000 ns	1.060.000 ns	1.080.000 ns	1.100.000 ns	1.120.000 ns	1.140.000 ns	1.160.000 ns
clk_Ls	0												
data_i[23:0]	29440	121344	95744	89856	86016	82688	65792	46336	52736	76288	119552	132096	116224
data_o[23:0]	679	43407	54645	65983	76926	87013	95809	410	430	489	708	1109	1226
tmp[23:0]	93016	32889	43408	54645	65983	76926	87013	95809	102845	107662	110166	110527	109284
mac_out[0:125][47:0]	0.0.0.0.0.0.229258112	0,0,0	0,0,0	0,0,0	0,0,0	0,0,0	0,0,0	0,0,0	0,0,0	0,0,0	0,0,0	0,0,0	0,0,0
mac_out[21][47:0]	0												
mac_out[32][47:0]	0												
mac_out[63][47:0]	0												
mac_out[95][47:0]	0												
mac_out[110][47:0]	0												
mac_out[99][47:0]	0												
mac_out[108][47:0]	0												
mac_out[109][47:0]	291												
mac_out[110][47:0]	1364	6425D	6383D	7242D	7232D	7979D	7972D	8591D					1364
mac_out[111][47:0]	699111202304	6425D	6383D	7242D	7232D	7979D	7972D	8591D	8576D	9023D	8995D	9232D	9200D
mac_out[112][47:0]	699111202304	6425D	6383D	7242D	7232D	7979D	7972D	8591D	8576D	9023D	8995D	9232D	9200D
mac_out[113][47:0]	699111202304	6425D	6383D	7242D	7232D	7979D	7972D	8591D	8576D	9023D	8995D	9232D	9200D

Slika 7. Uspešno indukovanje greške na MAC modulima.

Nakon što smo testirali MAC module i njihovu otpornost na greške u sistemu, potrebno je bilo da testiramo i *voter-e* i njihovu otpornost na greške u sistemu. Na slici 9 možemo videti indukovanje greške na *data_o_pair* signalima od 90og do 94og elementa. Sistem se ponaša u skladu sa očekivanjima, nakon izazivanja greške na jednom od *data_o_pair* signala naš brojač se inkrementuje i *sel_data* signal se shodno tome povećava i naš *data_out* signal ostaje validan.

Name	Value	1.120.000 ns	1.140.000 ns	1.160.000 ns	1.180.000 ns	1.200.000 ns	1.220.000 ns	1.240.000 ns	1.260.000 ns	1.280.000 ns	1.300.000 ns	1.320.000 ns	1.340.000 ns	1.360.000 ns	1.400.000 ns	1.420.000 ns
clk_Ls	1															
data_i[23:0]	40335	132096	116224	94208	69376	78792	73216	81200	29440	4096	22016	44208	45568	43776	72192	110
data_o[23:0]	102845	118127	109284	106816	103416	99741	94236	90116	87772	85664	83596	81541	411	483	484	
tmp[23:0]	95809	118166	110527	109284	106816	103416	99741	94236	90116	87772	85664	83596	81541	78434	76187	71449
data_o_pair[0][47:0]	16809															
data_o_pair[2][47:0]	21555															
data_o_pair[38][47:0]	17716															
data_o_pair[93][47:0]	320160742400															
data_o_pair[94][47:0]	320160742400															
data_from_mux_1[18][48:0]	1840321484800	6585D	6320D	6239D	6055D	6019D	5795D	5743D	5502D	5512D	5327D	5323D	5154D	5027D	4991D	4823D
data_from_mux_2[18][48:0]	1840321484800	4717D	4646D	4458D	4411D	4203D	4197D	4148D	4100D	4102D	4042D	4040D	3980D	3940D	3860D	3700D
sel_data_1[18][2:0]	3															
sel_data_2[18][2:0]	2															
count[18][2:0]	4															

Slika 8. Indukovanje grešaka na voter logici.

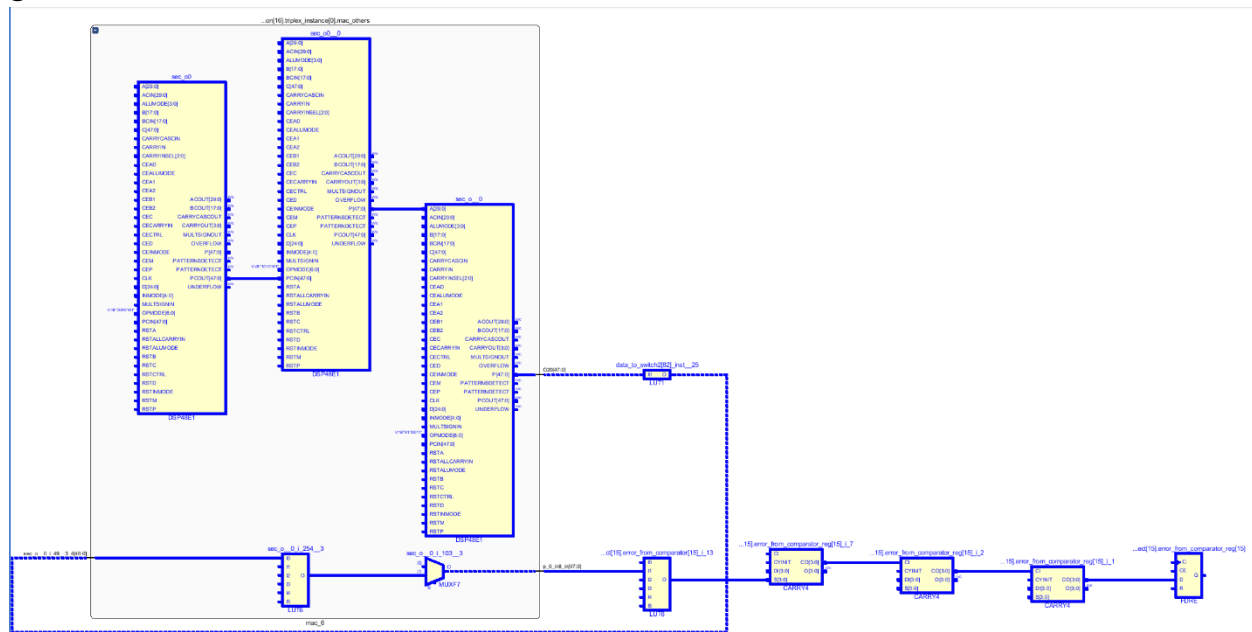
4. Analiza utrošenosti resursa

1. Analiza utrošenosti resursa i frekvencija

Broj voter-a	LUT	FF	BRAM	DSP	IO	BUFG	Potrošnja [W]	Frekvencija [MHz]
Bez tehnike	4	24	/	18	77	1	0,12	103
3	6723	171	/	63	79	1	0,202	65.34
4	8073	171	/	63	79	1	0.205	65.34
5	10981	234	/	63	79	1	0,26	65.34
6	11897	234	/	63	79	1	0.205	65.35

U tabeli 1. može se videti utrošenost resursa kao i najveća frekvencija. Takođe možemo uočiti da se frekvencija ne menja mnogo prilikom povećanja broja *voter-a*. Međutim možemo primetiti da utrošenost resursa (LUT i FF) raste drastično, dok broj DSP ostaje isti jer je uvek isti broj MAC modula.

Na slici 9. prikazana je kritična putanja našeg digitalnog sistema otpronog na greške.



Slika 9, Kritična putanja