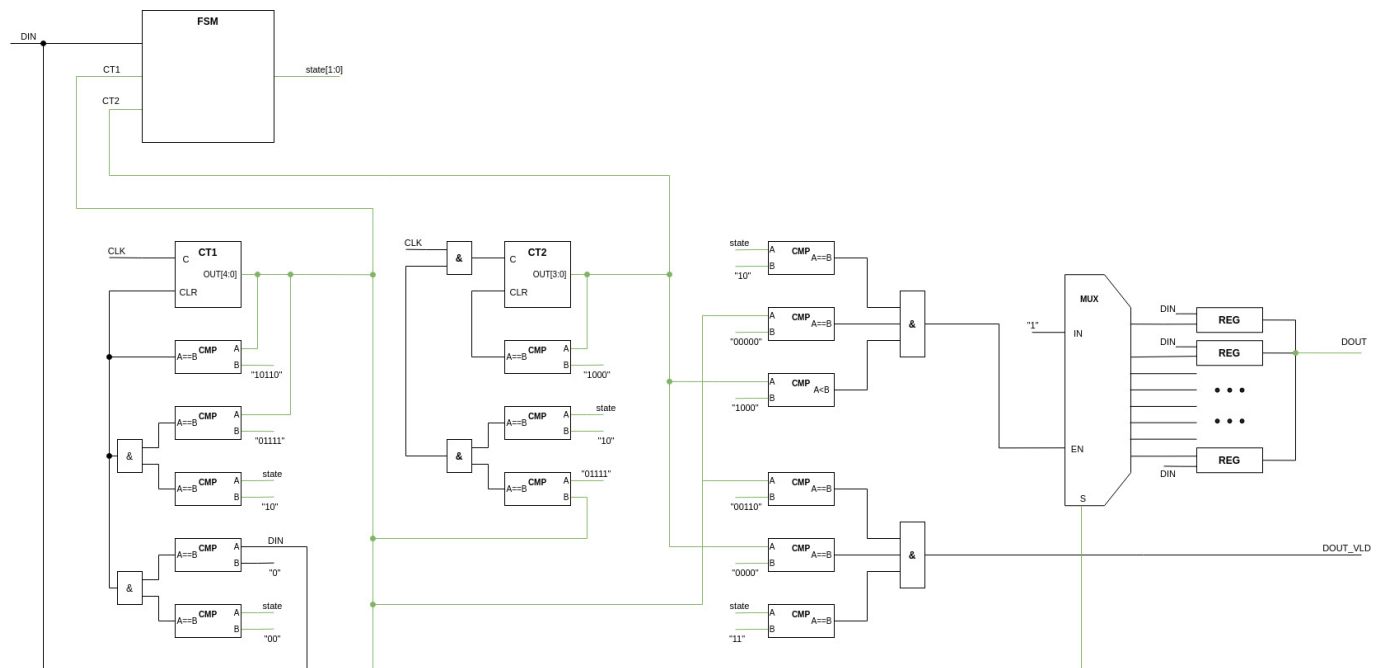


Architektura navrženého obvodu (na úrovni RTL)

Schéma obvodu



Popis funkce

Obvod je závislý od stavu **FSM** a jeho najdôležitejšími časťami sú dva čítače a multiplexor.

Čítač **CT1** je použitý na čakanie medzi rôznymi akciami (napríklad medzi prijímom start bitu a prijímom prvého bitu zaručuje čakanie po dobu **24 CLK** cyklov), **CT2** je použitý na počítanie prijatých bitov (keď ich je 8, príjem končí). Čítače sú riadené a resetované komparátormi, tie tu však nebudem vysvetľovať.

Nakoniec multiplexor jednoducho zapisuje vstupy do registrov, ktorých výstupy tvoria **DOUT** (výstup dát).

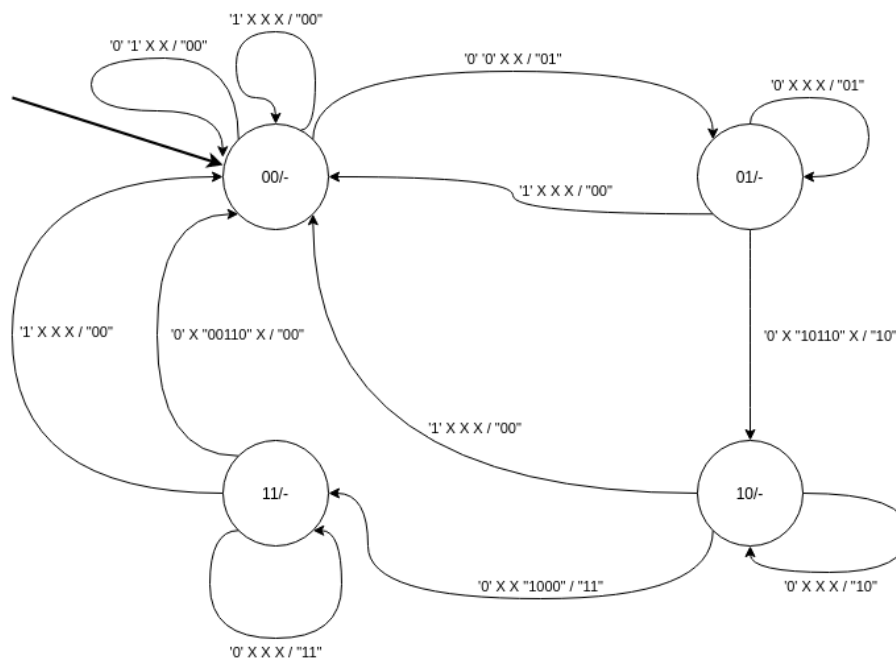
Posledná dôležitá časť je hradlo **AND** a tri komparátory, ktoré nastavujú **DOUT_VLD** na *log. 1* v prípade, že **FSM** je v stave „finishing“ (všetky bity boli prijaté), čítač **CT1** je na hodnote **6** a **CT2** na hodnote **0**. To má za následok nastavenie **DOUT_VLD** na *log. 1* práve počas posledného CLK cyklu stop bitu.

Návrh automatu (Finite State Machine)

Schéma automatu

Legenda:

- Stav automatu:
 - "00" = waiting for the start bit
 - "01" = waiting for the first bit
 - "10" = receiving data
 - "11" = finish
- Vstupní signály: 'RST' 'DIN' 'CT1[4:0]' 'CT2[3:0]'
- Mealyho výstupy: **state**
- Moorovy výstupy: [žiadne]



Popis funkce

Návrh tohto konečného automatu má len štyri stavy (ako je popísané a zobrazené vyššie).

Prvým stavom je **čakanie na start bit** - tu automat začína a nepohne sa ďalej, kým nie je **DIN** nastavený na *log. 0* (podľa definície **UART**). Stav sa potom mení na:

Čakanie na prvý bit: medzi nábežnou hranou start bitu a stredom prvého bitu je pri nastavení CLK na 16x vyššiu frekvenciu podľa definície UART práve **24** CLK cyklov. Po **24** nábežných hranách CLK sa stav prepne do:

Prijímanie dát: V momente prepnutia stavu a potom každú šesťnástu nábežnú hranu CLK sa hodnota **DIN** „skopíruje“ na patričný bit výstupu. Po prijatí všetkých ôsmich bitov sa prechádza do stavu:

Koniec, počas ktorého sa čaká na koniec stop bitu a zároveň sa práve počas tohto stavu na jeden CLK cyklus nastaví **DOUT_VLD** na *log. 1*.

Kedykoľvek v prípade, že je vstup **RST** nastavený na *log. 1* sa automat vracia do stavu „čakanie na start bit“ ("00").

Snímek obrazovky ze simulací

