

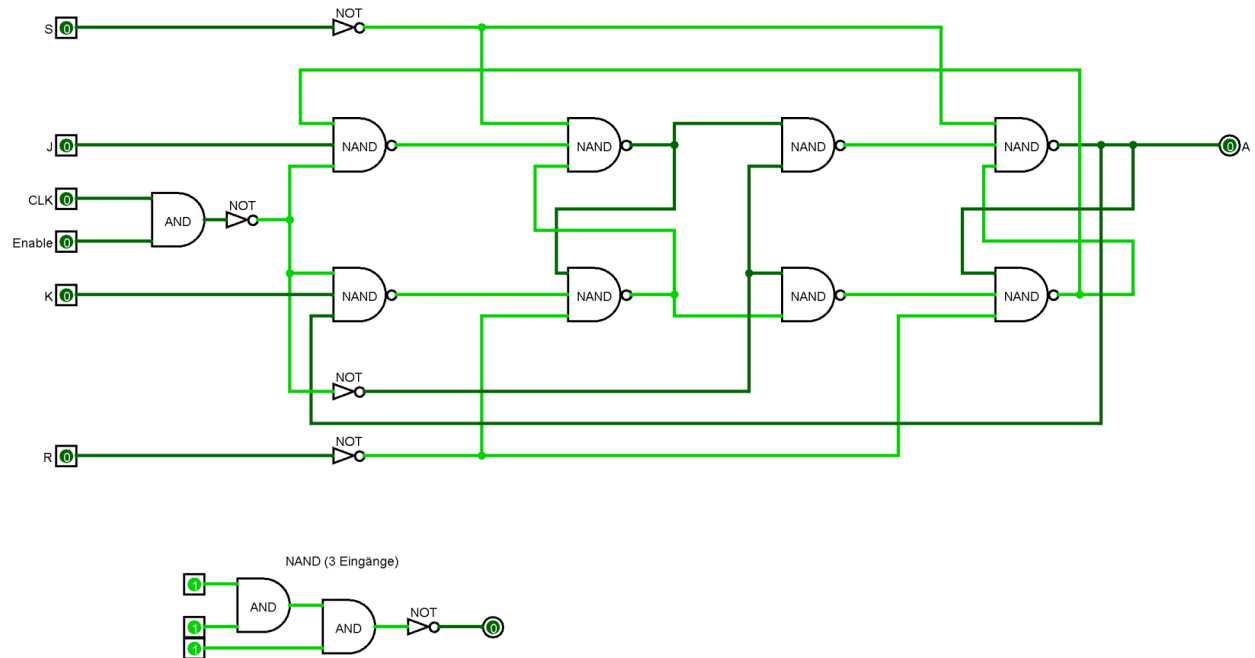
Do-It-Yourself CPU

4. Prozessor

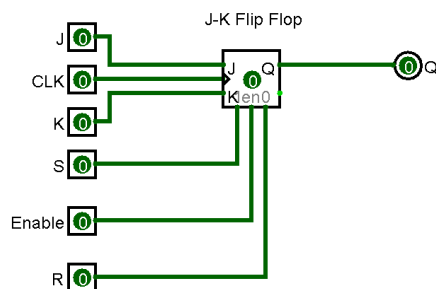
mail@AndreBetz.de

In diesem letzten Kapitel werden nun alle bisher dargestellten Bausteine zu einem Prozessor zusammengefügt. Da die Anwendung Logisim Probleme hat die höheren Bausteine, die auf NAND Gattern beruhen zu simulieren, steige ich auf die internen Bausteine. Allerdings zeige ich, wie diese Bausteine intern aufgebaut sind.

1. J-K FlipFlop mit RS und Enable

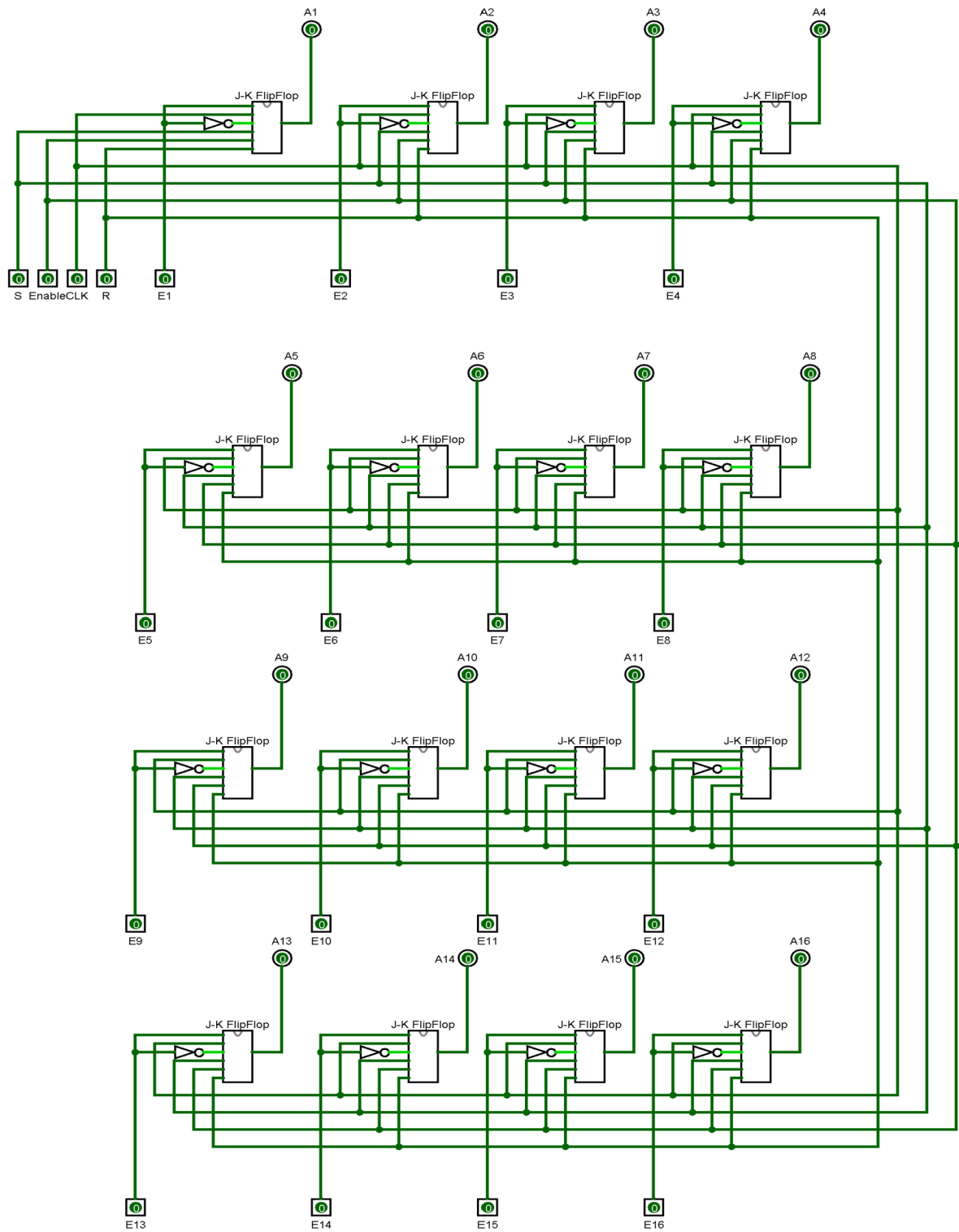


Das J-K FlipFlop bekommt noch eine Enable Leitung hinzu, die den Takt ein- bzw. ausschaltet. Im Bild ist noch einmal zur Verdeutlichung, wie ein 3-fach NAND Gatter aufgebaut ist.

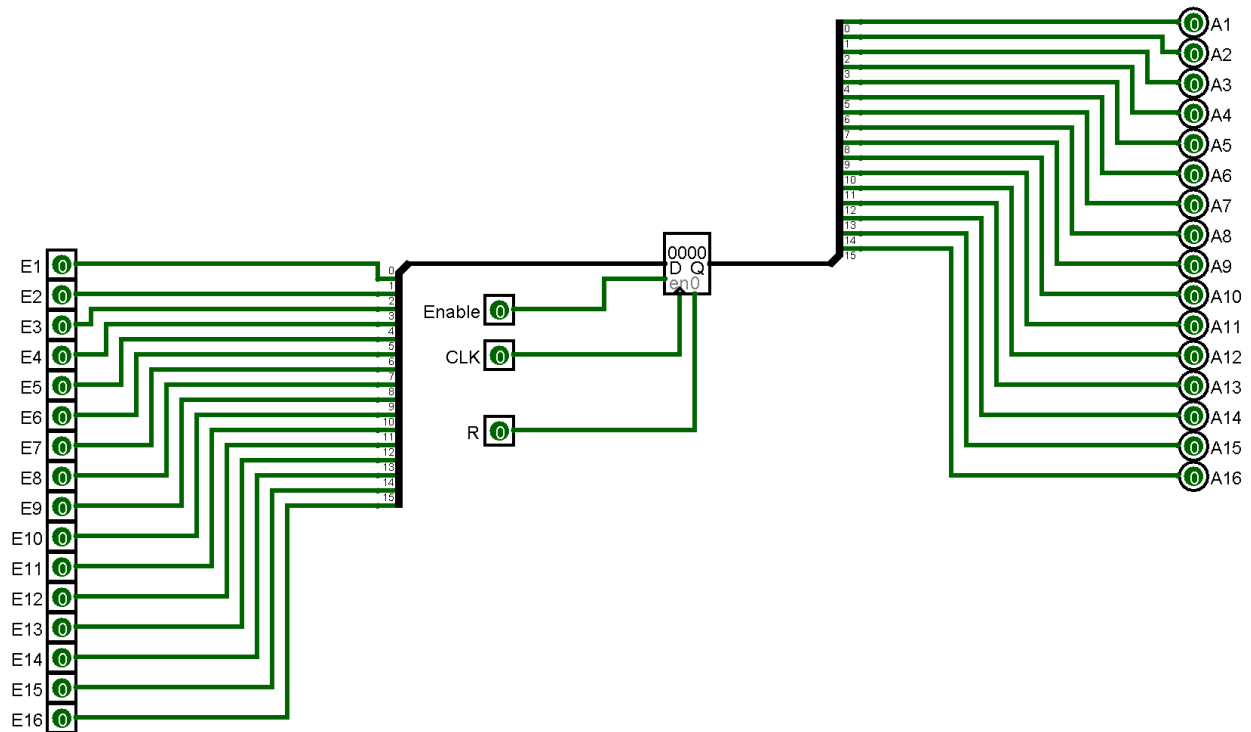


In Logisim gibt es ein eingebautes J-K FlipFlop mit der gleichen Funktionalität.

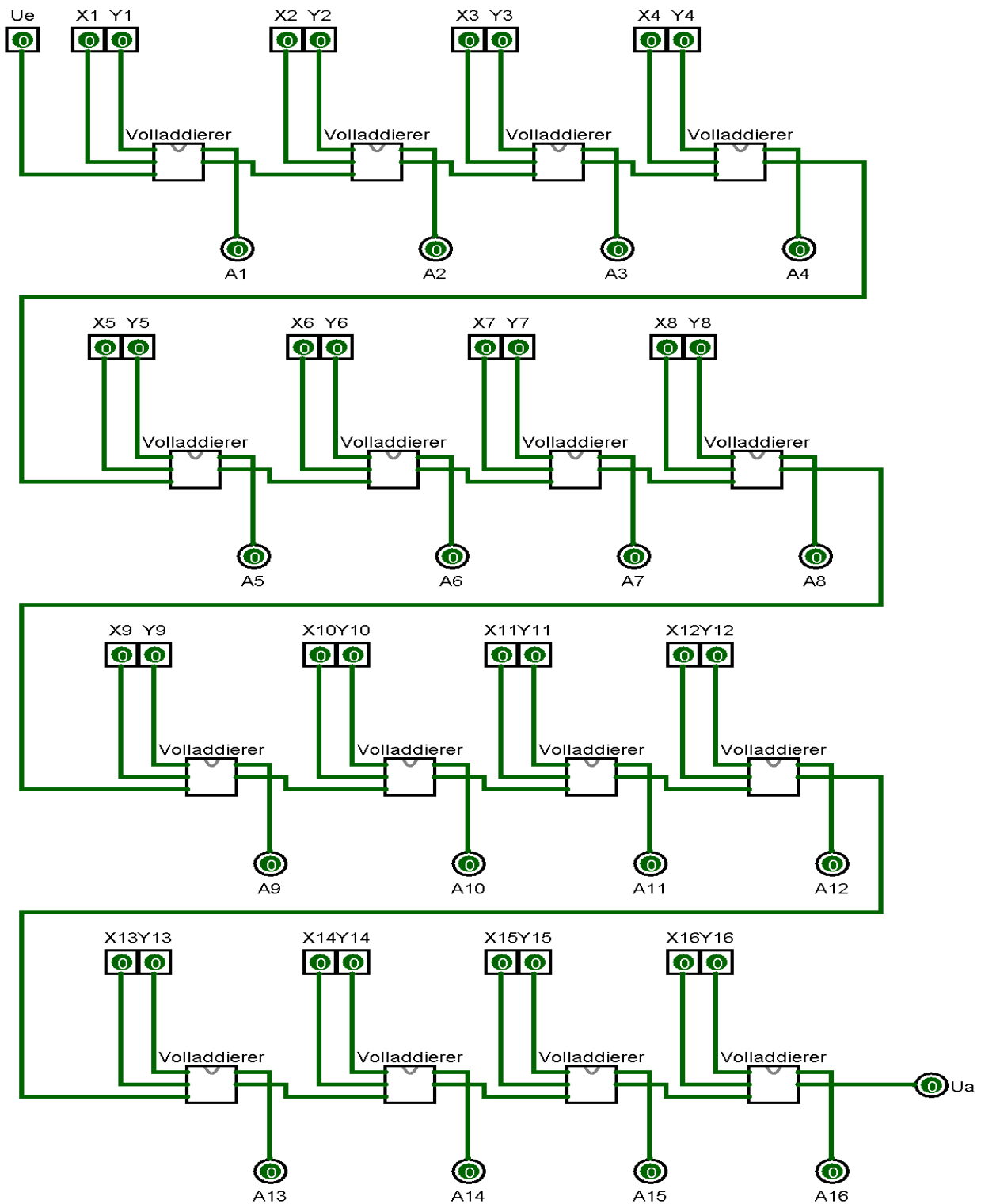
2. Register 16Bit



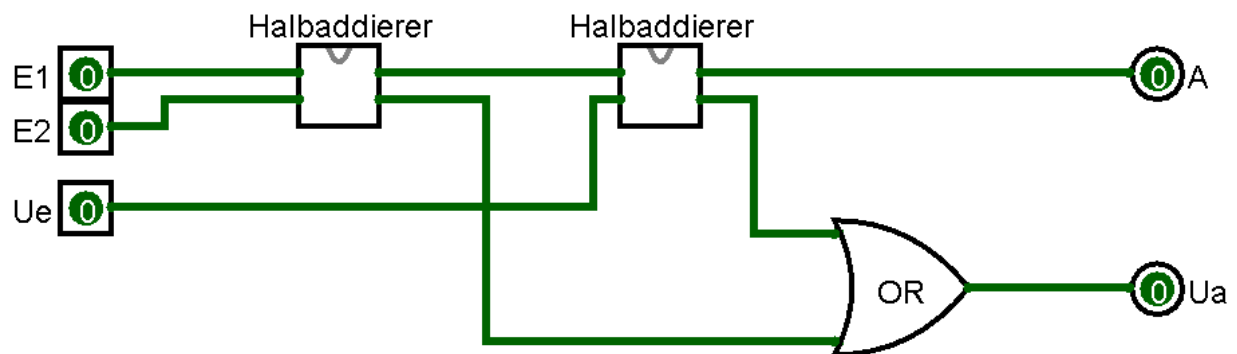
Ein Register, das 16 Bit speichern kann ist in Logisim auch enthalten. Der interne Aufbau ist oben dargestellt.



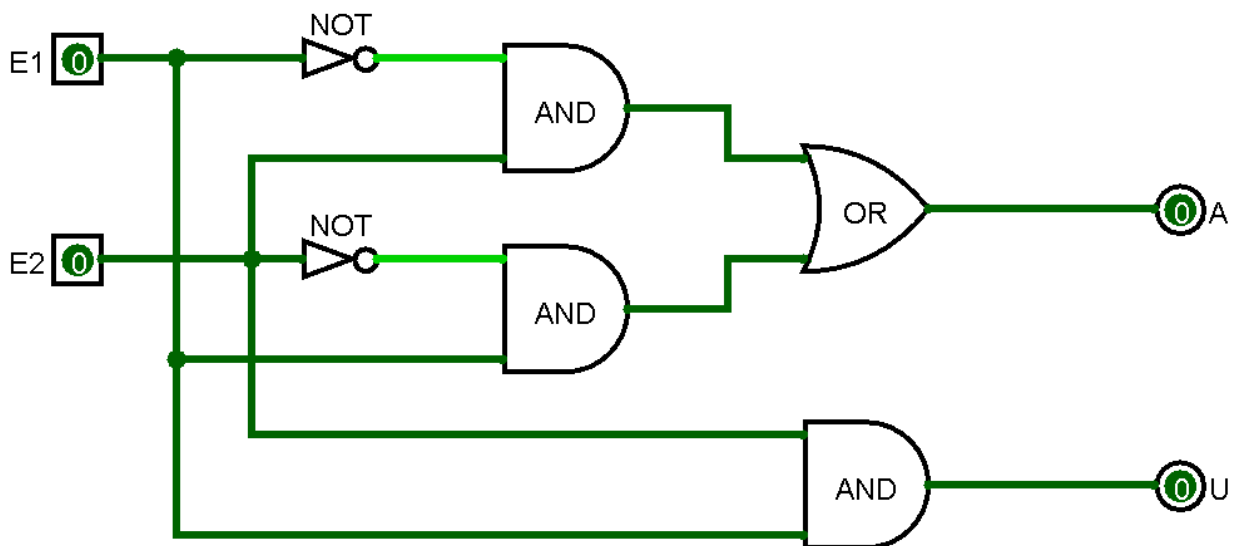
3. Addierer 16Bit

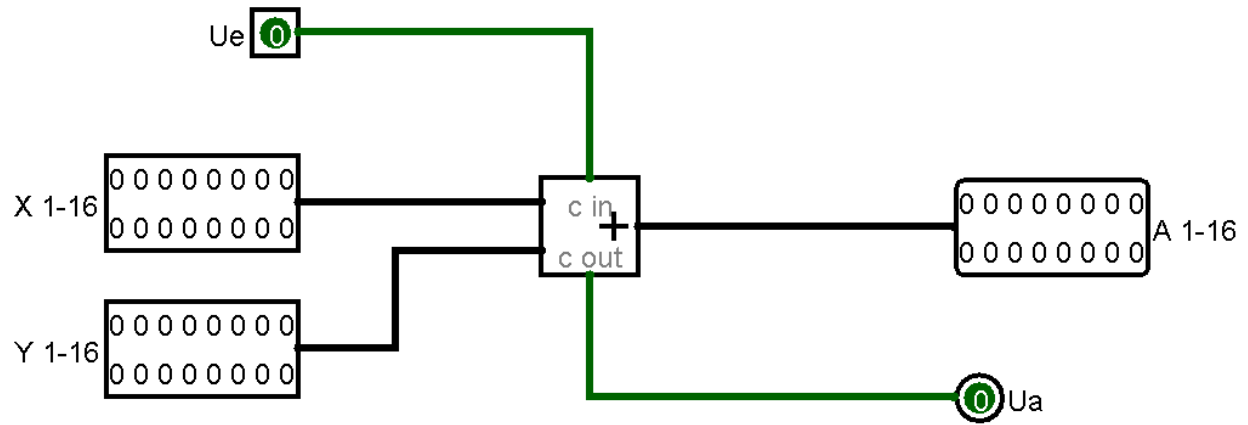


Oben ist die Funktionsweise eines 16Bit Addierers dargestellt. Die einzelnen Volladdierer bestehen wiederum aus zwei Halbaddierern.



Und ein Halbaddierer ist wie folgt aufgebaut.





In Logisim ist ebenso ein 16Bit Addierer integriert

4. Program Counter

