

Konečný automat a jeho minimalizace. Syntéza asynchronních sekvenčních logických obvodů jako kombinačních obvodů se zpětnou vazbou. Struktura základních synchronních klopných obvodů. Syntéza sekvenčních logických obvodů používaných v počítačích.

26.1 Konečný automat a jeho minimalizace

26.1.1 Konečný automat

šestice $(Q, \Sigma, Y, \delta, q_0, \omega)$ kde:

Q ... konečná množina všech stavů

Σ ... konečná množina všech vstupních symbolů

Y ... konečná množina všech výstupních symbolů

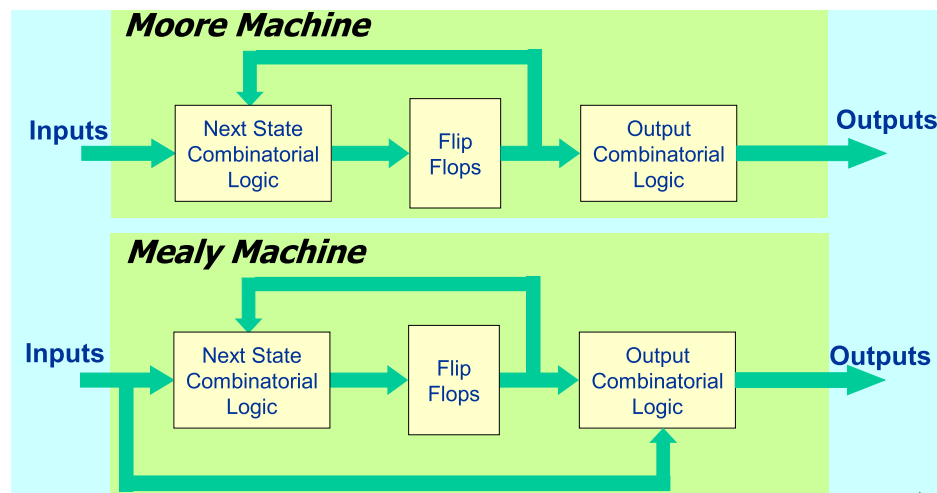
δ ... přechodová funkce $\delta : Q \times \Sigma \mapsto Q$

q_0 ... počáteční stav, $q_0 \in Q$ $\delta(q_0, a) = p$, $a \in \Sigma$, $p \in Q$

ω ... výstupní funkce:

Moore $\omega : Q \mapsto Y$

Mealy $\omega : \Sigma \times Q \mapsto Y$



- Ke každému Mealyho automatu M existuje Moorův automat M' podobný (= nejsme schopni rozlišit jejich chování z vnějšího pozorování)

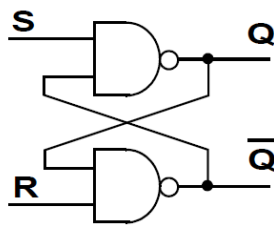
26.1.2 Minimalizace

Nic jsem nenašel, asi bych se zníml DFA (akceptor) a řekl, že jsou velmi často používané a minimalizoval pouze DFA, viz JAG.

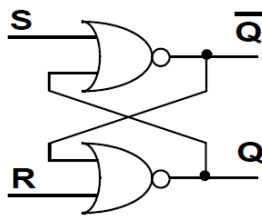
26.2 Základní asynchronní obvody

latch = jednobitová paměť bez hodinového signálu (clock)

26.2.1 RS

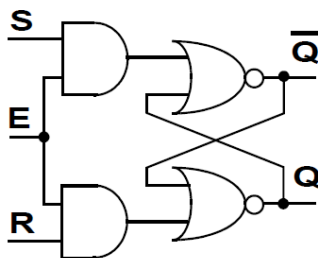


S	R	Q	\bar{Q}	Function
0	0	1-?	1-?	Indeterminate State
0	1	1	0	Set
1	0	0	1	Reset
1	1	Q^+	\bar{Q}^+	Storage State



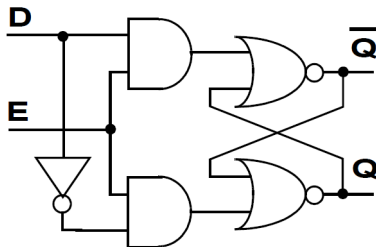
S	R	Q	\bar{Q}	Function
0	0	Q^+	\bar{Q}^+	Storage State
0	1	0	1	Reset
1	0	1	0	Set
1	1	0-?	0-?	Indeterminate State

26.2.2 RS s enabled

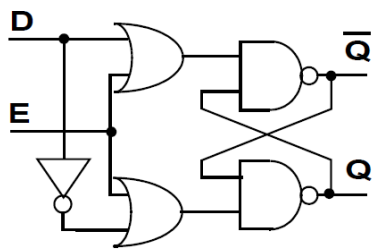


E	S	R	Q	\bar{Q}	Function
0	x	x	Q^+	\bar{Q}^+	Storage State
1	0	0	Q^+	\bar{Q}^+	Storage State
1	0	1	0	1	Reset
1	1	0	1	0	Set
1	1	1	0-?	0-?	Indeterminate State

26.2.3 D latch



E	D	Q	Function
0	x	Q^+	Storage State
1	0	0	Transparent Mode
1	1	1	Transparent Mode



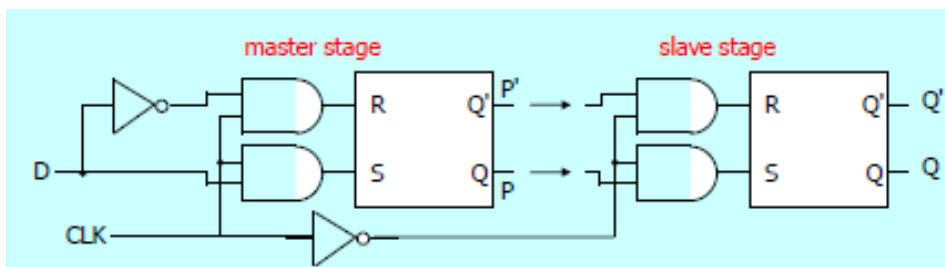
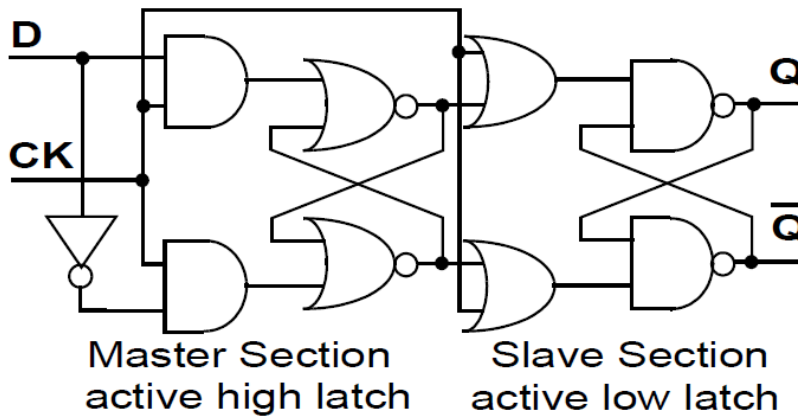
E	D	Q	Function
1	x	Q^+	Storage State
0	0	0	Transparent Mode
0	1	1	Transparent Mode

26.3 Synchronní klopné obvody

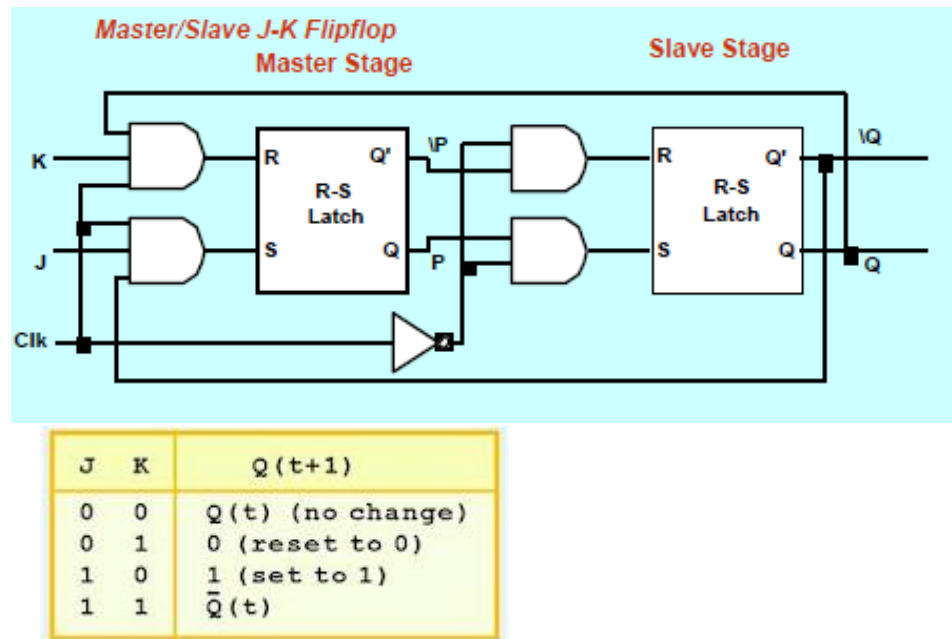
flip-flop = klopný obvod řízený hodinovým signálem(clok)

26.3.1 D flip-flop

Na obrázku je schéma, které reaguje na sestupnou hranu, jinak se chová jako D latch



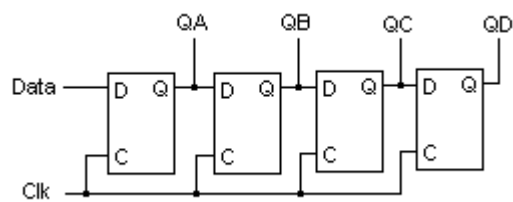
26.3.1.1 J-K Flip Flop



26.4 Sekvenční logické obvody používané v počítačích

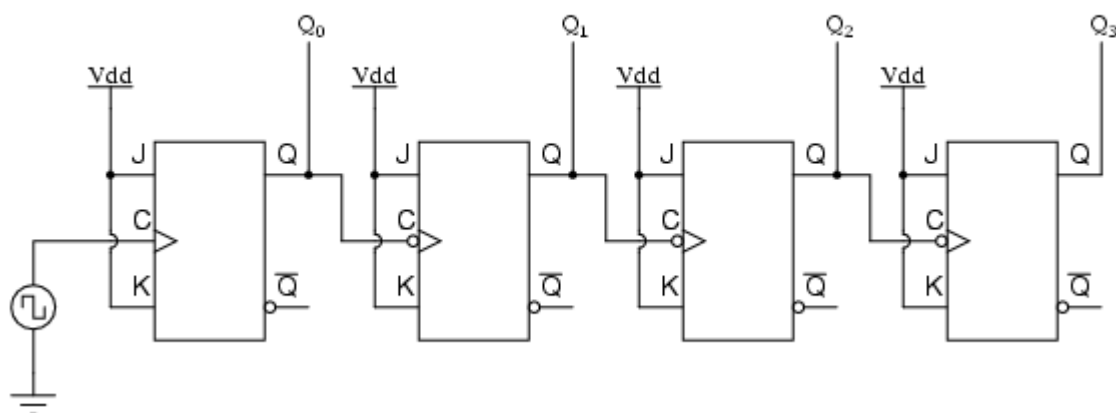
- Binární a dekadické čítače, Grayovy čítače
- posuvné registry
- řadiče přerušení

26.4.1 4-bit posuvný registr



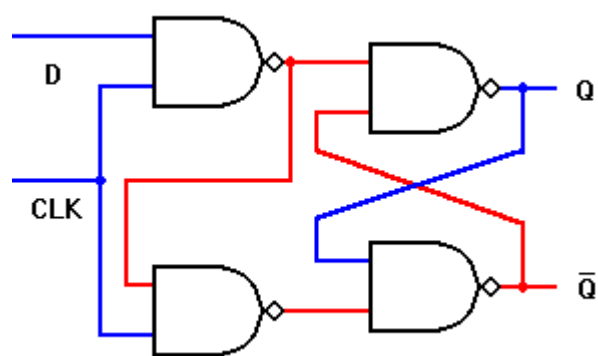
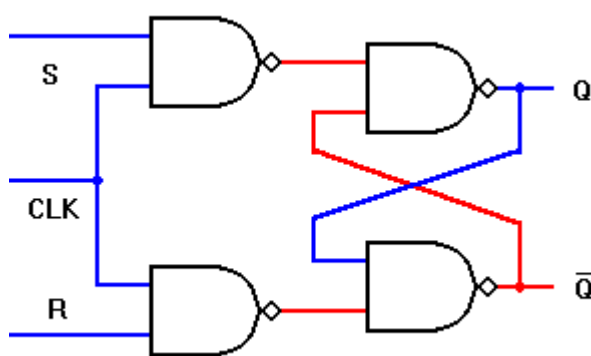
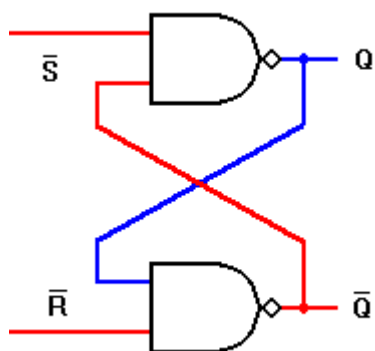
26.4.2 4-bitový vzestupný čítač

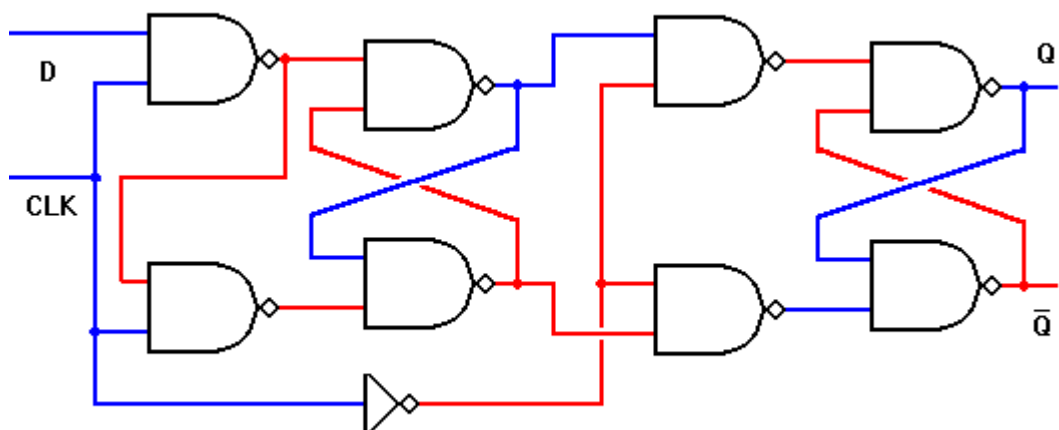
A four-bit "up" counter



26.5 Dolpnění

Tady jsou latche a flip-flopy pouze z NANDů, ty se možná lépe pamatují





Pro JK níže - stavy se mění pouze na sestupnou hranu (v případě clocku)

