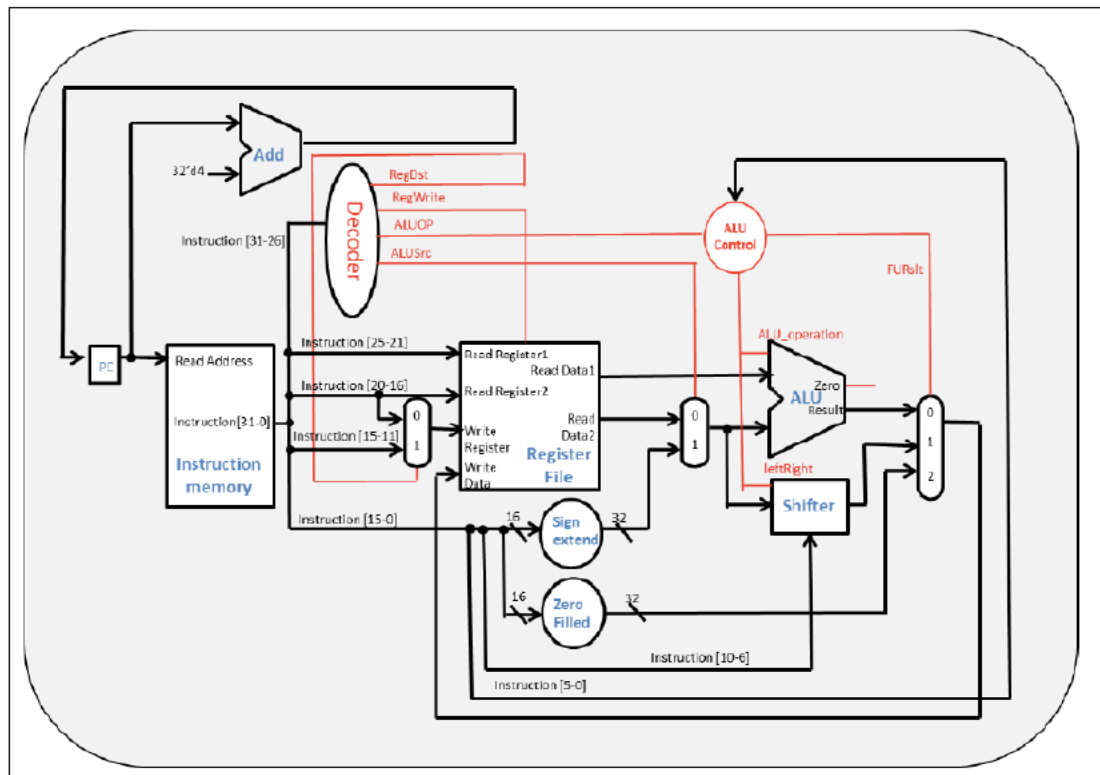


Computer Organization

Architecture diagrams:

因為完全照著 spec 中的架構圖來實作所有 module 與接線，所以這裡直接放上 spec 裡的 Architecture Diagram



Hardware module analysis:

Program Counter(助教提供)：

- PC 是一個 32bits 的 register，會隨著 clock 變化而不斷上升，每個 clock 會 +4，並且會用 rst signal 來 reset

Instruction memory(助教提供)：

- Instruction memory 是 32x32-bits memory(32 words). 指令會依照 PC

給出的 PC address 來讀取與輸出

Adder :

- $Input1 + input2 = output$, 這裡主要是用在計算 $PC + 4$

Decoder :

- 用來 decode 每個指令 , 依照 spec 的表格輸出正確的 control signals
與 ALUOp

Sign Extend :

- 把 16 bits 的 signal 用第 16 個 bit 延展(第 17~32 個 bit 都設成跟第 16 個 bit 一樣)成 32 bits

Zero Filled :

- 這次 lab 似乎沒有會使用到這個 module 的測資 , 主要是用在 lui instruction , 會把 input 的 16 bits signal 放在 upper 的 16 bits , lower 的 16 bits 都用 0 填滿 , 最後輸出 32 bits

3/2to1 Mux :

- 輸入數個 data , 利用輸入的 select_i 來決定要輸出哪一個 input

Register File(助教提供) :

- Outputs (RS and RT) is obtained by using the addresses input into the file.
- If RegWrite is set ($RegWrite == 1$), the input data is assigned to the

register specify by RDaddr

ALU:

- 利用 spec 中最後一頁的範例照著寫出一個 32 bits 的 ALU，用來處理

R-type 與 address 計算

ALUCtrl :

- 輸入 decoder 輸出的 ALUOp 與指令的 function field，用來確定 ALU 需要做甚麼 operation
- 輸出的 FURslt 是用在最後的 3to1 Mux，決定最後要輸出哪個 data
- 為了 bonus 的 2 個指令，多加了一個 output signal (ShiferV_o)

Shifter(助教提供) :

- 由於不確定上次 lab 的 shifter 有沒有寫對，所以使用助教提供的 shifter，輸入往左或往右、shamt 與需要 shifter 的 32bits，輸出 shifter 後的 result

Simple Single CPU :

- 把所有的 module 全部連接起來，組成一個 single cycle 的 CPU

Finished part:

所有 module 都完成了，包括 bonus 的部分，完成在 ALU_Ctrl 與 Decoder 裡面，

並且在 Simple_Single_CPU 中額外增加了一個 2to1 的 Mux。

Problems you met and solutions:

問題 1：在 simple single cpu 的 module 中，把 PC 線接錯，導致 PC address 不斷出錯

Solutioin：想到可以利用 GTKWave 看波型觀察哪裡有線接錯，後來發現是自己 PC+4 的 output 沒有接回 pc_in_i，更正後 PC address 就沒有出錯了

問題 2：因為助教給的 input、output 大多都是 wire，但 wire 不能在 always 中 assign，不知道怎麼處理

Solution：原本想把 wire 改成 reg，但不知道會不會出現問題，所以把需要用到 if-else 的地方全部改成 `?:` 的三元運算子來處理，就不需要用到 always 了

Summary:

我覺得這個 lab 讓我對於上課 Ch4 提到的 single cycle cpu 有更深入的了解，並且知道每個 module 與指令在實作時要如何處理，雖然過程中遇到一些問題，但是靠著同學與助教們的幫忙，還是成功寫出了這個 lab。