

2024 Arch 小作业:

# ToyALU

2024年9月30日

## 作业要求:

使用 Verilog 语言实现一个超前进位加法器，  
并在 Canvas 和 OJ 上提交

# 行波进位加法器 (Ripple Adder)

- 由多个一位全加器级联组成
- $s_i = a_i \oplus b_i \oplus c_i$
- $c_{i+1} = (a_i \cdot b_i) + (a_i \oplus b_i) \cdot c_i$
- 逐位计算当前位和进位数值，需要更多的门电路时间

# 超前进位加法器 (Carry Lookahead Adder)

- 提前并行计算进位  $c_i$
- 生成信号  $G_i = a_i \cdot b_i$     传播信号  $P_i = a_i \oplus b_i$
- $c_1 = G_0 + P_0 \cdot c_0$
- $c_2 = G_1 + P_1 \cdot (G_0 + P_0 \cdot c_0)$
- $c_3 = G_2 + P_2 \cdot (G_1 + P_1 \cdot (G_0 + P_0 \cdot c_0))$
- ...

## 可选要求:

- 实现一个浮点加法器，并且自主设计测试
- 实现一个整数乘法器，并且实现简单的优化

## 分数组成:

- 基础要求: 占总成绩的10%
- 浮点加法器: 额外在平时分中+5
- 整数乘法器: 额外在平时分中+2

## 时间安排:

- 基础要求: 截止日期 10月15日 12: 00
- 可选要求: 截止日期 10月30日 12: 00

请大家在10月8日前将repo地址提交在canvas上,  
repo中的commit应体现开发过程。

Q&A