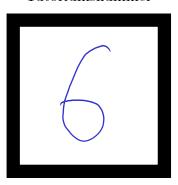
${\bf Vorlesung\ Rechnerorganisation\ Wintersemester\ 2020/21}$

- Übungsblatt 4 -

Tutoriumsnummer



Name, Vorname: Slavov, Velislav

Matrikelnummer: 2385786

Matrikelnummer: 2385786

Studiengang: Informatik BsC

Name des Tutors: Jonas Heinle

A1 1. Eine SRAM Speicherzelle besteht aus 6 Transistoren und Daten werden gespeichert sobald der Speicher mit Strom versorgt ist.

> Eine DRAM Speicherzelle besteht aus 1 Transistor und 1 Kondensator. Es muss eine Auffrischung stattfinden, veil der Kondensator Beim Lesen und durch Strom Leaks entladen wird.

2. SRAM bietet schnellere Zugriffszeiten und ist weniger dicht (wegen die Anzahl an Transistoren pro Zelle).

DRAM ist dagegen langsamer und dichter somit bietet größere Kapazitäten.

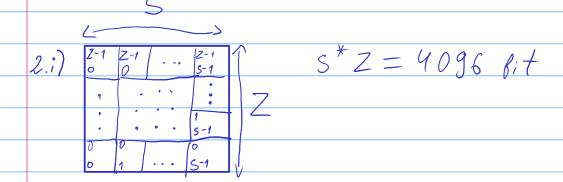
3. Registersatz = SRAM

Cache = SRAM

Hauptspeicher = DRAM

1. Zugriffszeit = die maximale Zeitdauer Zwischen das Kommunizieren einer Adresse an den Speicher und die eigentliche Ausgabe der Daten. A3 Zykluszeit = die minimale Zeitdauer zwischen zwei nacherna nder Folgenden Speicherzugriffe. 2. Beim Lesen/Schreiben werden die Bits in SRAM-Zellen des Lese-/Schreibverstärkers eingelesen und wieder in die DRAM-Speicherzellen geschrieben (dieses mal verstärkt). Dies ist notwendig veil der Kondensator Beim Lesen und durch Strom Leaks entladen wird.

=> Das Element befindet sich an der Stelle 254x175



$$2.ii)$$
 4096= 2^{12} => $Z=S=2^{6}=64$

$$2.iii)s=z=6$$
 bits

- 1. Es müssen 512 Speicherstellen adressiert werden. 512=29 somit werden 9 Adressleitungen gebraucht. PT 5
 - 2. $8Kx^2 = 2Kx8$ $8^{+}2K = 16K = > wir branchen 8 Bausteine$
 - $3. z^9 = 512$ Speicherstellen die adressiert werden 8192/512 = 16
 - => Organisation: 512×16
 - 4. Wortbreite: 69 bit
 - Kapazität: 64 MByte Chips: 2Mx8 bit

 - $2M_{\chi}8 = 2^{2}\chi8 = 2^{18}\chi64$
 - $64M \times 64 = 2^{8} \times 64 = 2^{8} \times 2^{18} \times 64 = 5$ Wir branchen 28 = 256 Chips
 - Ich würde die Chips in 16 Zeilen und 16 Spalten anordnen. (16x16 = 256)