

Rechnerorganisation im WS 2020/21

7. Übungsblatt

Abgabetermin: 18. Januar, 13:15 Uhr

Prof. Dr. Jörg Henkel
Dr.-Ing. Lars Bauer
Roman Lehmann, M. Sc.
Haid-und-Neu-Str. 7,
Geb. 07.21 (Technologiefabrik)
Email: roman.lehmann@kit.edu

Aufgabe 1

(6 Punkte)

Vergleichen Sie statische und dynamische RAM-Speicherelemente.

1. Wie wird die gespeicherte Information jeweils physikalisch repräsentiert? 2 P.
2. Vergleichen Sie die beiden Speichertypen hinsichtlich Zugriffszeit und möglicher Integrationsdichte. 2 P.
3. Welchen Speicherelemente werden verwendet für: 2 P.
 - i.) Registersatz der CPU
 - ii.) Hauptspeicher des Rechners
 - iii.) L1-Cache der CPU

Aufgabe 2

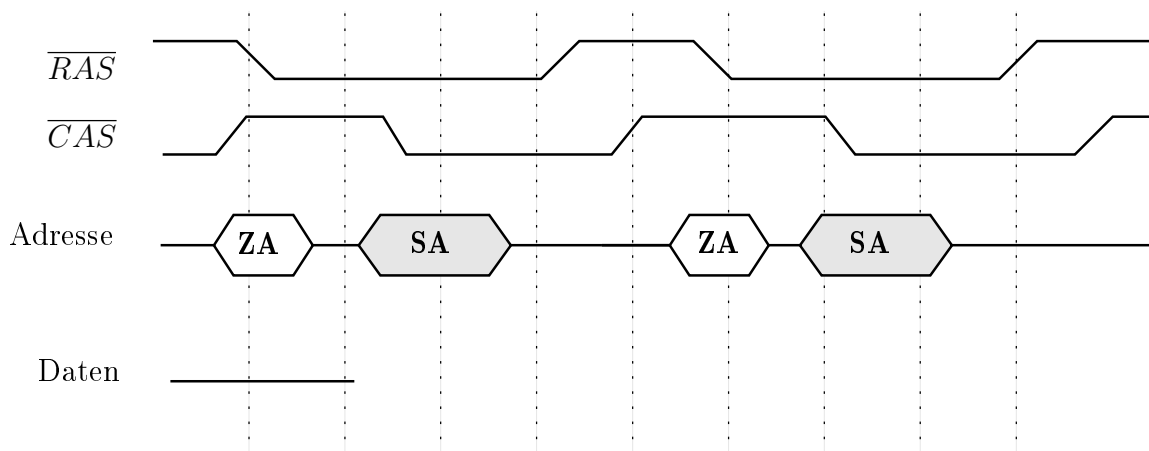
(4 Punkte)

1. Skizzieren Sie den Aufbau einer statischen CMOS-RAM-Speicherzelle. Erläutern Sie ihre Funktionsweise. 2 P.
2. Skizzieren Sie den Aufbau einer dynamischen CMOS-RAM-Speicherzelle. Erläutern Sie ihre Funktionsweise. 2 P.

Aufgabe 3

(6 Punkte)

1. Erklären Sie den Unterschied zwischen Zugriffszeit und Zykluszeit bei Speicherzugriffen. 2 P.
2. Was passiert beim Auffrischen eines DRAM-Bausteins? Warum ist das Auffrischen überhaupt notwendig? 2 P.
3. Gegeben ist das Timing-Diagramm eines DRAM-Bausteins (siehe Abbildung 1). Zeichnen Sie die Timing-Parameter in das Timing-Diagramm für Lese-Zugriffe ein, d. h. 2 P.
 - die Zykluszeit (t_{RC}),
 - die RAS-Zugriffszeit (t_{RAC}),
 - die CAS-Zugriffszeit (t_{CAC}),
 - die RAS-CAS-Delay (t_{RCD})
 - die RAS-Precharge-Time (t_{RP})



ZA: Zeilen-Adresse

SA: Spalten-Adresse

Abbildung 1: Timing-Diagramm eines DRAM-Bausteins

Aufgabe 4

(8 Punkte)

1. Ein $64K \times 1$ Speicher-Baustein besitzt eine quadratische Speichermatrix. Der höchstwertige Teil einer Adresse ist auf einen Spalten-Auswahl-Dekoder, der niederwertige Teil der Adresse auf einen Zeilen-Auswahl-Dekoder geschaltet. 2 P.

An welcher Stelle in der Speichermatrix befindet sich das Speicherelement (1-Bit-Speicherzelle) mit der Adresse $AFFE_{16}$?

2. Auf einem quadratischen Silizium-Chip ist ein Speicher mit wahlfreiem Zugriff (*Random Access Memory = RAM*) unterzubringen. Die Speicherkapazität soll

$$N = 2^{s+z} = 4096 \times 1 \text{ bit}$$

betragen, d. h. bei Anlegen der Adressen soll 1 Bit selektiert werden.

- i.) Zeichnen Sie die „grobe“ Organisation dieses RAM-Speicherbausteins. 2 P.
- ii.) Wie viele Zeilen Z und wie viele Spalten S würden Sie zweckmäßigerweise für die Speichermatrix wählen ? 2 P.
- iii.) Wie viele Bits z enthält dann die Zeilenadresse und wie viele Bits s hat die Spaltenadresse? 2 P.

Aufgabe 5

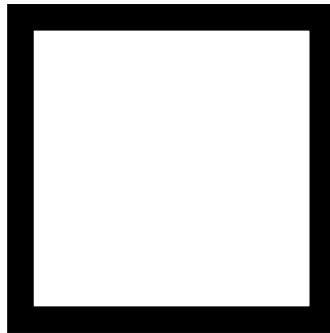
(7 Punkte)

1. Wie viele Adressleitungen sind erforderlich bei einem Speicherbaustein mit einer Kapazität von 4096 Bit und einer 512×8 -Organisation? Begründen Sie Ihre Antwort. 1 P.
- 1 P.
2. Wie viele RAM-Bausteine der Organisation $8k \times 2$ sind notwendig, um einen Speicher mit einer Kapazität von 16k Wörter und einer Wortbreite von 8 Bit zu realisieren? Begründen Sie Ihre Antwort.
3. Wie ist ein ROM-Baustein mit der Speicherkapazität von 8192 Bits und 9 Adressleitungen organisiert? Begründen Sie Ihre Antwort. 1 P.
4. Für einen Rechner soll ein RAM-Speicher mit einer Speicherwortbreite von 64 Bit und einer Speicherkapazität von 64 MByte konzipiert werden. Es stehen Speicher-Chips zur Verfügung, die als $2M \times 8$ Bit organisiert sind. 2 P.
- Wie viele Chips dieser Art sind zur Realisierung des Speichers notwendig? Wie würden Sie die Chips in der Speichermatrix anordnen?
5. In diesem Aufgabenteil soll ein ROM-Speicher als $8K \times 19$ Bit realisiert werden. Es stehen $4K \times 4$ bit und $8K \times 1$ Bit Speicher-Chips zur Verfügung. Der Speicher soll mit einer möglichst geringen Anzahl an Chips einer oder beider Arten realisiert werden. Wie viele Chips sind notwendig? 2 P.

Vorlesung Rechnerorganisation Wintersemester 2020/21

- Übungsblatt 7 -

Tutoriumsnummer



Name, Vorname: _____

Matrikelnummer: _____

Studiengang: _____

Name des Tutors: _____

/31 Punkte