

Rechnerorganisation im WS 2020/21

Musterlösungen zum 7. Übungsblatt

Prof. Dr. Jörg Henkel
Dr.-Ing. Lars Bauer
Roman Lehmann, M. Sc.
Haid-und-Neu-Str. 7,
Geb. 07.21 (Technologiefabrik)
Email: roman.lehmann@kit.edu

Lösung 1

(6 Punkte)

1. Physikalische Repräsentation

2 P.

- Statisches RAM-Speicherelement: Gespeicherter Wert wird als Zustand eines Flip-flop repräsentiert, d.h. als momentaner Schaltzustand der beteiligten Transistoren
- Dynamisches RAM-Speicherelement: Gespeicherter Wert wird als Ladungszustand eines Kondensators repräsentiert

2. Zugriffszeit und Integrationsdichte

2 P.

- Statisches RAM-Speicherelement: Geringere Zugriffszeit und geringere Integrationsdichte
- Dynamisches RAM-Speicherelement: Höhere Zugriffszeit und höhere Integrationsdichte

3. Verwendete Speicherelemente

2 P.

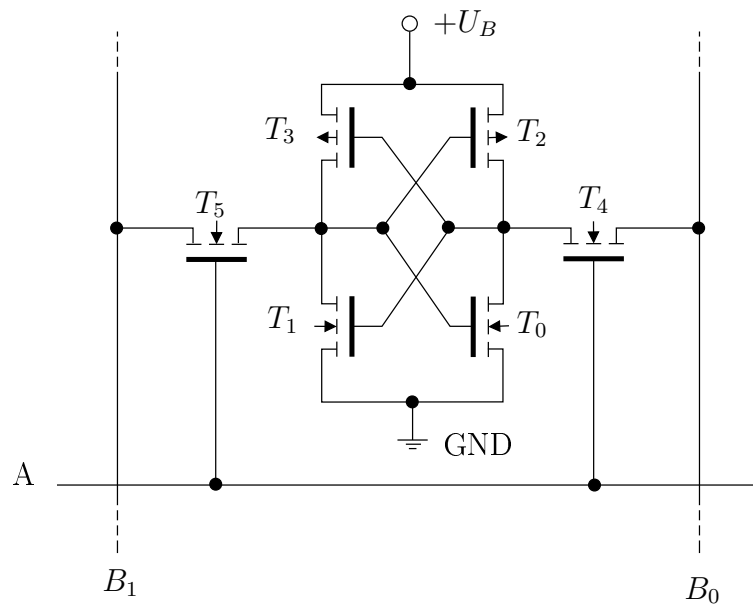
- Statisches RAM-Speicherelement: Registersatz der CPU, L1-Cache der CPU
- Dynamisches RAM-Speicherelement: Hauptspeicher des Rechners

Lösung 2

(4 Punkte)

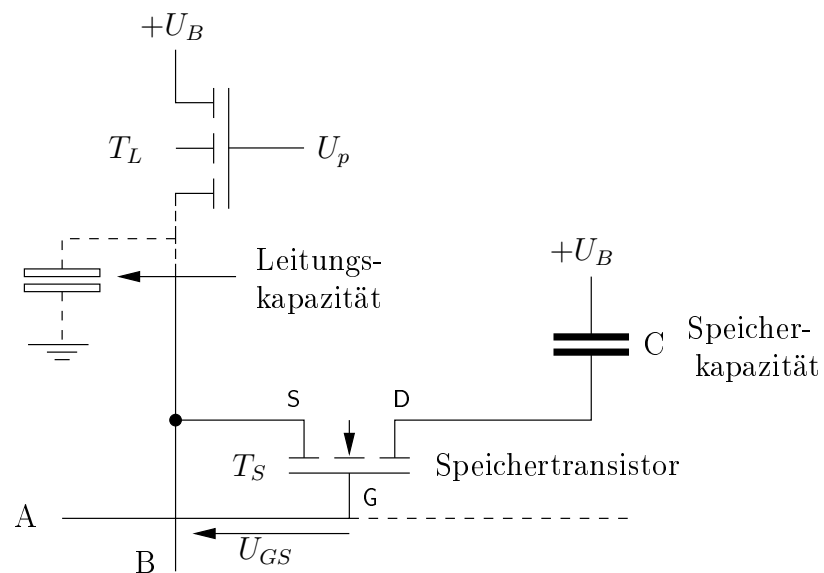
1. Aufbau einer statischen CMOS-RAM-Zelle:

2 P.



2. Aufbau einer dynamischen CMOS-Speicherzelle:

2 P.



Lösung 3

(6 Punkte)

1. **Zugriffszeit:** Maximale Zeitdauer bis Daten nach Anlegen der Adresse zur Verfügung stehen. 2 P.

Zykluszeit: Minimale Zeitspanne die zwischen zwei aufeinanderfolgenden Speicheranfragen eingehalten werden muss.

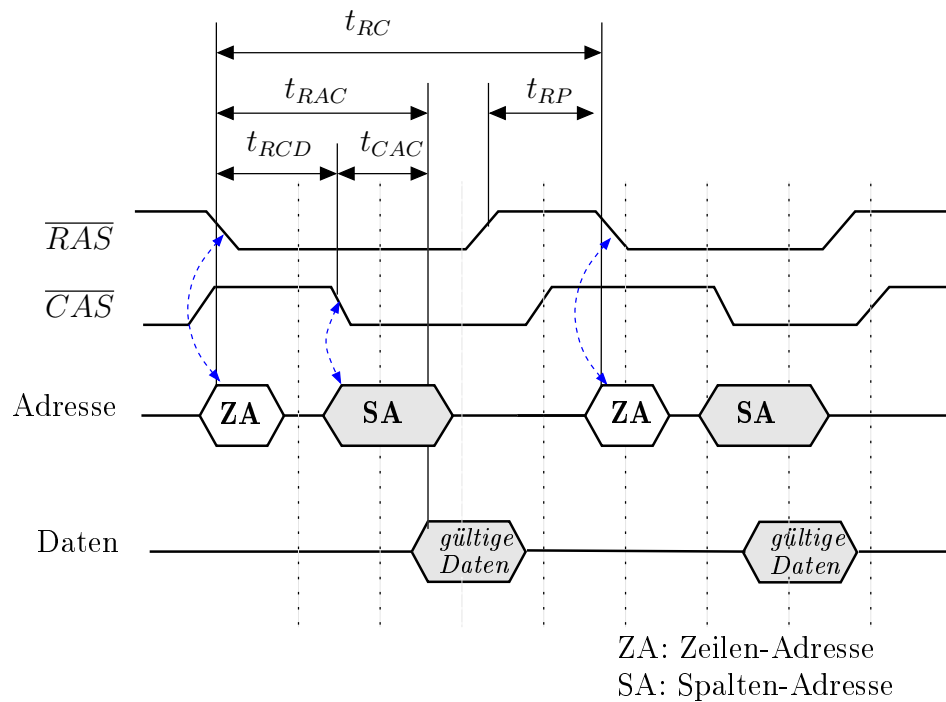
\Rightarrow Zykluszeit \geq Zugriffszeit.

In der Praxis ist die Zykluszeit meist größer, da der Speicher nach einem Zugriff und vor einer neuen Anfrage eine „Erholungsphase“ benötigt.

2. Beim Auffrischen wird der Inhalt einer Zeile des Speichers ausgelesen und danach neu in die selbe Zeile zurückgeschrieben. 2 P.

Notwendigkeit des Auffrischens: Der Kondensator eines DRAM-Speicherelements verliert durch Leckströme über die Zeit Ladung. Das periodische Auffrischen sorgt alle paar Millisekunden für die Erhaltung der gespeicherten Ladung. Sonst würde mit Verlust der Ladung auch der Speicherinhalt verloren gehen.

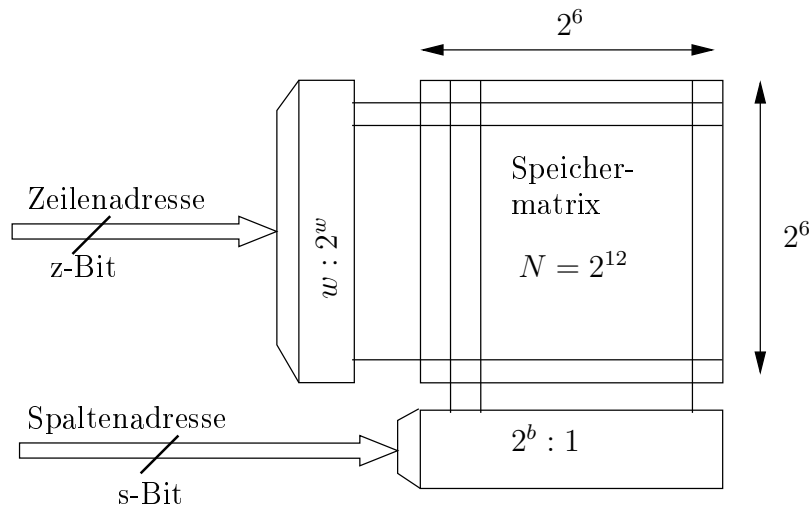
3. 2 P.



Lösung 4

(8 Punkte)

- Speicherelement mit der Adresse $AFFE_{16}$
 Zeilennummer $FE_{16} = 254_{10}$ Spaltennummer $AF_{16} = 175_{10}$
- i.) Organisation des RAM-Speichers:



- ii.) Quadratischer Silizium-Chip, deshalb ist es zweckmäßig $z = s = 6$ zu wählen.
 Damit ergibt sich für die Anzahl der Wortleitungen/Bitleitungen:

$$Z = 2^z = 2^6 = 64 \quad S = 2^s = 2^6 = 64$$

- iii.) $z = s = 6$

Lösung 5

(7 Punkte)

- 512×8-Organisation: 512 Speicherstellen mit 8-Bit Wörter \Rightarrow 512 Stellen müssen adressiert werden. Dazu sind 9 Adressleitungen erforderlich. 1 P.
- Es sind 8 RAM-Bausteine der Organisation 8k×2 notwendig, um einen Speicher mit einer Kapazität von 16k Wörter und einer Wortbreite von 8 Bit zu realisieren. 1 P.
- ROM-Baustein der Speicherkapazität von 8192 Bits und 9 Adressleitungen 1 P.
 $\Rightarrow 2^9 = 512$, somit können 512 Zellen adressiert werden
 $\Rightarrow \frac{8192}{512} = 16$, es handelt sich somit um eine 512×16-Organisation
- Anzahl der erforderlichen Chips: 32 2 P.
 Ein Chip ist $2 \text{ M} \times 8 \text{ Bit} = 16 \text{ MBit}$ groß $\Rightarrow \frac{64 \text{ Mbyte}}{16 \text{ MBit}} = 32 \text{ Chips}$
 Anordnung der Chips: 8 Chips pro Zeile
- 10 Chips mit je $4\text{K} \times 4 \text{ Bit} \Rightarrow$ Speicher der Organisationsform: $8\text{K} \times 20 \text{ Bit}$ (5 Chips pro Zeile; 2 Zeilen). Das 20. Bit bleibt unbenutzt. 2 P.

3 Chips der Organisation $8\text{K} \times 1 \text{ Bit}$ und 8 Chips der Organisation $4\text{K} \times 4 \text{ Bit}$ realisieren exakt den geforderten Speicher, aber mit einem Chip mehr.