

Rechnerorganisation im WS 2020/21

09. Übungsblatt

Abgabetermin: 08. Februar, 13:15 Uhr

Prof. Dr. Jörg Henkel
Dr.-Ing. Lars Bauer
Roman Lehmann, M. Sc.
Haid-und-Neu-Str. 7,
Geb. 07.21 (Technologiefabrik)
Email: roman.lehmann@kit.edu

Aufgabe 1

(8 Punkte)

1. Gegeben sei ein 8-fach satzassoziativer Cache mit 32 Zeilen. Die Breite eines Tags im Cache beträgt 20 Bit. Eine Hauptspeicheradresse umfasse 32 Bit. 2 P.
Geben Sie die Größe des gesamten Caches in Byte an (inkl. Rechenweg), falls eine Berechnung möglich ist.
2. Gegeben sei ein satzassoziativer Cache der Größe 256 Byte. Die Breite des Satzindexes beträgt 3 Bit. Eine Hauptspeicheradresse ist 32 Bit breit. 2 P.
Geben Sie die Größe eines Cache-Blocks in Byte an (inkl. Rechenweg), falls eine Berechnung möglich ist.
3. Gegeben sei ein Cache mit einer Speicherkapazität von 512 KByte ($K = 2^{10} = 1024$) und einer Blockgröße 64 Byte. Die Breite eines Tags im Cache beträgt 26 Bit. Eine Hauptspeicheradresse ist 32 Bit breit. 2 P.
Geben Sie die Assoziativität des Caches an (inkl. Rechenweg), falls eine Berechnung möglich ist.
4. Die Ausführung eines Programmstücks auf einem direkt-abgebildeten Cache mit 8 Zeilen führe zu 23 Cache Hits und 2 Cache Misses. 9 dieser 25 Speicherzugriffe seien schreibende Zugriffe. 2 P.
Der Cache verwendet das Rückschreibverfahren für Schreibzugriffe.
Können Sie eine untere oder eine obere Schranke für die Anzahl der tatsächlich durchgeführten schreibenden Speicherzugriffe angeben?
Falls ja, geben Sie eine solche Schranke an und begründen Sie (keine Punkte bei fehlender Begründung oder nicht strengstmöglicher Schranke).

Aufgabe 2

(12 Punkte)

Gegeben seien ein vollassoziativer (AV), ein 2-fach satzassoziativer (A2) und ein direkt-abgebildeter (DM) Cache.

Alle drei Caches haben jeweils eine Speicherkapazität von 64 Byte und bestehen aus je 4 Cachezeilen. Die Caches verwenden die LRU-Ersetzungsstrategie (*least recently used*).

Die Hauptspeicheradresse ist 32 Bit breit.

1. Skizzieren Sie für jeden der drei Cachespeicher die Unterteilung der Hauptspeicheradresse. 3 P.
2. Vervollständigen Sie die folgende Tabelle und geben sie für jeden der Lesezugriff an, ob er bei dem jeweiligen Cache zu einem Cache Hit oder Cache Miss führt. Zu Beginn sind alle Cachezeilen als ungültig markiert. 9 P.

Richtige Antworten werden mit 0.25 Punkten bewertet, falsche mit −0.25 Punkten. Nicht ausgefüllte Felder werden nicht gewertet.

Adresse	AV	A2	DM
0x25			
0x3A			
0x12			
0x74			
0x36			
0x08			
0x09			
0x16			
0x28			
0x52			
0x22			
0x11			

Hinweis: Für die Berechnung von Hilfwerten für den Rechenweg können Sie gerne zusätzliche Spalten zur Tabelle ergänzen.

Aufgabe 3

(6 Punkte)

Folgendes Programmstück dient dazu, die Elemente 1-333 eines Arrays um einen Eintrag nach vorne auf die Indizes 0-332 zu verschieben.

Die Startadresse des Arrays sei hierbei an einem Vielfachen von 16 ausgerichtet.

```

        li    $s0, 0
        li    $s1, 1332          # 333 * 4
loop:   addi  $t0, $s0, 4
        lw    $t1, array($t0)
        sw    $t1, array($s0)
        addi  $s0, $s0, 4
        blt   $s0, $s1, loop

```

Bei der Ausführung wird ein CPU-Cache mit einer Speicherkapazität von 16 Byte per Block verwendet, der das Rückschreib-Verfahren (write-back) implementiert. Der Cache sei hinreichend groß, sodass bei Ausführung des Programmstücks lediglich Compulsory Misses auftreten.

1. Wie viele Lade-/Speicherbefehle werden insgesamt ausgeführt?

2 P.

Wie viele davon sind Cache Hits und wie viele Cache Misses?

2. Berechnen Sie die Hit-Rate und die mittlere Zugriffszeit (in Taktzyklen).

2 P.

Gehen Sie hierzu davon aus, dass ein Zugriff auf den CPU-Cache 2 Taktzyklen und es Zugriff auf den Hauptspeicher 10 Taktzyklen benötigt.

3. Über wie viele Zeilen muss der Cache mindestens verfügen, damit sichergestellt ist, dass keine Capacity Misses auftreten?

2 P.

Begründen Sie Ihre Antwort.

Aufgabe 4

(2 Punkte)

Füllen Sie folgende Tabelle aus. Richtige Antworten werden mit 0.5 Punkten bewertet, falsche mit -0.5 Punkten. Nicht ausgefüllte Felder werden nicht bewertet.

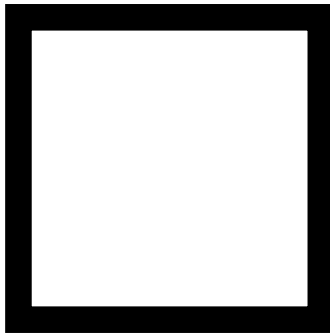
	wahr	falsch
Bei einem direktabgebildeten Cache ist es nicht notwendig, eine Block-Ersetzungsstrategie festzulegen.		
Die Verwendung des Rückschreibverfahrens (<i>write back policy</i>) verhindert das Auftreten von Konsistenzproblemen bei Mehrprozessorsystemen.		
Bei einem satzassoziativen Cache können mehrere Cachezeilen gültig sein und denselben Tag, aber dennoch unterschiedliche Daten enthalten. Bei einem vlassoziativen Cache kann das nicht passieren.		
Je höher die Assoziativität eines Cache, desto weniger Komparatoren werden zu seiner Realisierung benötigt. Allerdings steigt damit auch die Auftrittswahrscheinlichkeit für Conflict Misses.		

Abgabeort: Online im Ilias-Kurs in dem Übungsmodul Ihrer Tutoriumsgruppe

Vorlesung Rechnerorganisation Wintersemester 2020/21

- Übungsblatt 09 -

Tutoriumsnummer



Name, Vorname: _____

Matrikelnummer: _____

Studiengang: _____

Name des Tutors: _____

/28 Punkte