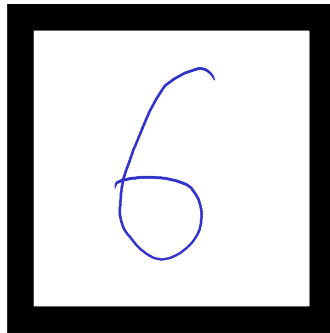


- Übungsblatt 4 -

Tutoriumsnummer



Name, Vorname: Slavov, Velislav

Matrikelnummer: 2385786

Studiengang: Informatik BSc

Name des Tutors: Jonas Heinle

/25 Punkte

A 1 1. Zeilen = 32 \Rightarrow es gibt $32/8 = 4$ Sätze
Taggröße = 20 Bit
Adressgröße = 32 Bit

Da wir 4 Sätze haben \Rightarrow wir brauchen 2 Bits.

Blockauswahl = $32 - 20 - 2 = 10$ Bit
 \Rightarrow jedes Block ist 2^{10} Byte groß = $8 \cdot 2^{10}$ Bit

Cachegröße = $32(20 + 8 \cdot 2^{10})$ Bit = $4(20 + 8 \cdot 2^{10})$ Byte
= $80 + 32768 = 32848$ Byte

2. Satzindex = 3 Bit \Rightarrow es gibt 8 Sätze
Adressgröße = 32 Bit
Kapazität = 256 Byte

Satzgröße = $256/8 = 32$ Byte

Größe einer Cachezeile = $32/\text{Assoziativität}$ Byte

3. Kapazität = 512 KByte

Blockgröße = 64 Byte \Rightarrow offset = 6 Bit

Tagbreite = 26 Bit

Adressbreite = 32 Bit

Satzauswahl = $32 - 26 - 6 = 0$

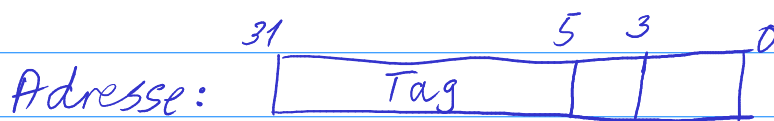
\Rightarrow wir haben ein Vollassoziativer Cache.

4.

A2
Kapazität = 64 Byte
Zeilen = 4
Adressbreite = 32 Bit
Blockgröße = $64/4 = 16$ Byte
 \Rightarrow Blockauswahl = 4 Bit

1.

DM: Sätze = 4 \Rightarrow Satzauswahl = 2 Bit



A2: Sätze = $4/2 = 2 \Rightarrow$ Satzauswahl = 1 Bit



AV: Sätze = 0 \Rightarrow Satzauswahl = 0 Bit



2.

Adresse	AV	A2	DM	Adresse (bin)
0x25	—	—	—	0010 0101
0x3A	—	—	—	0011 1010
0x12	—	—	—	0001 0010
0x74	—	—	—	0111 0100
0x36	X	—	—	0011 0110
0x08	—	—	—	0000 1000
0x09	X	X	X	0000 1001
0x16	X	—	X	0001 0110
0x28	—	X	X	0010 1000
0x52	—	—	—	0101 0010
0x22	X	X	X	0010 0010
0x11	X	X	—	0001 0001

DM	
3	010
2	0
1	010
0	0

A2	
1	010
	x10
0	0
	1

AV	
	10
	1
	15
	20

A4

	wahr	falsch
Bei einem direkt abgebildeten Cache ist es nicht notwendig, eine Block-Ersetzungsstrategie festzulegen.		X
Die Verwendung des Rückschreibverfahrens (<i>write back policy</i>) verhindert das Auftreten von Konsistenzproblemen bei Mehrprozessorsystemen.	X	
Bei einem satzassoziativen Cache können mehrere Cachezeilen gültig sein und denselben Tag, aber dennoch unterschiedliche Daten enthalten. Bei einem vollassoziativen Cache kann das nicht passieren.		X
Je höher die Assoziativität eines Cache, desto weniger Komparatoren werden zu seiner Realisierung benötigt. Allerdings steigt damit auch die Auftrittswahrscheinlichkeit für Conflict Misses.		X

A3 Blockgröße = 16 Byte

1. Es werden 333 Lade- und 333 Speicherbefehle also insgesamt 666

Ein Wort = 32 Bit = 4 Byte
 \Rightarrow jeder Speicherblock enthält 4 Worte

Es treten nur Compulsory Misses (beim Laden)
 $\Rightarrow 333/4 \approx 84$ Cache Misses

D.h. Es treten $666 - 84 = 582$ Cache Hits auf

$$2. \text{Hit-Rate} = \frac{582}{666} = 0,87$$

$t_{\text{hit}} = 2$ Taktzyklen
 $t_{\text{miss}} = 12$ Taktzyklen

$$t_{\text{zugriff}} = 0,87 \cdot 2 + 0,13 \cdot 12 = 1,74 + 1,56 = 3,30 \\ = 4 \text{ Taktzyklen}$$

3. Es müssen 333 Worte geladen werden
Bei einer Blockgröße von 4 Worte
sind $333/4 = 84$ Cachezeilen gebraucht