

Rechnerorganisation im WS 2020/21

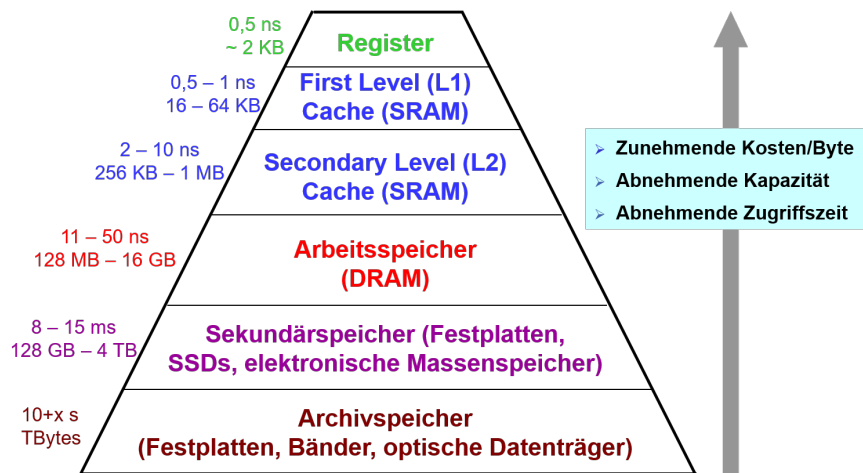
## Musterlösungen zum 8. Übungsblatt

Prof. Dr. Jörg Henkel  
Dr.-Ing. Lars Bauer  
Roman Lehmann, M. Sc.  
Haid-und-Neu-Str. 7,  
Geb. 07.21 (Technologiefabrik)  
Email: roman.lehmann@kit.edu

### Lösung 1

(7 Punkte)

1. Es liegt an der steigenden Diskrepanz zwischen der Verarbeitungsgeschwindigkeit eines Prozessors und der Zugriffsgeschwindigkeit des DRAM-Speichers. Zudem ist ein technologischer einheitlicher Speicher mit kurzer Zugriffszeit und großer Kapazität allerdings i. A. aus Kostengründen nicht realisierbar.
2. Speicherhierarchie:



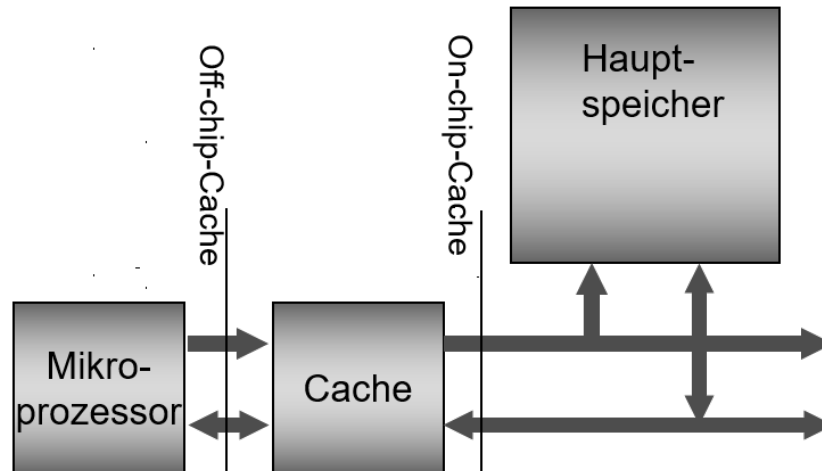
3. Virtueller Speicher und Cache-Speicher

Lösung 2

(11 Punkte)

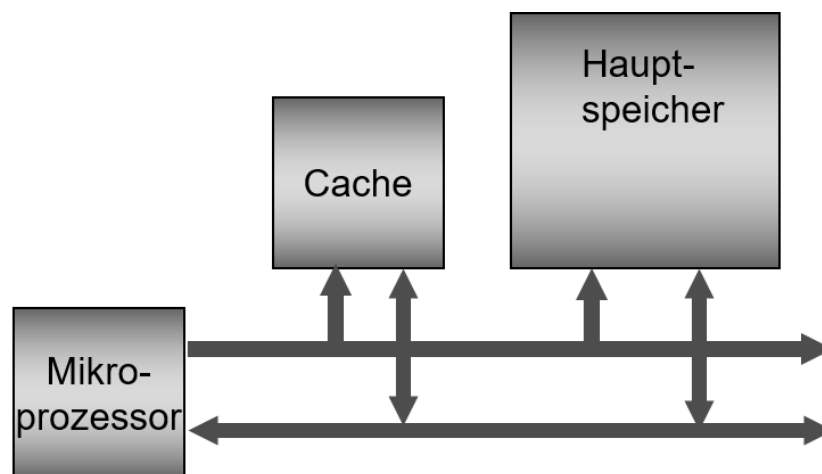
## 1. i.) Look-through Cache:

Cache als Pufferspeicher zwischen Mikroprozessor und Hauptspeicher, wobei Prozessor, Cache und Hauptspeicher in Reihe geschaltet sind. Zugriffsanforderungen der Prozessoren werden von den Caches abgefangen und von der jeweiligen Cache-Steuereinheit nur dann an den Hauptspeicher weitergegeben, wenn diese nicht vom Cache beantwortet werden können.



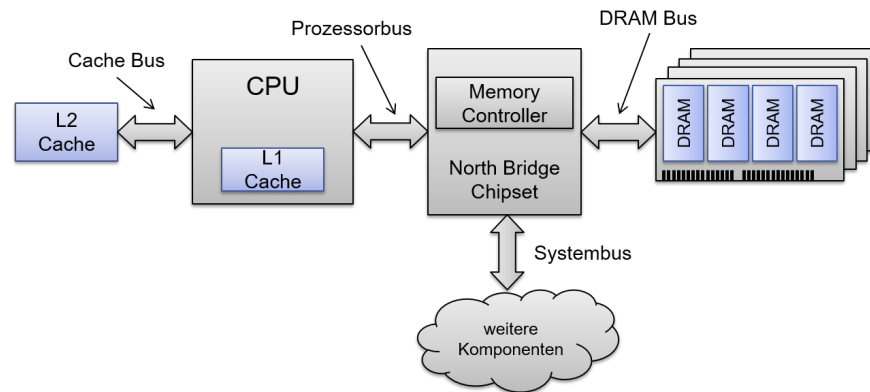
## ii.) Look-aside Cache:

Cache als Pufferspeicher zwischen Mikroprozessor und Hauptspeicher. Cache und Hauptspeicher werden parallel am Speicherbus betrieben. Zugriffsanforderungen des Prozessors gehen zeitgleich an Cache und Hauptspeicher. Zugriff auf Hauptspeicher wird bei einem Cache-Hit gestoppt.



## iii.) Backside Cache:

Der Prozessor hat neben dem normalen Prozessor-/Speicherbus-Anschluss einen weiteren Anschluss direkt für den Cache.



2. Es gilt zwei Bedingungen zu erfüllen. Erstens: Der zugehörige Hauptspeicherinhalt der Speicheradresse liegt als Kopie im Cache. Zweitens: Dieser Cache-Eintrag ist mit dem Valid-Bit als gültig markiert. Von einem Cache-Hit spricht man, wenn beide Bedingungen erfüllt sind. Ist eine Bedingung nicht erfüllt, ist von einem Cache-Miss die Rede.

