

Problemas

Parte A: Conceptos generales de circuitos analógicos y de conmutación	367
Parte B: Estudio de la polarización y estabilidad de amplificadores con un solo transistor	392
Parte C: Estudio de amplificadores con un transistor a frecuencias medias	398
Parte D: Estudio de la respuesta en frecuencia de amplificadores con un transistor	439
Parte E: Estudio del comportamiento de amplificadores con más de un transistor a frecuencias medias	450
Parte F: Estudio de la respuesta en frecuencia de amplificadores con varios transistores	467
Parte G: Amplificadores diferenciales, fuentes de corriente y cargas activas. Operacionales	471

A. CONCEPTOS GENERALES

A-1. El siguiente bloque representa un amplificador, considerado como una red bi-puerta a la que se ha acoplado un generador de señal, $v_s - Z_s$ y una carga representada por una impedancia equivalente Z_c .

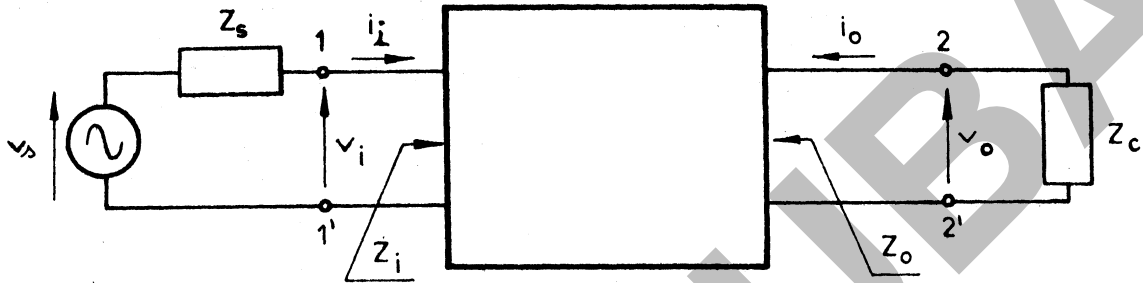


Fig. A-1

- ¿Qué representa Z_c ?
- ¿Qué representa el generador de excitación $v_s - Z_s$?
- ¿Qué se entiende por una red circuital lineal?
- ¿Qué diferencia hay entre una red circuital de cuatro terminales (cuadripolo), una red circuital de dos pares de terminales (bipuerta) y una red circuital de dos pares de terminales con un terminal común de entrada y salida?
- ¿Qué se entiende por terminal común de todo un circuito?. ¿Esto implica que debe estar conectado a lo que se denomina masa o tierra del lugar?. ¿Qué se entiende por masa o tierra del lugar?.
- Definir amplificación de tensión referida a los terminales de entrada (A_v) y a la tensión que entrega el generador de excitación en vacío (A_{vs}).
- Definir amplificación de corriente (A_i) y ganancia de potencia (G_p).
- Definir impedancias de entrada (Z_i) y de salida (Z_o). ¿De qué dependen?
- Hallar la relación general: $A_v = -A_i (Z_c/Z_i)$ y analizar su significado.

A-2. Dado el circuito de la figura A-2, donde se utiliza un transistor TBJ de Si, tipo NPN con: $\beta_F \approx \beta_o = 200$; $V_A = 120 \text{ V}$; $r_x = 50\Omega$

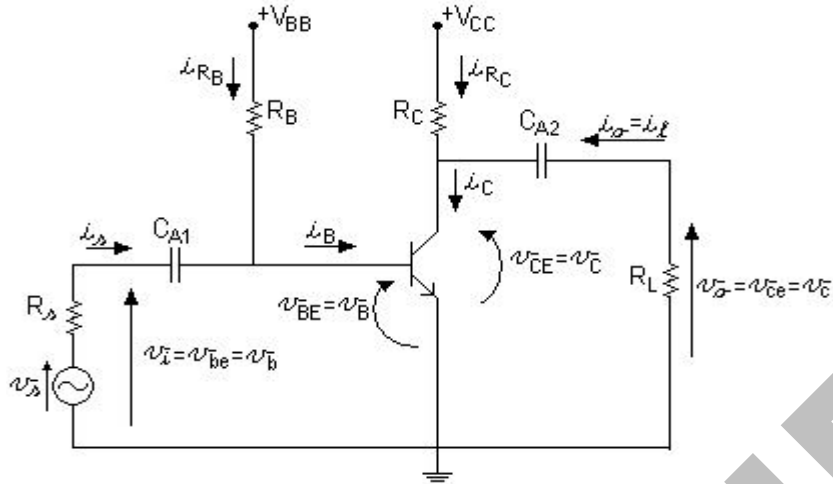


Fig. A-2

Se considera $v_s = \hat{V}_s \sin(\omega t)$

- Dibujar los circuitos equivalentes para continua y señal del amplificador (sin reemplazar el transistor por su modelo incremental en el circuito de alterna) y suponiendo los capacitores de acople de reactancia despreciable. Justificar por que en el circuito de alterna o señal se admite que las fuentes de alimentación de continua se comportan como cortocircuitos. Indicar sobre cada circuito todos los sentidos de referencia de corrientes, de tensiones entre electrodos del TBJ y de tensiones referidas a común, utilizando una nomenclatura tal que permita distinguir claramente valores continuos, señales variables en el tiempo (consideradas como alternas sin valor medio o como incrementos en función del tiempo alrededor de un valor medio o continuo que no se tiene en cuenta) y valores totales de corrientes y tensiones (suma algebraica de valores continuos y señales alternas), de modo que resulte compatible con la nomenclatura utilizada en el circuito dado en la figura A-2.
- En un plano $I_C - V_{CE}$, trazar un juego de características estáticas del transistor $I_C = f(V_{CE}; V_{BE}^*)$ en un gráfico que resulte proporcionado (utilizando escalas aproximadas que permitan interpretar el gráfico). Dibujar ocho características a $V_{BE} = \text{cte}$ (V_{BE} como parámetro indicado con V_{BE}^* al definir la

función) cada 10 mV desde $V_{BE} = 0,64 \text{ V}$ a $V_{BE} = 0,71 \text{ V}$, tomando $I_S = 3,1 \cdot 10^{-15} \text{ A}$ para este TBJ y V_T aproximarla a temperatura ambiente a $0,025 \text{ V}$. Definir I_S e indicar que es V_T . Tomar el eje horizontal hasta un valor de 12 V . Indicar por qué puede considerarse despreciable el efecto Early para el trazado de este juego de características dentro de una tolerancia del 10 %. Definir saturación incipiente y dibujar en el diagrama la curva que representa el lugar geométrico de los puntos que cumplen con esa condición en el plano considerado. Justificar por qué se las denomina estáticas.

- c) Justificar como varía la separación vertical de las curvas al incrementarse V_{BE} en un mismo valor. ¿Con qué parámetro incremental esta relacionada esta separación tomada a $V_{CE} = \text{cte?}$.

A-3. En el circuito de la Fig. A-2, utilizando el mismo transistor se pide:

- a) En un plano $I_C - V_{CE}$, trazar un juego de características estáticas del transistor $I_C = f(V_{CE}; I_B^*)$ en un gráfico que resulte proporcionado. Dibujar siete características a $I_B = \text{cte}$ (I_B como parámetro indicado por I_B^* al definir la función) cada $3 \mu\text{A}$ desde $I_B = 3 \mu\text{A}$ a $I_B = 21 \mu\text{A}$, tomando $\beta_F = \text{cte.} = 200$. Tomar el eje horizontal hasta un valor de 12 V como en el caso anterior. Dibujar la curva que representa el lugar geométrico de los puntos de saturación incipiente de acuerdo a la definición dada.
- b) Justificar como varía la separación vertical de las curvas al incrementarse I_B en un mismo valor. ¿Con qué parámetro incremental esta relacionada esta separación tomada a $V_{CE} = \text{cte?}$.
- c) Repetir el diagrama del punto a) considerando una variación normal de β_F con I_C .

A-4. En el circuito de la Fig. A-2 se reemplaza al transistor bipolar por un MOS-FET de canal N inducido donde:

$$V_T = + 2 \text{ V} ; k' = (\mu_n C'_{ox})/2 = 0,05 \text{ mA/V}^2 ; W/L = 10 ; \lambda = 0,008 \text{ V}^{-1}$$

- Redibujar el circuito completo con V_{GG} en lugar de V_{BB} , V_{DD} por V_{CC} , R_G por R_B y R_D por R_C . Manteniendo la forma general de la nomenclatura de la Fig. A-2, modificar todos los subíndices por la letra correspondiente.
- Repetir el ítem a) del prob. **A-2** con las modificaciones correspondientes.
- En un plano $I_D - V_{DS}$, trazar un juego de características estáticas del transistor $I_D = f(V_{DS}; V_{GS}^*)$ en un gráfico proporcionado. Dibujar ocho características a $V_{GS} = \text{cte}$ con intervalos de 1 V desde $V_{GS} = -2 \text{ V}$ a $V_{GS} = 5 \text{ V}$. Definir V_T e indicar de qué parámetros constructivos depende. Tomar el eje horizontal hasta un valor de 12 V. Indicar por qué puede considerarse despreciable el efecto de modulación del largo del canal para el trazado de este juego de características dentro de una tolerancia del 10 %. Definir V_{DS} de estrangulamiento incipiente - V_{DSE} - y dibujar en el diagrama la curva que representa el lugar geométrico de los puntos que cumplen con esa condición en el plano considerado. Justificar desde el punto de vista físico la relación entre V_{DSE} , V_{GS} y V_T .
- Justificar como varía la separación vertical de las curvas al incrementarse V_{GS} en un mismo valor. ¿Con qué parámetro incremental esta relacionada esta separación tomada a $V_{DS} = \text{cte}$?

A-5. En el circuito de la Fig. A-2 se conoce:

$$V_{BB} = 6,7 \text{ V} ; V_{CC} = 12 \text{ V} ; R_C = 2 \text{ K}\Omega ; R_L = 3 \text{ K}\Omega ; R_B = 400 \text{ K}\Omega ; R_s = 0,4 \text{ K}\Omega$$

- Trazar la curva de carga estática en un plano $I_C = f(V_{CE})$ considerando conocidas las tensiones de las fuentes de alimentación, las resistencias de polarización y las características del TBJ utilizado. Definirla. Justificar por qué se la denomina estática. ¿Por qué en este caso resulta ser una recta a pesar que el transistor es un dispositivo alineal?. ¿En que cuadrante está?. ¿Por qué se la traza normalmente en un solo cuadrante?.
- Obtener su ecuación en base al circuito de continua, hallando su pendiente y su ordenada y abscisa al origen.

- c) Trazar la característica estática de transferencia $I_C = f(V_{BE}; V_{CE}^*)$, admitiendo que es única para MAD con $V_{CE} > 0,7 \text{ V}$ y en el mismo diagrama $I_C = f(V_{BE})$ trazar la recta de polarización para este circuito. Definirla, hallar su ecuación e indicar como se obtiene el punto de reposo en el plano I_C - V_{BE} .
- d) Analizar la función de cada componente del circuito completo dado en la Fig. A-2. Circulando por la malla de entrada que contiene al generador de señal, al capacitor de acople C_{A1} y al diodo base-emisor del transistor, justificar como surge por Kirchoff la ecuación $v_{BE} = V_{BEQ} + v_{be}$.
- e) Trazar las características estáticas de transferencia para el TBJ: $I_C = f(V_{BE}; V_{CE}^*)$. Justificar la escasa influencia de V_{CE} para $V_{CE} > 0,7 \text{ V}$. Justificar que mide su pendiente en un determinado punto.
- f) Trazar en el mismo gráfico en que se construyó la curva de carga estática, el juego de características estáticas del transistor en el plano $I_C = f(V_{CE}; V_{BE}^*)$. En base a lo obtenido en c), hallar gráficamente en forma aproximada el punto de reposo Q ($I_{CQ}; V_{CEQ}$), indicándolo sobre el diagrama. Hallar el correspondiente valor aproximado de V_{BEQ} . Verificar este último con el valor de I_S dado.
- g) Hallar en forma analítica aproximada, el punto de reposo Q ($I_{CQ}; V_{CEQ}$). Indicar las tensiones continuas de los 3 electrodos contra común. Justificar por qué en un TBJ de silicio puede utilizarse esta forma aproximada de hallar el punto Q cuando $V_{BB} \gg 0,7 \text{ V}$. Si no lo es, pero es mayor que $0,7 \text{ V}$, discutir la validez del método aproximado en base a una característica estática de transferencia $I_C = f(V_{BE})$ a $V_{CE} = \text{cte.}$, hallando el valor aproximado de ΔV_{BE} necesario para que la corriente de colector duplique su valor inicial.
- h) Trazar la curva de carga dinámica en el mismo grafico del punto f). ¿Con que condiciones puede admitirse que es una recta?. ¿Por qué difiere de la recta de carga estática?.
- i) Obtener su ecuación, hallando su pendiente y su ordenada y abscisa al origen.

A-6. En el circuito de la Fig. A-2 modificado con el MOSFET del problema **A-4** se conoce:

$$V_{GG} = 4,45 \text{ V} ; V_{DD} = 12 \text{ V} ; R_D = 2 \text{ K}\Omega ; R_L = 3 \text{ K}\Omega ; R_G = 4 \text{ M}\Omega ; R_S = 20 \text{ K}\Omega$$

- Obtener la ecuación de la recta de carga estática en base al circuito de continua, hallando su pendiente y su ordenada y abscisa al origen.
- Trazarla en el mismo gráfico en que se construyó el juego de características estáticas del transistor en el plano $I_D = f(V_{DS}; V_{GS}^*)$. Hallar gráficamente en forma aproximada el punto de reposo Q ($I_{DQ}; V_{DSQ}$), indicándolo sobre el diagrama. Hallar el correspondiente valor aproximado de V_{GSQ} . Verificar este último con el valor de la ecuación del MOSFET.
- Analizar la función de cada componente del circuito completo. Circulando por la malla de entrada que contiene al generador de señal, al capacitor de acople C_{A1} y a la rama gate-source del transistor, justificar como surge por Kirchoff la ecuación $v_{GS} = V_{GSQ} + v_{gs}$.
- Trazar las características estáticas de transferencia para el MOSFET: $I_D = f(V_{GS}; V_{DS}^*)$. Justificar la escasa influencia de V_{DS} para $V_{DS} > V_{DS\text{E}}$. Justificar que mide su pendiente en un determinado punto.
- Trazar la característica estática de transferencia $I_D = f(V_{GS}; V_{DS}^*)$, admitiendo que es única para MAD con $V_{DS} > V_{DS\text{E}}$ y en el mismo diagrama $I_D = f(V_{GS})$ trazar la recta de polarización. Definirla, hallar su ecuación para este circuito e indicar como se obtiene el punto de reposo en el plano I_D - V_{GS} .
- Hallar en forma analítica, el punto de reposo Q ($I_{DQ}; V_{DSQ}$). Indicar las tensiones continuas de los 3 electrodos contra común.
- Obtener la ecuación de la recta de carga dinámica, hallando su pendiente y su ordenada y abscisa al origen. Trazarla curva en el mismo grafico del punto b).

A-7. En el circuito del problema **A-5**:

- Trazar la característica estática de transferencia $I_C = f(V_{BE})$.

- b) Trazar en el mismo gráfico del punto a) la curva dinámica de transferencia $i_c = f(v_{BE})$ considerando que se desprecian todos los efectos reactivos. Explicar cómo se la obtiene a partir del trazado de la recta de carga dinámica de los puntos h) e i) del problema **A-5**. ¿En qué se diferencian la característica estática y la curva dinámica de transferencia?
- c) Si $v_{BE} = V_{BEQ} + v_{be}$, donde $v_{be} = \hat{V}_{be} \sin(\omega t)$, obtener gráficamente la función $i_c = f(t)$ en base a la característica dinámica de transferencia para:
- I) baja deformación con $\hat{V}_{be} < 2mV$
 - II) deformación por recorte en uno de los semiciclos al ir aumentando \hat{V}_{be} .
 - III) deformación por recorte en los dos semiciclos al ir aumentando aún más \hat{V}_{be} .

Analizar los motivos de los recortes. Indicar como debiera modificarse el valor de I_{CQ} (aumentar o disminuir) y por qué, para que el recorte fuese simétrico en ambos semiciclos y para que recorte primero (a menor valor de \hat{V}_{be}) en el otro semiciclo que en el caso anterior.

- d) Repetir el punto c) sobre las características del colector.
- e) Explicar por qué es necesario polarizar el transistor desde el punto de vista del funcionamiento lineal del dispositivo amplificador.
- f) Discutir la incidencia en v_o del capacitor de acople de salida cuando se entra en corte y saturación.
- g) ¿Qué se entiende por clase de funcionamiento?. Definir las clases usuales. Ubicar el punto Q para cada clase sobre las características de colector y sobre la característica dinámica de transferencia.

A-8. Repetir el problema **A-7** con el MOSFET del problema **A-6**. Analizar las diferencias con el transistor bipolar.

A-9. En el circuito del problema **A-5**:

- a) En el circuito de señal dibujado en el problema **A-2**, reemplazar al transistor por su modelo circuital incremental lineal o de pequeña señal, despreciando los efectos reactivos del transistor. Indicar sobre cada circuito todos los sentidos de referencia de corrientes, de tensiones entre electrodos del TBJ y de tensiones referidas a común.
- b) Determinar las condiciones que permiten despreciar r_x , r_o y r_μ . Indicar si son aplicables a este caso aceptando un error del 10% respecto a la solución exacta. Indicar porqué generalmente no se incluye r_x en cálculos aproximados aunque su incidencia supere la tolerancia admitida normalmente. Indicar porqué generalmente se puede despreciar r_μ a pesar que no pueda despreciarse r_o . ¿Si fuese $r_\mu = \beta_o r_o$ también se lo podría hacer?. Justificar.
- c) Hallar la expresión por inspección y el valor de la amplificación de tensión referida a bornes de base y emisor con las consideraciones del punto anterior:

$$A_v = v_o / v_i = v_{ce} / v_{be}$$

¿Cómo resulta la expresión y el valor considerando r_o ?. ¿Y si se considera r_x ?. ¿Por qué A_v no depende de R_B ?

- d) Definir y hallar las expresiones por inspección y el valor de las impedancias de entrada vista desde el terminal de base $-R_{ib}-$ y vista desde el generador de señal $-R_i-$ ($v_s - R_s$).
- e) Hallar las impedancias de salida vista desde el terminal de colector $-R_{oc}-$ (es decir "vista" desde R_{CA}) y vista desde la carga de señal útil $-R_o-$ (es decir "vista" desde R_L). ¿Cuánto vale R_{oc} si se admite $r_o \rightarrow \infty$.
- f) Hallar la expresión de la amplificación de tensión referida a la tensión que entrega el generador de excitación en vacío:

$$A_{vs} = v_o / v_s = v_{ce} / v_s$$

- g) Analizar el significado de las amplificaciones de tensión definidas en los puntos c) y f).
- h) Hallar las expresiones por inspección y los valores, considerando r_o y despreciándolo. Indicar como incide r_x en estas expresiones y valores.

$$A_i = i_c / i_b ; A_{is} = i_c / i_s \text{ y } A_{iis} = i_l / i_s$$

Analizar significados y diferencias.

A-10. Repetir el problema **A-9** con el MOSFET del problema **A-6**. Analizar las similitudes y diferencias con el transistor bipolar, teniendo en cuenta el circuito equivalente de los modelos incrementales correspondientes a ambos tipos de transistores y la diferencia de los valores en sus parámetros.

A-11. En el circuito del problema **A-5**:

a) Con $v_s = 0$, hallar:

- I) la potencia de continua disipada en el colector del transistor - P_d ($v_s=0$) = P_e -.
- II) la potencia de continua disipada en R_C .
- III) la potencia entregada por la fuente de alimentación V_{CC} - P_{CC} -.
- IV) la potencia de continua entregada por la fuente V_{BB} . Compararla con la de III).

b) Se aplica una tensión de excitación $v_s = \hat{V}_s \sin(\omega t)$ con una amplitud de 20 mV.

Admitiendo que el circuito se comporta linealmente para la señal alterna en el circuito de colector se tendrá –Justificar- :

$$i_C = I_{C_Q} + i_c = I_{C_Q} + \hat{I}_c \sin(\omega t)$$

$$v_{CE} = V_{CE_Q} + v_{ce} = V_{CE_Q} + \hat{V}_{ce} \sin(\omega t + \pi)$$

Determinar:

- I. la potencia media de alterna disipada en la carga $R_{ca} = R_C // R_L$ que en éste caso coincide con la entregada por el transistor entre colector y emisor – P_{ce} -.
- II. la potencia media de alterna disipada en R_L – P_o - y R_C . ¿Cuál es la potencia útil de señal de salida?
- III. la potencia media total disipada en R_L y R_C y en R_{ca} .

- IV. la potencia media total entregada por la fuente de alimentación V_{CC} . Comparar con la obtenida en III del punto a)
- V. la potencia media total disipada en colector del transistor – P_d -.
- VI. la potencia media de excitación alterna que el generador de señal entrega al circuito de base – diodo base-emisor: P_{be} -.
- VII. la potencia media de excitación alterna que entrega el generador de señal – P_i -, la entregada al resistor de polarización de base y al circuito de entrada del transistor –consumida sobre R_i , R_B y R_{ib} .
¿Cuál es la potencia útil de señal de excitación?.

c) Sobre el plano $I_C - V_{CE}$, sin construir las curvas características del transistor, trazar las rectas de carga estática y dinámica e indicar las áreas que miden las potencias calculadas en los ítem I a III del punto a) y I al V del punto b). Extraer conclusiones.

Indicar porqué se denomina potencia de entrada – P_e - a la disipada en colector en ausencia de señal – P_d ($v_s=0$) -.

d) Indicar el significado de la ganancia de potencia del transistor:

$$G_p = P_{ce} / P_{be}$$

y su relación con las amplificaciones de tensión y corriente que correspondan, reemplazándolas en función de los valores picos o eficaces. ¿Cómo se modifica esta última si se tiene en cuenta los efectos reactivos?

¿Que otras relaciones entre potencias de salida y excitación puede interesar definir?

- e) Indicar el significado de rendimiento de colector - η_c – definido como la relación entre la potencia de señal entregada por colector-emisor del transistor – P_{ce} – y la potencia de continua de entrada $P_e = P_d$ ($v_s = 0$). Comparar con la definición de ganancia de potencia y extraer conclusiones relativas a la esencia de un dispositivo amplificador.
- f) En base al diagrama del punto c) y de todas las definiciones realizadas en este problema, extraer conclusiones de todo el “juego de potencias que se

lleva a cabo en un dispositivo activo funcionando en modo analógico en clase A.

- g) Trazar sobre el diagrama $I_C - V_{CE}$ las curvas correspondientes a potencia de disipación constante. ¿Qué utilidad tienen?.

A-12. Repetir el problema **A-11** con el MOSFET del problema **A-6**, considerando una amplitud de la señal de excitación en vacío de 0,6 V. Extraer conclusiones.

A-13. En el circuito del problema **A-5**, para evitar la deformación a bajas corrientes, se adopta una tensión de codo entre colector y emisor de $V_{CEK} = 0,8 \text{ V}$ y una corriente mínima de colector de $I_{Cmin} = 0,2 \text{ mA}$.

- Analizar los motivos por los cuales se adoptan estos límites como una aproximación para evitar recortes pronunciados en los dos semiciclos de una señal senoidal de excitación.
- Hallar la máxima amplitud de tensión alterna que puede obtenerse entre colector y emisor de modo que no haya recorte pronunciado en la zona de saturación $\hat{V}_{ce\max S}$.
- Hallar la máxima amplitud de tensión alterna que puede obtenerse entre colector y emisor de modo que no haya recorte pronunciado en la zona de corte $\hat{V}_{ce\max C}$.
- Hallar la máxima amplitud de tensión alterna que puede obtenerse entre colector y emisor - $\hat{V}_{ce\max}$ - de modo que no haya recorte pronunciado en ninguno de los dos semiciclos. Obtener el valor de $V_{ce\max}$ (valor eficaz).
- Hallar la máxima amplitud de señal a aplicar entre base y emisor ($\hat{V}_{be\max}$) de modo que no haya recorte a la salida.
- Hallar la máxima amplitud de señal en vacío del generador de excitación $\hat{V}_{s\max}$ de modo que no haya recorte a la salida.

A-14. Repetir el problema **A-13** con el MOSFET del problema **A-6**. Extraer conclusiones.

A-15. En el circuito del problema **A-5**, con $V_{BB} = V_{CC} = 12\text{ V}$:

- a) Admitiendo que $V_{CEK} \cong 0$ e $I_{Cmin} \cong 0$, determinar la ubicación del punto Q que permita obtener máxima excursión simétrica de tensión alterna de salida, de modo que no haya recorte en ningún semiciclo. Calcular el valor correspondiente a R_B . Indicar el valor de $\hat{V}_{ce_{m\acute{a}x}}$ obtenible y de V_{ce} (valor eficaz).
- b) Repetir el punto a), considerando $V_{CEK} = 0,6\text{V}$ e $I_{Cmin} = 0,2\text{mA}$. Comparar los resultados.

A-16. En el circuito del problema **A-5**, se conoce: $V_{BB} = V_{CC} = 12\text{ V}$, $R_C = 4\text{ K}\Omega$,

Transistor de Si NPN: $\beta_F = \beta_o = 300$

Determinar:

- a) la ubicación del punto de reposo de modo que se pueda obtener máxima excursión simétrica con una amplificación de tensión:

$$A_v = v_{ce} / v_{be} = -160$$

- b) el valor de R_L .
- c) el valor de R_B .

A-17. En el circuito del problema **A-5**, se conoce: $V_{BB} = V_{CC} = 9\text{ V}$, $R_L = 2\text{ K}\Omega$, $R_S = 100\text{ }\Omega$.

Transistor de Si NPN: $\beta_F = \beta_o = 300$

- a) Determinar la ubicación del punto Q y el valor de la resistencia de polarización de colector (R_C), si se desea tener una máxima excursión simétrica de la tensión de colector de 3V.
- b) Calcular $A_v = v_{ce} / v_{be}$; $A_{vs} = v_{ce} / v_s$.
- c) Calcular $\hat{V}_{be_{max}}$ y $\hat{V}_{s_{max}}$ de modo que se obtenga la excursión pedida a la salida.

A-18. Para el amplificador de la Fig. A-9:

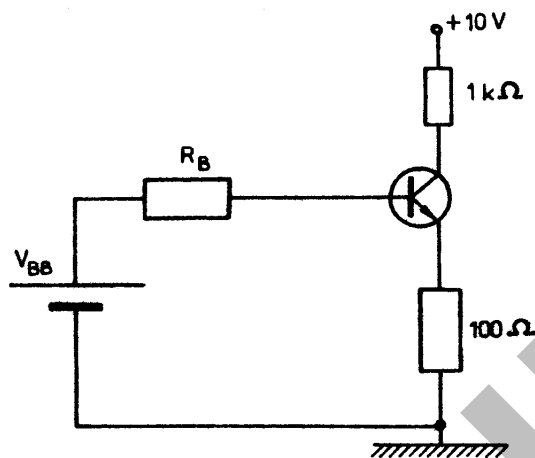


Fig. A-9

Datos: $V_{BB} = 2\text{ V}$; Transistor de Si NPN: $\beta_F = 100$; $V_{CE(sat)} = 0,05\text{V} \approx 0$

a) Hallar el punto de reposo Q: (I_{CQ} ; V_{CEQ}), I_{BQ} , V_{EQ} , V_{BQ} y V_{CQ} para:

- I) $R_B = 100\text{ K}\Omega$
- II) $R_B = 50\text{ K}\Omega$
- III) $R_B = 10\text{ K}\Omega$
- IV) $R_B = 8\text{ K}\Omega$
- V) $R_B = 4\text{ K}\Omega$
- VI) $R_B = 2\text{ K}\Omega$
- VII) $R_B = 1\text{ K}\Omega$
- VIII) $R_B = 500\text{ }\Omega$
- IX) $R_B = 100\text{ }\Omega$
- X) $R_B = 50\text{ }\Omega$

b) Trazar el lugar geométrico de los distintos puntos Q obtenidos sobre el plano $I_C - V_{CE}$ (curva de carga). Analizar la relación entre esta curva de carga y la RCE.

c) Determinar el valor de V_{BB} que lleva a saturación al transistor si $R_B = 10\text{ K}\Omega$.

A-19. En el circuito de la Fig. A-9 se reemplaza el TBJ por un MOSFET canal N inducido donde:

$$V_T = +1 \text{ V}; k = k'. W/L = 0,5 \text{ mA/V}$$

$$V_{DD} = +10 \text{ V}; R_D = 1 \text{ K}\Omega; R_S = 100 \Omega; R_G = 2 \text{ M}\Omega$$

- En un plano $I_D - V_{DS}$ trazar la recta de carga estática, hallando su pendiente, abscisa y ordenada al origen.
- En el mismo gráfico anterior trazar el lugar geométrico de V_{DSE} , hallar los valores de $I_D = I_{DE}$, $V_{DS} = V_{DSE}$ y el V_{GS} correspondientes y trazar la característica de drenaje correspondiente al valor del V_{GS} hallado. Despreciar el efecto de modulación del largo del canal.
- Hallar el punto de reposo Q: (I_{DQ} ; V_{DSQ}), V_{GSQ} , V_{SQ} , V_{GQ} y V_{DQ} para:

$$\text{I)} \quad V_{GG} = 1 \text{ V}$$

$$\text{II)} \quad V_{GG} = 2 \text{ V}$$

$$\text{III)} \quad V_{GG} = 3 \text{ V}$$

$$\text{IV)} \quad V_{GG} = 5 \text{ V}$$

$$\text{V)} \quad V_{GG} = 6 \text{ V}$$

$$\text{VI)} \quad V_{GG} = 7 \text{ V}$$

$$\text{VII)} \quad V_{GG} = 8 \text{ V}$$

- Trazar el lugar geométrico de los distintos puntos Q obtenidos sobre el plano $I_D - V_{DS}$ (curva de carga). Analizar la relación entre esta curva de carga y la RCE trazada.

A-20. Una red bipuerta como de la figura A-1 posee una impedancia Z_{f1} conectada entre los terminales no comunes de entrada y salida y otra Z_{f2} común a las mallas de entrada y salida. Tiene además una impedancia Z_{f3} conectada entre los terminales de entrada de la propia red. Para facilitar el cálculo se supone que la impedancia de entrada de la propia red, $Z_i = v_i / i_i$, es infinita.

- Demostrar que la impedancia de entrada del conjunto vale:

$$Z_1 = v_1 / i_1 = [Z_{f1} / (1 - K_{v1})] // [Z_{f3} / (1 - K_{v3})]$$

donde $K_{v1} = v_2 / v_1$ y $K_{v3} = v_3 / v_1$

- Demostrar que Z_{f3} se refleja en paralelo con Z_{f2} como:

$$Z_{f3}' = Z_{f3} \cdot K_{v3} / (K_{v3} - 1)$$

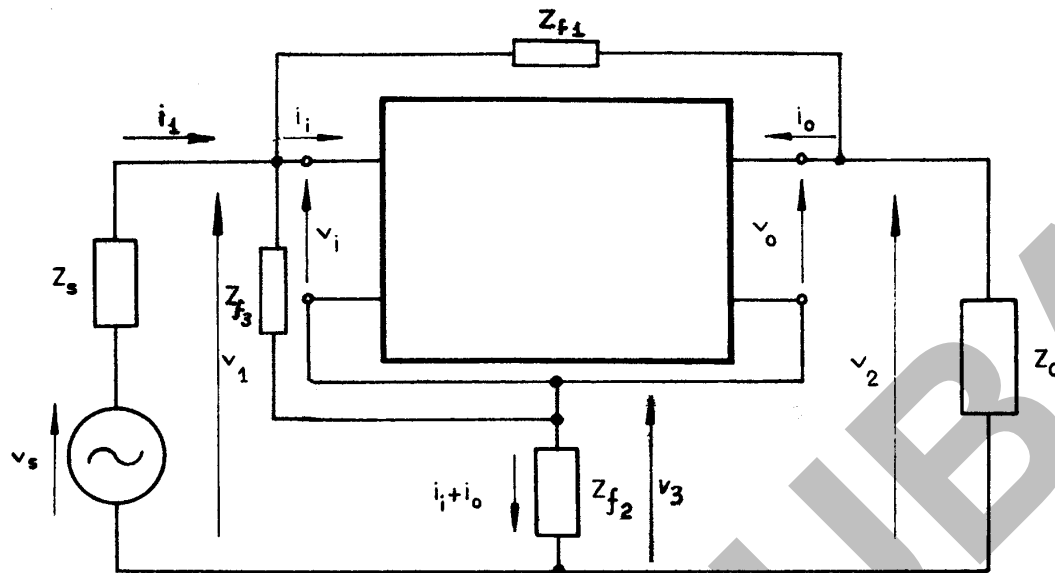
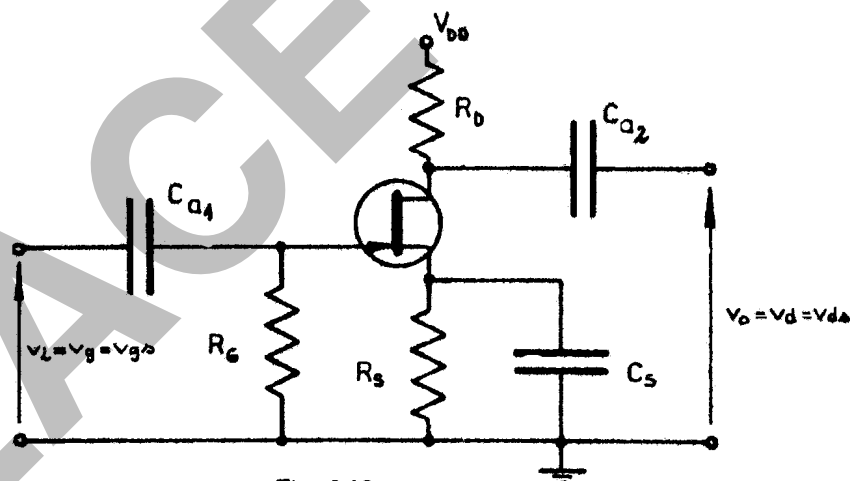


Fig. A-10

Nótese que si $0 < K_{v3} < 1$ la Z_{f3} se reflejará con el signo de la parte real cambiado y con la componente imaginaria de forma capacitiva si originalmente fue inductiva y viceversa.

A-21. En el siguiente amplificador con JFET se conocen:



DATOS

$$I_{DSS} = 8 \text{ mA}$$

$$V_P = -4 \text{ V}$$

$$V_{DD} = 24 \text{ V}$$

$$R_D = 6 \text{ k}\Omega$$

$$R_S = 1 \text{ k}\Omega$$

$$R_G = 1 \text{ M}\Omega$$

Fig. A-11

- Hallar el punto de reposo analíticamente y por iteración.
- Indicar la función de cada elemento del circuito.
- Calcular el valor de g_{mo} (g_m para $V_{GS} = 0$).

- d) Calcular el valor de g_m correspondiente al punto de reposo.
- e) Bosquejar un juego de características razonables de drain, con los datos.
- f) Determinar la ecuación del lugar geométrico de los puntos correspondientes a los valores de V_{DS} para los que se tiene *estrangulación incipiente*, y graficarlo en el diagrama $I_D - V_{DS}$.
- g) Trazar las rectas de carga estática y dinámica sobre las características e). Indicar los valores de las abscisas y las ordenadas al origen de ambas. Obtener la \hat{V}_o máxima sin recorte en ambos semiciclos.
- h) Construir una características de transferencia $I_D = f(V_{GS}; V_{DS}^*)$ para el JFET utilizado. Admitiendo que esta característica prácticamente no depende de V_{DS} , determinar gráficamente el punto de trabajo mediante el trazado de la *línea de polarización*. ¿Qué se entiende por esta última?

Nota: La resolución analítica se realiza mediante el uso de las expresiones que dan la corriente de drain en función de la tensión de gate y el cálculo de la transconductancia es conveniente realizarlo en función de la corriente de drenaje. Se hace notar que V_P (tensión de estrangulamiento) se ha definido con el signo correspondiente a V_{GS} , tal como se la considera en gran parte de los manuales (negativa para canal N).

A-22. Se tiene un MOSFET de canal P inducido, polarizado según se muestra en la figura (polarización por resistencia de gate a drenaje). Se requiere que I_{DQ} sea de -5 mA , tomando como sentido de referencia para la I_D de polarización el sentido entrante por drenaje como se muestra en la Fig. A-12 para la corriente total i_D .

Datos: $k = -0,3 \text{ mA/V}^2$; $V_T = -3 \text{ V}$; $V_{DD} = -25 \text{ V}$; $R_G = 10 \text{ M}\Omega$; $R_L = 1 \text{ M}\Omega$

- a) Determina el valor de $V_{GSQ} = V_{DSQ}$.
- b) Calcular el valor de R_D .
- c) Calcular la potencia disipada por el transistor.
- d) Dibujar la característica estática de transferencia.
- e) Bosquejar un juego de características estáticas de drenaje. Determinar la ecuación del lugar geométrico de los puntos correspondientes a los valores de V_{DS} y dibujarlo en el diagrama $I_D - V_{DS}$.

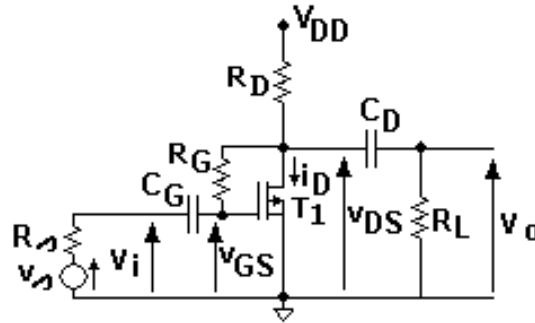


Fig. A-12

- f) Trazar las rectas de carga estática y dinámica, hallando sus pendientes, abscisas y ordenadas al origen.
- g) Analizar si se trabaja en modo analógico-lineal. En ese caso calcular el valor de g_m , A_v y A_{vs} si $R_s = 100 \text{ K}\Omega$.
- h) De trabajarse en modo analógico-lineal, obtener la V_o máxima sin recorte en ambos semiciclos.
- i) Se reemplaza, sin modificar el circuito, al transistor por un PMOSFET de canal preformado con $V_T = +3 \text{ V}$. Rehacer todos los puntos de este problema.
- j) Repetir el punto i) si I_{DQ} se disminuye en valor absoluto a -2 mA .

A-23. Con un MOSFET de canal inducido se construye el siguiente circuito, que se utiliza como atenuador con transferencia variable controlada por tensión. Si se varía V_{GS} entre 2 V y 10 V , hallar los límites entre los cuales puede variar la transferencia de este divisor de tensión, para señales alternas de pequeña amplitud.

$$k = 0,3 \text{ mA/V}^2$$

$$V_T = +2 \text{ V}$$

$$R = 10 \text{ K}\Omega$$

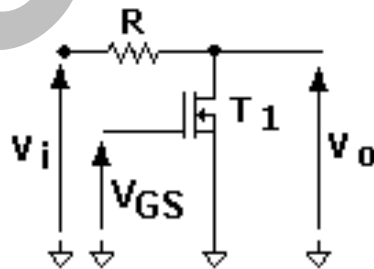


Fig. A-13

A-24. Cuando un transistor es utilizado para trabajar en los modos de corte y saturación exclusivamente, se dice que trabaja en **conmutación**. Esta forma de trabajo se

utiliza habitualmente, y entre otras aplicaciones se pueden citar por ejemplo los circuitos digitales y las llamadas fuentes conmutadas.

- a) En la Fig. A-14a se muestran dos etapas con transistores MOSFET inducido y TBJ, respectivamente, cuya señal de entrada v_{i1} posee un valor máximo $V_{i1\text{máx}} > 0$ suficientemente grande como para llevar a los transistores a saturación, entendiendo que un transistor trabaja **saturado** cuando su corriente está determinada esencialmente por el circuito externo, y un valor mínimo $V_{i1\text{mín}} \geq 0$ suficientemente bajo como para llevar el transistor a la zona de corte. En el caso del MOSFET, la saturación bajo esta consideración, implica que trabaje en la zona óhmica para la cual utilizaremos la siguiente notación: I_{Dzh} y V_{DSzh} para la corriente de drain y la tensión drain-source respectivamente. En el caso del TBJ se utilizará la denominación común de saturación con la nomenclatura I_{Csat} y V_{CEsat} .

Cuando la señal de entrada v_{i1} está constituida por un único pulso o un tren de pulsos rectangulares que varía entre $V_{i1\text{mín}}$ y $V_{i1\text{máx}}$, el transistor **conmutará** desde un estado de corte a uno de saturación. Al estado del transistor cuando conduce se lo llama **"ON"** y al de corte **"OFF"**. A estas etapas se las conoce como inversores lógicos o simplemente **inversores**. Justificar por qué.

¿Bajo que polaridades de la señal v_{i1} un MOSFET de canal preformado se comportará como un inversor lógico?. Justificar.

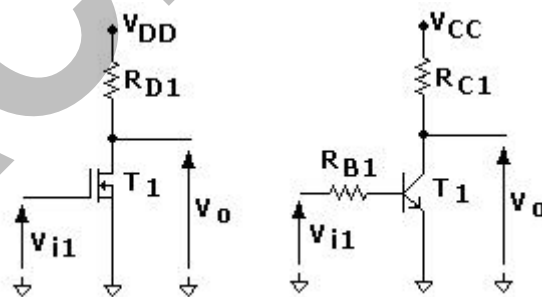


Fig.A.14 a

- b) En condiciones estáticas, es decir en estado de corte o saturación, el transistor TBJ prácticamente no disipará potencia en ambos puntos de trabajo (salvo las corrientes inversas o de fuga en corte o la V_{CE} , pequeña pero no nula, en con-

dición de modo saturado) en tanto que el MOSFET no disipará potencia apreciable cuando esté en corte pero la disipación en la zona óhmica dependerá de la carga, quien determinará el valor de V_{DSzh} e I_{Dzh} en ese punto.

Obtener para ambos circuitos inversores con MOSFET y con TBJ la potencia estática disipada en ambos estados posibles –corte y saturación–.

Adoptar los siguientes datos para los transistores y el circuito asociado:

$$V_{DD} = V_{CC} = 5 \text{ V} ; R_{D1} = R_{C1} = 1 \text{ K}\Omega ; k = 1 \text{ mA/V}^2 ; V_T = +1 \text{ V} ;$$

$$I_{Dfuga} (V_{GS} \approx 0) = 10 \text{ pA} ; I_{CS} (V_{BE} = 0) = 30 \text{ nA} ; V_{CEsat} = 100 \text{ mV}$$

- c) En condiciones dinámicas, es decir cuando v_{i1} resulta ser una señal variable en el tiempo entre $V_{i1mín}$ y $V_{i1máx}$, el transistor deberá recorrer la zona de modo activo o analógico-lineal para alcanzar alguno de los estados de trabajo (corte o saturación). Al trabajar en conmutación, durante el tiempo que demore ese recorrido, el transistor disipará potencia. Ese tiempo está caracterizado por un **tiempo de conmutación** y se debe a los efectos de las capacitancias parásitas de los dispositivos activos y del circuito asociado. Dado que se está excitando la etapa con gran señal, no se puede asociar las capacitancias que presenta el dispositivo directamente a las del modelo de pequeña señal del transistor, pero sí puede admitirse que poseen órdenes de valores similares. Por lo tanto se admitirá, que cada etapa inversora posee una capacitancia propia del transistor entre su entrada y común y entre su salida y común, C_i y C_o , respectivamente, del orden de décimas a centenares de pF, dependiendo del tipo de transistor y del ejemplar del mismo.

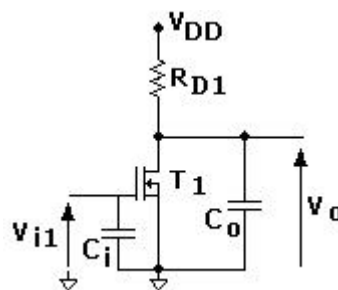


Fig. A-14 b

Para el circuito de la Fig. A-14b, graficar $v_o(t)$ admitiendo que v_{i1} es un **pulso** proveniente de un generador ideal, con $V_{i1\min} = 0$; $V_{i1\max} = V_{DD}$ y una duración T_1 mucho mayor que los tiempos de carga y descarga de las capacitancias.

Admitiendo que las únicas capacitancias son las propias del dispositivo con $C_i = 7 \text{ pF}$ y $C_o = 1 \text{ pF}$, y suponiendo en primera aproximación que el transistor se mantiene en la zona activa para valores de V_{DS} entre V_{DD} y $V_{DD}/2$, obtener un valor estimado del tiempo entre el instante $t = 0^+$ de aplicación del pulso y el instante en que la tensión de salida desciende a $V_{DD}/2$. Si para el transistor en corte se admite que la corriente de fuga es despreciable (se la ha supuesto de 10 pA), calcular el valor del tiempo entre el instante $t = T_1^+$ y el instante en que la tensión de salida asciende a $V_{DD}/2$. Hallar el promedio de ambos tiempos calculados. ¿Qué significado tiene este último valor calculado?.

d) Admitiendo que v_{i1} proviene de un generador de tensión real y que por lo tanto debe tenerse en cuenta los efectos de la capacitancia C_i , definir tiempo de propagación o retardo. – Ver bibliografía B2 secciones 1.7 y 5.8 - Recalcular en forma más aproximada el tiempo calculado en el punto c) para v_{i1} proveniente de un generador ideal cuando el MOSFET pasa de corte a zona óhmica.

¿Por qué es necesario definir dos tiempos de retardo: uno desde el flanco ascendente de la señal de entrada (cuando se pasa de $V_{i1\min} = V_{i1L}$ a $V_{i1\max} = V_{i1H}$) hasta el flanco descendente de la señal de salida (cuando se pasa de $V_{om\max} = V_{oH}$ a $V_{om\min} = V_{oL}$) y otro desde el flanco descendente de la señal de entrada (cuando se pasa de $V_{i1\max}$ a $V_{i1\min}$) hasta el flanco ascendente de la señal de salida (cuando se pasa de $V_{om\min}$ a $V_{om\max}$)?. ¿Qué se toma como valor de tiempo de propagación o retardo?.

e) ¿Qué se entiende por **disipación de potencia dinámica**? Obtener la expresión y calcular el valor de la **potencia dinámica media** que disipa el transistor cuando la tensión v_{i1} aplicada es un tren de pulsos de frecuencia $f = 1/T$ y duración T_1 mucho mayor que los tiempos de carga y descarga de las capacitancias.

- f) En los inversores de las Fig. A-14c y d se reemplazó el resistor R_{D1} por un transistor. La Fig. A-14c muestra un inversor **NMOS** integrado y la Fig. A-14d un inversor **CMOS** integrado. Analizar su funcionamiento. Justificar la conexión del sustrato mediante un corte transversal donde se indique cómo están integrados ambos transistores en cada circuito.

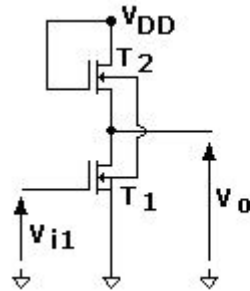


Fig. A-14 c

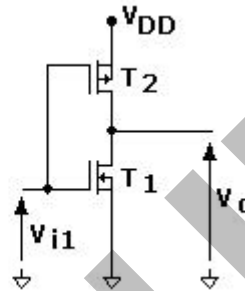


Fig. A-14 d

A-25. La Fig. A-15 muestra otro uso típico de un transistor en conmutación con tecnología MOS (pudiendo realizarse también con TBJ con la misma topología circuital): el esquema básico de un circuito que permite convertir una tensión continua cualquiera $-V_{DD}$ en este caso- en otra tensión continua de mayor o menor valor que posea los dos terminales aislados de los terminales de la fuente de continua primaria V_{DD} , utilizando como señal auxiliar un tren de pulsos proveniente de un generador que prácticamente no entrega potencia. La topología indicada, se denomina **flyback**. Este esquema básico se puede utilizar como elemento central para construir circuitos prácticos como **convertidores de continua a continua** (DC a DC) y **fuentes de alimentación reguladas de tensión conmutada o fuente de switching**.

El principio de funcionamiento se basa en la excitación mediante un tren de pulsos de gran señal, que supondremos ideal, de un transistor que conmuta entre corte y zona óhmica. Cuando pasa de corte a conducción, la tensión sobre el primario del transformador pasará de cero a V_{DD} , ya que su corriente no puede crecer instantáneamente. Mientras la tensión en el inductor del primario se mantenga aproximadamente constante, la corriente crecerá linealmente en el primario del transformador siguiendo aproximadamente la curva característica de salida de $v_{i1} = V_{GSon} = \text{cte} \gg V_T$ del MOS. El hecho de suponer que la tensión sobre el primario del transformador resulta

aproximadamente constante implica que se trabaja normalmente con ancho de pulsos suficientemente pequeños como para que se mantenga $V_{DSzh} \ll V_{DSE} = V_{GSon} - V_T$. A medida que aumenta la corriente por el primario del transformador aumenta el flujo magnético y la energía almacenada.

Los puntos indicados en primario y secundario del transformador, se denominan **“puntos homólogos”** e indican que para un instante dado, los terminales indicados poseen igual polaridad o, lo que es lo mismo, a corriente entrante por el punto marcado en el primario, corresponde corriente saliente por el punto marcado en el secundario.

La disposición adoptada de los devanados primario y secundario del transformador, indicada por los puntos homólogos asegura que el diodo D está polarizado en inversa durante el tiempo en que el transistor T conduce, por lo que no circula corriente en el secundario.

En el flanco negativo del pulso, cuando T entra en corte, el flujo magnético en el transformador se interrumpe, generando una corriente en el secundario que carga al capacitor C_f a través del diodo, alimentando la carga R_L obteniéndose sobre ésta una tensión continua con un ripple que puede minimizarse mediante circuitos adicionales. Es decir, en el campo magnético del transformador se almacena la energía durante el tiempo ON de T y se transfiere a la carga durante el tiempo OFF de T, de ahí el nombre flyback (C_f mantiene la tensión sobre R_L durante el tiempo “ON”). Notar que el circuito completo que carga al secundario, es un circuito rectificador común de media onda con filtro capacitivo, excitado por una onda pulsante en lugar de la senoidal que se aplica desde la línea de suministro eléctrico y que los terminales del devanado secundario y su circuito asociado pueden referirse a puntos que no tengan relación eléctrica directa con los puntos del circuito que contiene al devanado primario del transformador (circuitos con aislamiento galvánica).

Los diodos colocados en paralelo con el primario del transformador D_p tiene la función de proteger principalmente al transistor y eventualmente al propio devanado primario, de la sobretensión entre terminales de este devanado que se produce al cortarse T, limitando la tensión V_{DS} a $[V_{DD} + 0,7V + V_Z]$.

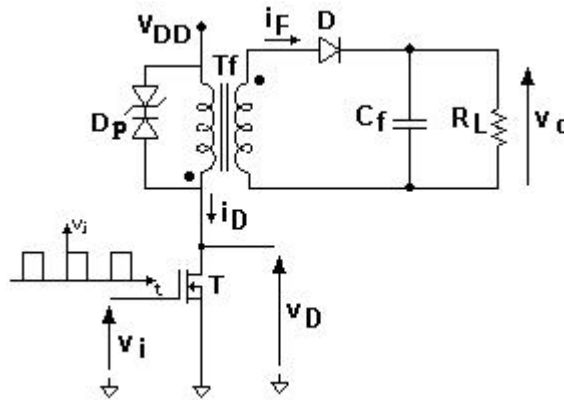


Fig. A-15

Este mecanismo de convertir una tensión continua en otra continua mediante la utilización de una onda pulsante (en este caso a través de un transformador) se lo conoce como choppeado.

a) Analizar el principio de funcionamiento, trazando en gráficos correlativos:

$v_i(t)$; $i_D(t)$; $v_D(t)$; $i_F(t)$; $v_o(t)$, indicando sobre este último el valor medio o continuo.

Datos: v_i es un tren de pulsos que varía entre 0V y 2V de 100 KHz y ciclo útil 50%; $V_{DD} = 10V$; $C_f = 1\mu F$; $R_L = 1K\Omega$; $n_{Tf} = 0,99$; $V_Z = 10V$ y T: ($k = 100 \text{ mA/V}^2$; $V_{T+} = +1V$)

b) Analizar cómo se modifica el valor continuo V_o si se varía el ciclo útil de la señal de excitación.

c) Teniendo en cuenta que la conmutación se realiza a frecuencias elevadas (desde decenas de KHz a algunos MHz), se deberá tener en cuenta para el correcto funcionamiento del circuito, la elección de los componentes (capacitancias parásitas pequeñas en T, transformador con núcleo de ferrite, diodo de alta frecuencia, etc.). Analizar mediante simulación con PSpice cómo influye en el valor de V_o el utilizar en D un diodo para baja frecuencia como el 1N4002 frente a uno para alta frecuencia como el 1N4148. (Para la simulación, considerar un valor de las inductancias del primario y secundario del transformador comprendido entre 1mH y 10mH).

d) Analizar qué sucede con $v_i(t)$; $i_D(t)$; $v_D(t)$; $i_F(t)$ y $V_o(t)$ si se invierte el terminal homólogo del secundario.

e) Para regular el valor de la tensión continua de salida V_O utilizando el circuito de conmutación de la figura A-16, se introduce una red circuital de realimentación que, a partir del valor de la tensión continua V_O sensada convenientemente, varíe el ancho de los pulsos manteniendo la frecuencia constante o la frecuencia manteniendo el ancho de pulso constante, lo que incide sobre el valor de V_O tal como se analizó en el punto b). Indicar qué ventaja posee este tipo de fuente regulada respecto de las fuentes reguladas convencionales (con rectificador y zener o circuito integrado regulador) a partir de considerar la potencia media disipada por el transistor.

A-26. La Fig. A-16a muestra otro uso típico de un transistor en conmutación con tecnología MOS: **el capacitor conmutado o de switching**.

El bloque indicado se encuentra conectado entre dos terminales de un circuito cuyas tensiones son $V_1 > V_2$. Ambos NMOSFET funcionan como llaves controladas por las tensiones V_A y V_B (señales de reloj), cerrándose cuando su tensión de gate es elevada (V_{on}) y abriéndose cuando se reduce a V_{off} . Como las señales en los gates están desplazadas $T_{ck}/2$, cuando un MOSFET entra en la zona óhmica el otro está en corte. Observar que para $V_A = V_{on}$ ($V_B = V_{off}$), C_1 (un capacitor integrado o el C_{ox} de otro MOS) se cargará a la tensión V_1 (admitiendo tiempo suficiente para alcanzar V_1). La carga transferida a C_1 será $Q_1 = C_1 \cdot V_1$. Cuando $V_B = V_{on}$ ($V_A = V_{off}$), C_1 transferirá parte de la carga hacia el nodo "2" hasta alcanzar una tensión V_2 entre sus terminales (admitiendo tiempo suficiente para la descarga). Por lo tanto, pasado un período T_{ck} , se transferirá del nodo "1" al "2" un $\Delta Q = C_1(V_1 - V_2)$, equivalente a la circulación de una corriente $I = \Delta Q / T_{ck} = f_{ck} \cdot C_1(V_1 - V_2)$. Es decir que el bloque indicado se comporta como una resistencia $R_{eq} = 1 / f_{ck} \cdot C_1$.

Analizar qué sucedería si no se considera el tiempo de retardo de los MOSFET en el desplazamiento entre las señales V_A y V_B .

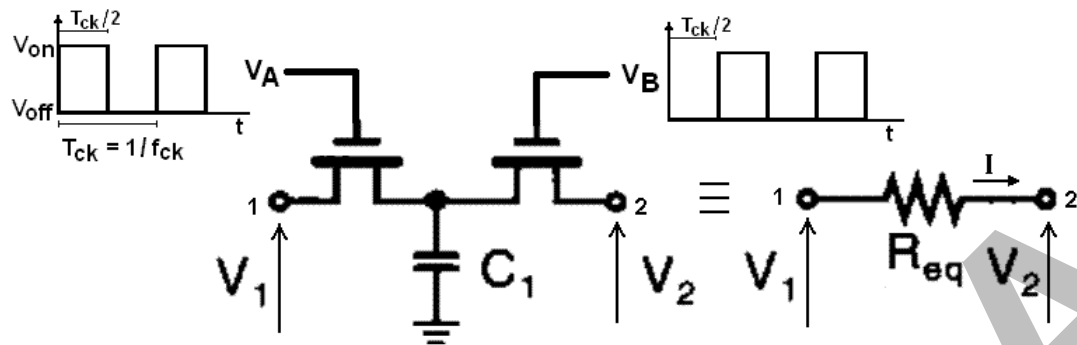


Fig. A-16a

- a) Para $C_1 = 5 \text{ pF}$ y $f_{ck} = 100 \text{ kHz}$, obtener el valor de R_{eq} del sistema de capacitancia conmutada. ¿Cuál es la ventaja de utilizar esta R_{eq} respecto de integrar un resistor de igual valor?. ¿Cuáles son las desventajas de este circuito cuando la frecuencia de la señales a transferir se acercan a la frecuencia del reloj (frecuencia de muestreo)?.
- b) El circuito de la Fig. A-16b se lo conoce como integrador en tiempo discreto. ¿Por qué?

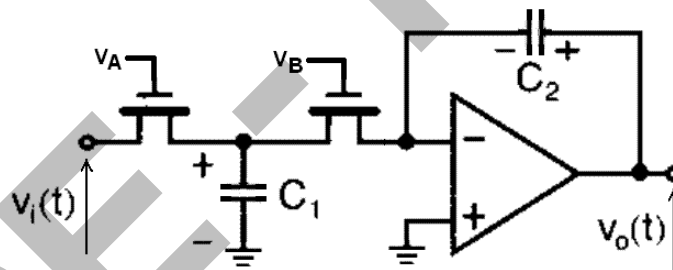


Fig. A-16b

B. ESTUDIO DE LA POLARIZACION Y ESTABILIDAD DE AMPLIFICADORES CON UN SOLO TRANSISTOR

B-1.

- a) Indicar qué problemas, en su funcionamiento como amplificador lineal, puede causar el corrimiento del punto de reposo del transistor. Realizar el análisis en base a un diagrama en el plano de las características de salida para TBJ, JFET y MOSFET considerando al punto Q en dicho plano – I_{CQ}/I_{DQ} ; V_{CEQ}/V_{DSQ} -.
- b) Indicar las posibles causas que provocan el corrimiento del punto de reposo del transistor en amplificadores con TBJ, con JFET y con MOSFET en un circuito ya construido, suponiendo que no se cambia el ejemplar de transistor que se utiliza. ¿Cómo se modifican sus características de transferencia, entrada y salida al variar los parámetros característicos de cada tipo de transistor por las causas indicadas?. ¿Que parámetros del circuito amplificador pueden modificarse?. ¿Cómo afectarían al funcionamiento del circuito amplificador?.
- c) Indicar las posibles causas que provocan el corrimiento del punto de reposo del transistor en amplificadores con TBJ, con JFET y con MOSFET en un circuito ya construido, suponiendo que se cambia el ejemplar de transistor que se utiliza por otro de la misma familia (misma nomenclatura), manteniéndose constantes todo otro parámetro que pudiera influir sobre el punto Q. ¿Qué parámetros del dispositivo activo pueden variar?. ¿Que parámetros del circuito amplificador pueden modificarse?. ¿Cómo afectarían al funcionamiento del circuito amplificador?. ¿Qué pasaría al fabricar varios ejemplares de este circuito (o fabricación en serie)?.

B-2.

- a) Analizar los corrimientos del punto Q, remarcando el de la corriente de salida - I_{CQ}/I_{DQ} -, en el circuito de la Fig. A-2 utilizando las tres clases de transistores mas comunes - TBJ, JFET o MOSFET- con el signo y

valor adecuado de V_{CC}/V_{DD} y V_{BB}/V_{GG} según la clase del transistor utilizado - TBJ, JFET o MOSFET -, el tipo - NPN/PNP - o - canal N/canal P - y si el canal es inducido o preformado en los MOSFET. Justificar por qué al circuito de la fig. A-2 se lo denomina de polarización fija para las tres clases de transistores.

- b) Analizar someramente, en forma general, el concepto de realimentación negativa para señal, y para qué se utiliza. Justificar como actúa ante los distintos parámetros característicos de un circuito amplificador. Indicar los efectos que se produciría si la realimentación fuese positiva y que se entiende por circuito oscilador. Definir las cuatro configuraciones posibles de realimentación.
- c) Indicar como se pueden utilizar estas formas de realimentación negativa para estabilizar en continua los puntos de reposo.

B-3. En las siguientes figuras se representan las posibles configuraciones para circuitos con un solo transistor TBJ, realimentados negativamente para continua. Para el análisis de los circuitos se supondrán conocidas las tensiones de las fuentes de alimentación, el valor de los resistores y los parámetros del transistor. Sin embargo, estos valores se considerarán como variables al analizar cómo se logra mejorar la estabilidad del punto Q en cada caso.

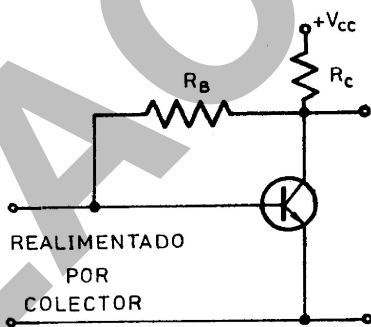


Fig. B-2-a

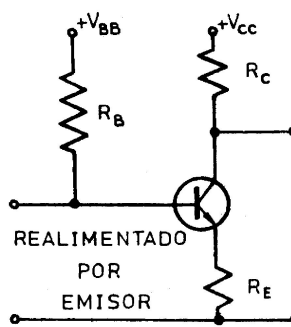


Fig. B-2-b

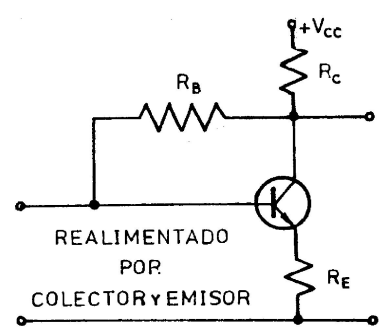


Fig. B-2-c

Para el circuito de la fig. B-2-b:

- a) Analizar conceptualmente el mecanismo por el cual se estabiliza el punto de reposo frente a variaciones de β_F .

- b) Hallar las expresiones de I_{CQ} y V_{CEQ} , despreciando I_B frente a I_C .
- c) En base a la expresión de I_{CQ} hallada en el punto b) y a la correspondiente al circuito de polarización fija de la Fig. A-2, indicar por qué en los circuitos realimentados el corrimiento en el valor de I_{CQ} debido a variaciones de β_F resulta más pequeño.
- d) Analizar cómo deberá modificarse el valor de los resistores de polarización para reducir la influencia de β_F en el valor I_{CQ} . ¿Qué limitaciones surgen sobre el funcionamiento en alterna?

Para los tres circuitos:

- e) Analizar la influencia del valor de R_C en las coordenadas del punto de reposo suponiendo despreciable el efecto Early.
- f) Analizar conceptualmente el comportamiento de los tres circuitos frente a variaciones de V_{BE} . Comparar entre sí la "sensibilidad" de los mismos a dichas variaciones.
- g) Los circuitos presentados introducen realimentación negativa tanto para las corrientes continuas como para las señales de alterna. Explicar cómo podría evitarse la realimentación en alterna permitiendo la de continua en cada caso. Indicar por qué la eliminación de la realimentación en alterna se denomina desacoplar la entrada de la salida para la señal.
- h) Analizar por qué razón en el circuito de la figura B-2-b se tiene un grado más de libertad que en los otros dos, en cuanto al diseño de la red de polarización ante variaciones de β_F .

B-4. Para los tres circuitos del problema anterior obtener las expresiones de I_{CQmax} e I_{CQmin} considerando variaciones en β_F y V_{BE} simultáneamente justificando qué valores de β_F y V_{BE} deben utilizarse en cada caso.

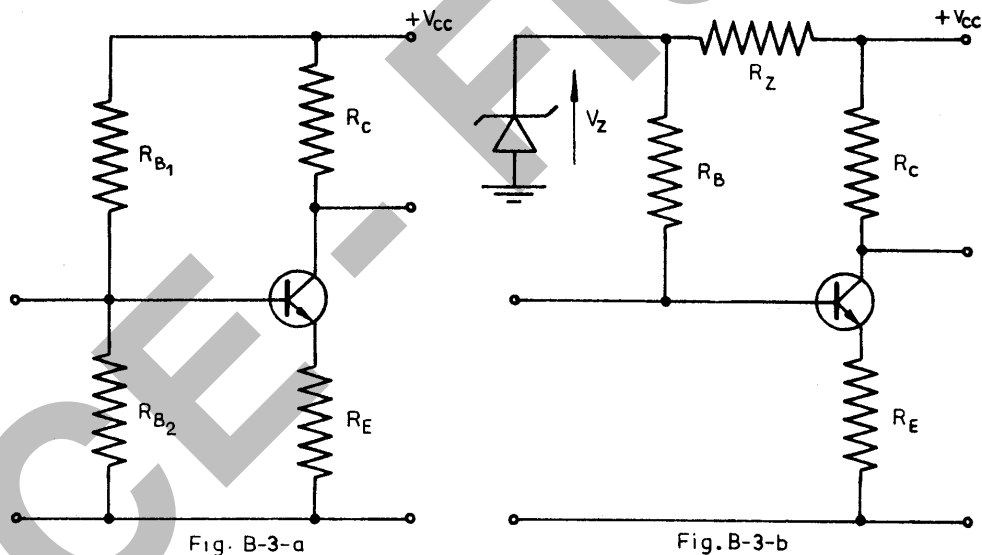
B-5.

- a) ¿Por qué para un JFET o un MOSFET de canal preformado solo resulta utilizable la realimentación del circuito B-2b?
- b) Graficar una característica típica de transferencia del FET para cada caso y la correspondiente recta de polarización (circuito B-2b) hallando su

pendiente, abscisa y ordenada al origen. Definir recta de polarización. Indicar la posición del punto de reposo Q en el gráfico.

- c) Dibujar sobre los gráficos del punto d) la recta de polarización correspondiente al circuito de polarización fija de la Fig. A-2, suponiendo que pase por el mismo punto Q anterior. Agregar dos características extremas de transferencia, debidas a las variaciones de I_{DSS} y V_P para el JFET, y de k y V_T para el MOSFET. Indicar por qué en los circuitos realimentados se estabiliza el corrimiento en el valor de I_{DQ} . ¿Cómo deberá modificarse el valor de los resistores de polarización para reducir este corrimiento?.

B-6. Para obtener la tensión V_{BB} del circuito B-2b se acostumbra recurrir a uno de los siguientes circuitos:



- a) Reducir los circuitos de la Fig. B-3 a la configuración indicada en la figura B-2b indicando las expresiones que permiten obtener V_{BB} y R_B en función de los componentes de la Fig. B-3. ¿Qué se debe aplicar para realizar la reducción?.
- b) ¿Qué condiciones deberán cumplirse para que la caída de tensión sobre R_B de la Fig. B-2b resulte despreciable frente a V_{BB} . ¿Qué significado tendrá el cumplimiento de esta condición en cuanto a la estabilidad del valor de I_{CQ} ? ¿Por qué puede aceptarse aproximadamente que, si R_B/β_F

$I_{CQ\min} \leq R_E/10$ resulta admisible considerar que I_{CQ} posee una inestabilidad del orden del 10% al variar β_F ?

- c) Analizar como podrá considerarse que trabaja el divisor de base en el circuito original cuando la estabilidad en el valor de I_{CQ} al variar β_F es muy elevada, por ejemplo mejor que el 10%, es decir al considerar despreciable la caída de tensión sobre R_B . ¿Cómo será el valor de la corriente de polarización de base I_{BQ} frente a la del divisor si $I_{BQ} R_B$ resulta un 10 % de V_{BB} ?

B-7. En un amplificador cuyo circuito es el de la fig. B-3a se conocen:

$$V_{CC} = 15V ; R_E = 1K\Omega ; R_C = 3K\Omega ; R_{B1} = 60K\Omega ; R_{B2} = 10K\Omega$$

$$120 < \beta_F < 460 ; 0,6V < V_{BE} < 0,8V ; I_{CBO} \cong 0$$

- a) Hallar los puntos Q extremos y la variación porcentual de I_{CQ} respecto a $I_{CQ\min}$ si se toma en cuenta la dispersión de β_F con $V_{BE} = 0,7V$.
- b) Idem a) con $\beta_F = \text{cte.} = 300$ y V_{BE} variable.
- c) Idem a) si la tensión de la fuente de alimentación puede variar entre $12V < V_{CC} < 15V$.
- d) Suponiendo $\beta_F = 300$, $V_{BE} = 0,7V$, $V_{CC} = 15V$ y sabiendo que las resistencias tienen una tolerancia del 5%, hallar los puntos extremos de trabajo y la variación porcentual de I_{CQ} , tomando en cuenta los efectos combinados de todas las resistencias en forma aditiva (peor caso).
- e) Hallar los puntos extremos de trabajo y la variación porcentual de I_{CQ} respecto a $I_{CQ\min}$ si se tienen en cuenta variaciones de β_F , V_{BE} , V_{CC} y la tolerancia de las resistencias de polarización, simultáneamente. Extraer conclusiones, en base a los resultados de los ítems anteriores.

B-8. En un amplificador cuyo circuito es el de la fig. B-3a se conocen:

$$V_{CC} = 12V ; R_E = 1K\Omega ; R_C = 2K ; I_{CQ\min} = 2mA ; I_{CQ\max} = 2,2mA$$

$$400 < \beta_F < 800 ; 0,55V < V_{BE} < 0,7V$$

- a) Diseñar la red de polarización de base utilizando un criterio de peor caso:
- para $I_{CQ\min} \rightarrow \beta_F\min$ y $V_{BE\max}$
- para $I_{CQ\max} \rightarrow \beta_F\max$ y $V_{BE\min}$

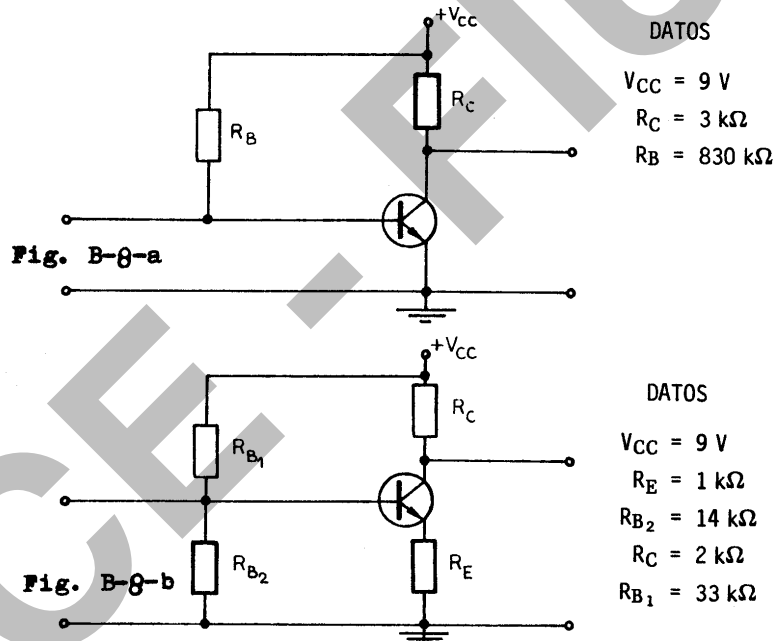
b) Repetir el punto a) si se reemplazara el TBJ por un JFET canal N de:

$$6\text{mA} < |I_{DSS}| < 10\text{mA} \quad ; \quad 2\text{V} < |V_P| < 3\text{V}$$

Admitir como valor del resistor equivalente de gate $R_G = 1\text{ M}\Omega$ y que los parámetros mínimos y máximos (en valor absoluto) se corresponden, es decir: $|I_{DSS}|_{\min} \rightarrow |V_P|_{\min}$ y $|I_{DSS}|_{\max} \rightarrow |V_P|_{\max}$. Justificar que esta suposición resulta acorde con la construcción del dispositivo.

¿Es necesario el dato del valor de R_G ? ¿De que depende? ¿Existe algún límite en el valor de los resistores del divisor de gate? ¿Y si se utiliza un MOSFET?.

B-9. Se utiliza un transistor de silicio NPN con $\beta_F = 200$, en los siguientes circuitos:



a) Suponiendo que la temperatura pueda variar entre 25°C y 75°C , calcular los puntos de reposo correspondientes a esas temperaturas, para ambos circuitos, si se consideran sólo las variaciones de V_{BE} .

b) Calcular la variación relativa de I_{CQ} . Extraer conclusiones.

C. ESTUDIO DE AMPLIFICADORES A FRECUENCIAS MEDIAS

C-1. Para el circuito de la Fig. C-1, utilizando el modelo híbrido- π despreciando los efectos reactivos, y admitiendo como única simplificación en los restantes componentes, la de considerar $r_\mu \gg \beta_o r_o$ para una señal del generador de excitación en vacío $v_s = \hat{V}_s \sin(\omega t)$:

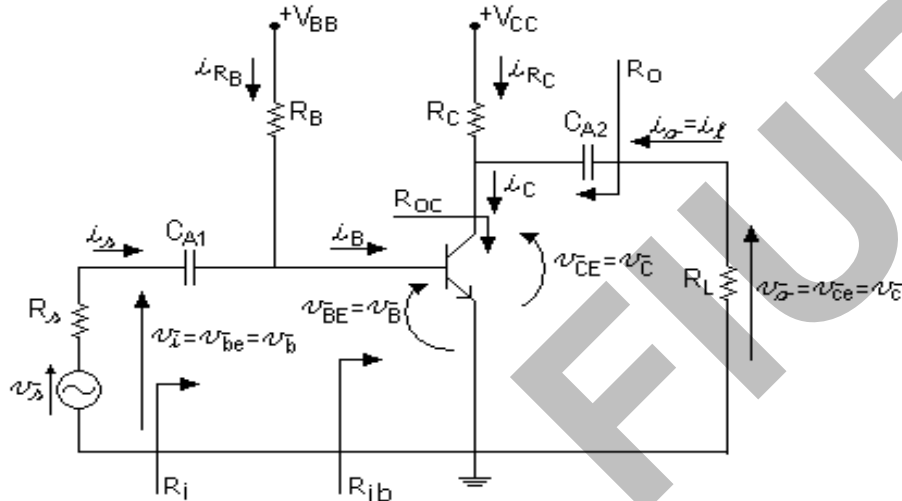


Fig. C-1

- ¿Qué significa considerar $r_\mu \gg \beta_o r_o$?
- Justificar si existe o no dependencia de $R_{ib} = v_{be} / i_b$ con la resistencia de carga para la señal, $R_{ca} = R_C / R_L$ y hallar su expresión en función de los componentes del circuito y del modelo incremental del transistor.
- Determinar la amplificación de tensión referida al terminal de entrada del transistor:

$$A_v = v_o / v_i = v_{ce} / v_{be}$$

Para los siguientes casos:

- Despreciando r_o y r_x .
- Despreciando sólo r_o .
- Despreciando sólo r_x .
- Considerando r_o y r_x .

Indicar su dependencia con R_{ca} . Analizar las siguientes condiciones:

I) R_{ca} tiene un valor determinado distinto de 0 e ∞ .

II) $R_{ca} \rightarrow \infty$

III) $R_{ca} = 0$

¿Como podría construirse un circuito para medir A_v de modo de aproximarse con un error dado a la condición $R_{ca} \rightarrow \infty$, sin modificar el punto de polarización de continua?

- d) Poner la expresión de A_v hallada para los tres casos del punto anterior en función de la tensión de Early V_A . Simplificarla, reemplazando g_m por su expresión de cálculo.
- e) Obtener por inspección la expresión de:

$$A_{vs} = v_o / v_s$$

Analizar su relación con A_v y las características del generador de excitación.

- f) Justificar si existe o no dependencia de $R_{oc} = v_{cep} / i_{cp}$ (el subíndice "p" indica señal de prueba) vista desde el terminal de colector del transistor y común, con la resistencia total de base para la señal $R_{ba} = R_B // R_s$. Analizar su dependencia con el valor de I_{CQ} y la tensión de Early del transistor.

¿Qué valor tomaría si se desprecia r_o ? Justificar.

- g) Determinar por inspección la expresión de la resistencia de salida vista desde los terminales de la resistencia de carga de señal R_L :

$$R_o = v_{cep} / i_{lp}$$

Discutir su relación con $R_{oc} = v_{cep} / i_{cp}$.

- h) Justificar mediante las formas de onda de las corrientes y tensiones totales y alternas en función del tiempo, de acuerdo al principio de funcionamiento del transistor, el sentido del generador controlado y a partir de éste la relación de fase entre v_{ce} y v_{be} , construyendo diagramas en forma correlativa.

C-2. Para el circuito de la Fig. C-1, se reemplaza el transistor bipolar por un JFET canal N, con valores convenientes de resistores, fuentes de alimentación y signos de éstas últimas, como para que el dispositivo trabaje en la zona analógico-lineal.

- a) Rehacer todos los puntos del problema anterior si el JFET se reemplaza por su modelo incremental despreciando los efectos reactivos, y admitiendo el considerar despreciable los efectos de r_{gd} . Se excita con un generador de señal en vacío $v_s = \hat{V}_s \text{sen}(\omega t)$. Utilizar la nomenclatura correspondiente a este dispositivo.

C-3. Rehacer todos los puntos del problema anterior si el JFET se reemplaza por un MOSFET canal N inducido con valores convenientes de resistores, fuentes de alimentación y signos de éstas últimas, como para que el dispositivo trabaje en la zona analógico-lineal.

C-4. Rehacer todos los puntos de los problemas anteriores si se utilizan en los tres casos, transistores de tipo contrario: PNP en lugar del NPN y canal P en lugar de canal N para el JFET y el MOSFET.

C-5. Dado el siguiente amplificador con un único transistor TBJ tipo NPN, donde:

$$v_s = \hat{V}_s \text{sen}(\omega t); V_{CC} = 18V; R_C = 3K\Omega; R_E = 1K\Omega; R_L = 2K\Omega;$$

$$R_{B1} = 5R_{B2} = 600K\Omega; \text{Transistor BC548B}; V_{CEK} = 0,6V; I_{Cmin} = 0,2mA$$

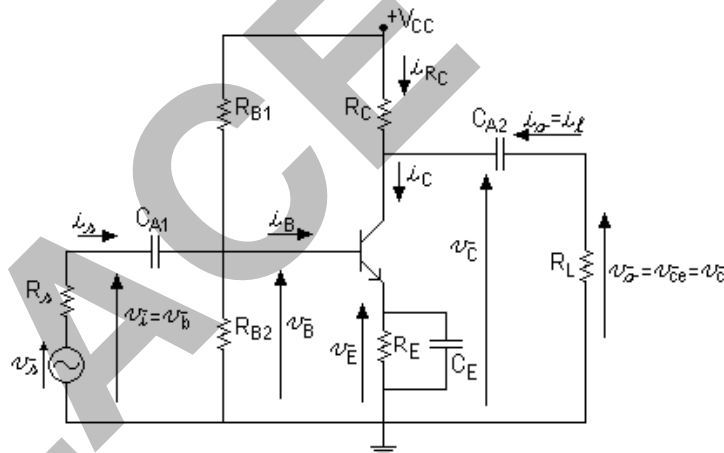


Fig. C-2

C_{A1} , C_{A2} y C_E presentan reactancia despreciable a la frecuencia de interés.

- a) Determinar los puntos extremos de reposo, indicando las tensiones de reposo de los tres electrodos del TBJ respecto a común: V_{EQ} , V_{BQ} y V_{CQ} considerando solo la dispersión en β_F . Repetir considerando solo la dispersión

en V_{BE} . Repetir considerando ambas dispersiones. Calcular en los tres casos los valores extremos de I_{BQ} e indicar el porcentaje con que la base carga al divisor de tensión.

- b) Traza la recta de carga estática y las dinámicas correspondientes a los puntos extremos de reposo, en un diagrama $I_C - V_{CE}$. Explicar el trazado, hallando sus pendientes y abscisas y ordenadas al origen.
- c) Determinar el máximo valor pico de $v_c = v_{ce} - \hat{V}_{cem\acute{a}x}$ - y el máximo valor eficaz - $V_c = V_{ce}$ sobre R_L , que puede alcanzar la tensión de salida - que en este caso coincide con la que se tiene entre colector y emisor, por encontrarse desacoplada totalmente la resistencia de polarización R_E - sin que haya recorte en ninguno de los dos semiciclos, suponiendo que se puede utilizar cualquier ejemplar de esta serie de transistores.
- d) Calcular el valor pico y el eficaz máximo de v_{be} que corresponda al valor obtenido en c).
- e) Determinar el valor pico máximo y el correspondiente valor eficaz de la tensión en vacío del generador de excitación.
- f) Analizar las formas de onda de la tensión v_{ce} y v_o cuando se entra en corte y en saturación.

C-6. Se tiene un transistor bipolar NPN de silicio BC548B. Se lo utiliza en un circuito polarizado con realimentación por emisor y divisor de base como el de la Fig. C-2, en el que se conoce:

$$V_{CC} = 24V ; R_C = 4K\Omega ; R_E = 1K\Omega ; R_{B1} = 130K\Omega ; R_{B2} = 24K\Omega$$

$$R_L = 4K\Omega \text{ (acoplado a través de un } C_A) ; R_s = 1K\Omega ; v_s = \hat{V}_s \sin(\omega t)$$

- a) Determinar los puntos de reposo extremos teniendo en cuenta la dispersión de β_F , indicando las tensiones de los distintos terminales contra común. ¿Puede admitirse que se considere un único punto Q con una tolerancia no mayor al 10%?. Definir e indicar sobre el circuito previamente a su cálculo la tensión de Thévenin V_{BB} y la Resistencia de Thévenin R_B .
- b) Suponiendo que R_E se desacopla para la señal alterna mediante un capacitor de reactancia despreciable a la frecuencia de funcionamiento, de-

terminar las expresiones por inspección y hallar los valores de A_v y A_{vs} a frecuencias medias. Justificar que componentes del modelo incremental del transistor se pueden despreciar dentro de las tolerancias que admitimos normalmente en cálculos manuales – 10% -.

- c) Se divide el resistor de emisor en dos resistores en serie, cuya suma tenga el mismo valor. El resistor $R_{E2} = 800\Omega$ se coloca de modo que uno de sus bornes queda conectado a común y se lo desacopla para la señal alterna mediante un capacitor C_E de reactancia despreciable a la frecuencia de funcionamiento, dejando a $R_{E1} = 200\Omega$ sin desacoplar. Determinar las expresiones por inspección y hallar los nuevos valores de A_v y A_{vs} a frecuencias medias. Simplificar, en lo posible, la expresión de A_v y explicar cómo puede obtenerse por inspección la expresión:

$$A_v = v_o / v_i \approx -R_{ca} / R_{E1}$$

si se cumple la condición:

$$|v_o / v_{be}| = |-g_m \cdot R_{ca}| \gg |A_v|$$

¿Qué significa esta última condición desde el punto de vista de la realimentación negativa?.

Justificar que esta condición equivale a la relación $r_d \ll R_{E1}$.

- d) Trazar la recta de carga estática en un plano $I_C - V_{CE}$.
- e) Trazar la recta de carga dinámica sobre el gráfico anterior que corresponderían a las siguientes condiciones:
- I) R_E (total) desacoplada y R_L desconectada
 - II) R_E (total) desacoplada y R_L conectada.
 - III) R_{E2} desacoplada y R_L conectada.
- f) Determinar la máxima amplitud de tensión alterna entre colector y emisor - $\hat{V}_{ce_{m\acute{a}x}}$ - y entre colector y común - $\hat{V}_{c_{m\acute{a}x}}$ - que se puede obtener a la salida sin que haya recorte en ninguno de los dos semiciclos, para los 3 casos indicados en el punto e). Analizar los resultados.
- g) Determinar los valores de $\hat{V}_{be_{m\acute{a}x}}$; de $\hat{V}_{b_{m\acute{a}x}}$ y de $\hat{V}_{s_{m\acute{a}x}}$ correspondientes a los 3 casos indicados, de modo que no haya recorte a la salida. Analizar los resultados.

TBJ: BC558**B** ; $|V_{CEK}| = 0,7V$; $I_{C\ min} = 0,2mA$

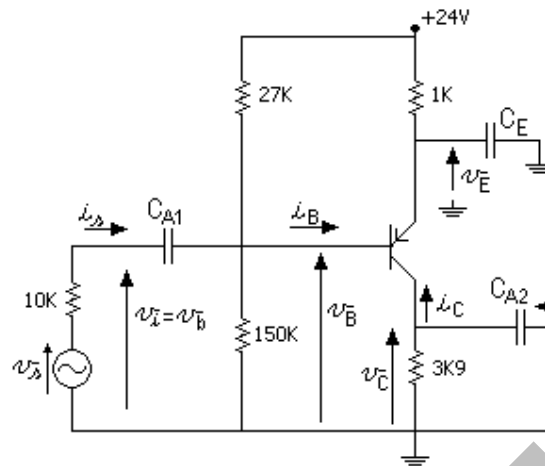


Fig. C-4

- a) Determinar el punto de reposo indicando las tensiones de los electrodos del transistor contra común. Definir e indicar sobre el circuito previamente a su cálculo, la tensión de Thévenin V_{BB} . Hacer los cálculos definiendo la tensión de Thévenin de dos maneras distintas:

- I) V_{BB} sobre la resistencia de $27\text{ K}\Omega$ del divisor de base trabajando en vacío, tomando la referencia positiva en el extremo de esa resistencia conectado a $+V_{CC}$ respecto al conectado a la base y a la otra resistencia del divisor.
- II) $V_{B_{BC}}$ tomando la referencia positiva de esta tensión en la base respecto al punto común – sobre la resistencia de $150\text{ K}\Omega$ en este caso -.

- Hallar A_v y A_{vs} .
- Determinar las impedancia de entrada y salida.
- Hallar la máxima excursión $\hat{V}_{ce_{max}}$ obtenible y el máximo valor de $\hat{V}_{s_{div}}$ para que no haya recorte.

C-8. En el circuito de la Fig. C-2 se reemplaza al transistor bipolar por un JFET, canal N, cuyas características son:

$$I_{DSS} = 12\text{mA} ; V_P = -4\text{V} ; \lambda = 0,01 \text{ 1/V}$$

Los restantes componentes del circuito se modifican del siguiente modo:

$$V_{DD} = 24 \text{ V} ; R_D = 4 \text{ K}\Omega ; R_S = 1 \text{ K}\Omega ; R_{G1} = 24 \text{ M}\Omega ; R_{G2} = 1 \text{ M}\Omega$$

$$R_L = 4 \text{ K}\Omega ; R_s = 50 \text{ K}\Omega ; v_s = \hat{V}_s \text{sen}(\omega t)$$

- a) Determinar el punto de reposo indicando las tensiones de los electrodos del transistor contra común. Definir e indicar sobre el circuito original, previamente a su cálculo, como se define la tensión de Thévenin V_{GG} .
- b) Suponiendo que R_s se desacopla para la señal alterna mediante un capacitor de reactancia despreciable a la frecuencia de funcionamiento, determinar las expresiones por inspección y hallar los valores de A_v y A_{vs} a frecuencias medias.
- c) Se divide el resistor de source en dos resistores en serie, cuya suma tenga el mismo valor. El resistor $R_{S2} = 800\Omega$ se coloca de modo que uno de sus bornes queda conectado a común y se lo desacopla para la señal alterna mediante un capacitor C_s de reactancia despreciable a la frecuencia de funcionamiento, dejando a $R_{S1} = 200\Omega$ sin desacoplar. Determinar las expresiones por inspección y hallar los nuevos valores de A_v y A_{vs} a frecuencias medias. Simplificar, en lo posible, la expresión de A_v ¿Resulta válido en general usar la misma expresión aproximada que en el TBJ?. ¿Por qué?:
- d) Trazar la recta de carga estática en un plano $I_D - V_{DS}$.
- e) Trazar la recta de carga dinámica sobre el gráfico anterior que correspondieran a las siguientes condiciones:
 - I) R_s (total) desacoplada y R_L desconectada
 - II) R_s (total) desacoplada y R_L conectada.
 - III) R_{S2} desacoplada y R_L conectada.
- f) Trazar en el gráfico anterior el lugar geométrico de los puntos correspondientes a V_{DSE} .
- g) Determinar la máxima amplitud de tensión alterna entre drenaje y fuente, $\hat{V}_{ds_{máx}}$, y entre drenaje y común, $\hat{V}_{d_{máx}}$, que se puede obtener a la salida sin que haya recorte en ninguno de los dos semiciclos, para los 3 casos indicados en el punto e). Analizar los resultados.

h) Determinar los valores de $\hat{V}_{g_{s_{m\acute{a}x}}}$; $\hat{V}_{g_{m\acute{a}x}}$ y $\hat{V}_{s_{m\acute{a}x}}$ correspondiente a los 3 casos indicados, de modo que no haya recorte a la salida. Analizar los resultados.

C-9. En el circuito del problema anterior se reemplaza al JFET por un MOSFET, canal N inducido, cuyas características son:

$$k = 0,75 \text{ mA/V}^2 ; V_T = +1 \text{ V} ; \lambda = 0,01 \text{ 1/V}$$

Los restantes componentes del circuito se modifican del siguiente modo:

$$V_{DD} = 24 \text{ V} ; R_D = 4 \text{ K}\Omega ; R_S = 1 \text{ K}\Omega ; R_{G1} = 9 \text{ M}\Omega ; R_{G2} = 3 \text{ M}\Omega$$

$$R_L = 4 \text{ K}\Omega ; R_s = 200 \text{ K}\Omega ; v_s = \hat{V}_s \text{ sen}(\omega.t)$$

Repetir todos los ítem del problema anterior.

C-10. En el circuito del problema anterior se reemplaza al MOSFET de canal inducido por un MOSFET, canal N preformado, cuyas características son:

$$k = 0,75 \text{ mA/V}^2 ; V_T = -1 \text{ V} ; \lambda = 0,01 \text{ 1/V}$$

Los restantes componentes del circuito se modifican del siguiente modo:

$$V_{DD} = 24 \text{ V} ; R_D = 4 \text{ K}\Omega ; R_S = 1 \text{ K}\Omega ; R_{G1} = 10 \text{ M}\Omega ; R_{G2} = 2 \text{ M}\Omega$$

$$R_L = 4 \text{ K}\Omega ; R_s = 200 \text{ K}\Omega ; v_s = \hat{V}_s \text{ sen}(\omega.t)$$

Repetir todos los ítem del problema anterior.

C-11. Comparar y extraer conclusiones en cuanto a las similitudes y diferencias que se tiene en la utilización de los cuatro dispositivos correspondientes a los problemas **C-6**, **C-7**, **C-9** y **C-10**.

C-12. Un JFET, cuyos parámetros característicos son los siguientes:

$$I_{DSS} = 6 \text{ mA} ; V_P = -3 \text{ V} ; \lambda = 0,01 \text{ 1/V}$$

Se utiliza un circuito como el de la Fig. A-12. Se necesita polarizarlo de modo tal que tenga una transconductancia de 2,4 mA/V en el punto de reposo. El circuito se alimenta mediante una fuente de tensión de 20V y se asigna una tensión de 6V a la polarización de drenaje (V_{DSQ}).

a) Determinar los valores necesarios de V_{GSQ} e I_{DQ} .

b) Determinar los valores de R_D y R_S ($R_G = 1 \text{ M}\Omega$).

- c) Dibujar el modelo incremental simplificado del amplificador, suponiendo que se desprecian los efectos reactivos (frecuencias medias).
- d) Determinar el valor de la amplificación de tensión $A_v = v_{ds} / v_{gs}$ y el de la $A_{vs} = v_{ds} / v_s$.
- e) Definir y hallar las impedancias de entrada y de salida para el amplificador.
- f) Justificar mediante las formas de onda de corriente y tensiones totales y alternas, la relación de fase entre v_{ds} y v_{gs} . Justificar el sentido del generador controlado en el modelo circuital del JFET.

C-13. En el amplificador de la Fig. C-6, se conoce:

$$I_{DSS} = 8,3\text{mA} ; V_P = -3,2\text{V} ; \lambda = 0,01 \text{ 1/V}$$

- a) Hallar el punto de polarización ($I_{DQ} ; V_{DSQ}$).
- b) Dibujar las rectas de carga estática y dinámica en el plano $I_D ; V_{DS}$.

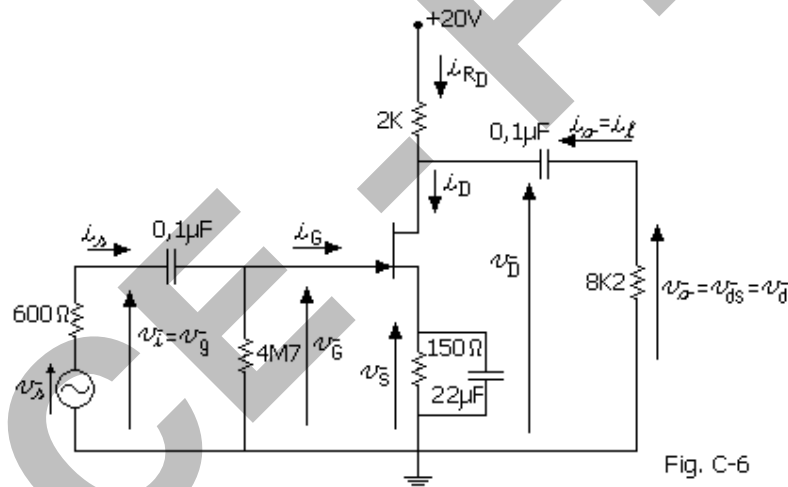
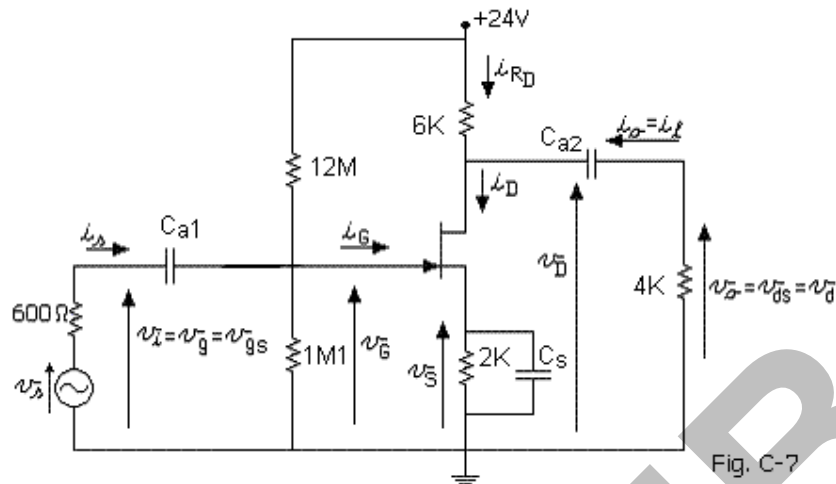


Fig. C-6

- c) Dibujar el modelo para pequeña señal del amplificador y hallar A_v ; A_{vs} ; R_i y R_o .
- d) Hallar la máxima señal de alterna que se puede aplicar en gate - $\hat{V}_{g_{m\acute{a}x}}$ sin producir recorte a la salida.

C-14. En el circuito de la Fig. C-7 se conoce:



- Determinar la ubicación del punto de reposo.
- Calcular la amplificación de tensión.
- Si se reemplaza el JFET por un NMOSFET de canal preformado con $V_T = -4V$ y $k' = 1mA/V$, ¿cuál deberá ser el valor de la relación W/L para obtener iguales valores de reposo que el JFET?. ¿Se alcanzará también iguales valores en los parámetros de señal?.
- Recalcular los puntos a) y b) si se reemplaza el JFET por un NMOSFET de canal inducido con $V_T = +2V$, $k' = 1mA/V$, $W/L = 1$.

C-15. Se necesita construir un circuito amplificador para bajas frecuencias utilizando un transistor bipolar 2N2222.

Se requiere $A_{v \min} = -72$ y los restantes datos son:

$$V_{CC} = 12V ; R_L = 3K\Omega ; R_o = R_L$$

Se admite que, por funcionar a muy bajo nivel, puede suponerse que se trabajará a una temperatura aproximadamente igual a la ambiente, la que se supondrá constante.

- Si las variaciones admitidas de A_v deben ser menores que el 10%, proyectar el circuito de polarización adecuado de costo mínimo para un equipo a fabricarse en serie utilizando transistores de este código. ¿Qué se entiende por "costo mínimo"? Indicar previamente si es necesario estabilizar el punto de reposo comparando la variación relativa de I_{CQ} con la de β_F .

Si debe utilizarse realimentación por emisor, adoptar un valor de R_E adecuado (en la mayoría de los casos se adopta entre 0,2 y 0,8 de R_C), y desacoplarla para señal.

- b) Idem a) para una variación porcentual de A_v menor o igual al 20%.
- c) Idem a) para $100 \cdot \Delta A_v / A_{v \text{ mín}} \leq 60\%$
- d) Idem a) para $100 \cdot \Delta A_v / A_{v \text{ mín}} \leq 100\%$
- e) Indicar cómo se resuelven normalmente los distintos casos anteriores si no se exige costo mínimo.

C-16. El mismo transistor del problema anterior se utiliza para construir una etapa que puede entregar a su salida una tensión eficaz de alterna máxima $V_{ce \text{ máx}}$ de 2,3V, sin que haya recorte en ninguno de los dos semiciclos.

Se admitirá $V_{CEK} = 0,5V$ e $I_{C \text{ mín}} = 0,1mA$

Se supondrá $V_{BE} = 0,7V = \text{cte.}$ y los datos:

$$V_{CC} = 12V ; R_L = 2K\Omega ; R_o = R_L$$

Si es necesario utilizar R_E , se la desacoplará para la señal.

- a) Decidir el circuito más conveniente a utilizar de costo mínimo y determinar el o los resistores de polarización.
- b) Idem a) para $V_{ce \text{ máx}}$ de 2V
- c) Idem a) para $V_{ce \text{ máx}}$ de 1,2V.

C-17. Se dispone de un JFET cuyos parámetros (indicados por el fabricante), son:

$$2mA < I_{DSS} < 8mA ; -4 < V_P < -2V ; \lambda = 0,01 \text{ 1/V}$$

Se desea construir un amplificador con:

$$V_{DD} = 24V ; R_D = R_o = 8K\Omega$$

donde la mínima amplificación de tensión del dispositivo en valor absoluto sea de 4 y se tenga inversión de fase entre entrada y salida. Se desea que, utilizando cualquier transistor de la serie, la amplificación de tensión no supere el valor mínimo en más del 20%. Si se utiliza resistencia de fuente R_S , deberá desacoplarse para la señal.

- a) Determinar los valores extremos de I_{DQ} (tener en cuenta que normalmente, los ejemplares que tienen menor I_{DSS} en valor absoluto, también lo tienen en el valor absoluto de V_P . Justificar).

- b) Bosquejar las características estáticas de transferencia $I_D = f(V_{GS}; V_{DS}^*)$ que corresponden a las condiciones extremas indicadas. (Tener en cuenta que se trata de parábolas cuadráticas de fácil construcción).
- c) Determinar el valor de R_S y de V_{GG} (si es necesaria) para polarizar este dispositivo, sabiendo que se utilizará cualquier transistor de la serie. Utilizar el método gráfico y el analítico.
- d) Calcular R_{G1} y R_{G2} , si se exige que la resistencia de entrada del circuito sea mayor o igual que $1M\Omega$.

C-18. En el circuito de la Fig. C-2 con los valores de componentes pasivos y las características del dispositivo de los problemas **C-6**; **C-7**; **C-9** y **C-10**, se desdobra la fuente de alimentación V_{CC}/V_{DD} de 24 V en dos de 12 V con el punto medio conectado a común, es decir dos fuentes de $+V_{CC}/+V_{DD}$ y $-V_{CC}/-V_{DD}$, ambas de 12 V, dando lugar a lo que se denomina “fuente partida” de ± 12 V.

- a) Dibujar para cada uno de los cuatro de transistores, el circuito de polarización correspondiente, indicando en él el valor de todos los componentes y los sentidos de referencia de todas las corrientes continuas y de todas las tensiones continuas entre dos electrodos y entre cada electrodo y común.
- b) Dibujar el circuito y obtener las expresiones y valores para cada uno de los cuatro casos. Obtener los tres circuitos equivalentes de Thévenin posibles del divisor de base/gate, definiendo V_{BB}/V_{GG} como:
 - I. La tensión del divisor en vacío, tomada sobre el resistor R_{B1}/R_{G1} del divisor de base/gate – V_{BB1}/V_{GG1} –, considerando como referencia positiva de esta tensión al terminal de la fuente de alimentación positiva ($+V_{CC}/+V_{DD}$) referida al punto de base/gate.
 - II. Sobre el resistor R_{B2}/R_{G2} – V_{BB2}/V_{GG2} – desde el terminal de base/gate referida al terminal de la fuente negativa $-V_{CC}/-V_{DD}$.
 - III. Desde el terminal de base/gate referida a común – V_{BBc}/V_{GGc} –.
- c) Obtener los respectivos puntos de reposo Q, determinados por $(I_{CQ}/I_{DQ}; V_{CEQ}/V_{DSQ})$, las tensiones de los tres electrodos contra común $V_{BQ}/V_{GQ}; V_{CQ}/V_{DQ}; V_{EQ}/V_{SQ}$ y las tensiones entre los electrodos V_{BEQ}/V_{GSQ} . Analizar

desde el punto de vista de la realización de los cálculos de la manera más simple y segura, si hay diferencias entre las formas de definir la tensión en vacío del divisor de base/gate.

C-19. Para los circuitos del problema anterior, con fuente de alimentación partida, construir todas las otras formas posibles que puede adoptar el divisor de base/gate (para mantener el funcionamiento del transistor en la zona analógico-lineal) de cada uno de los cuatro circuitos analizados, tomando una de las resistencias del divisor entre una de las fuentes de alimentación y común.

- a) Definiendo la tensión equivalente de Thévenin del divisor de base/gate de las tres formas indicadas en el problema anterior – terminal de la fuente positiva respecto de base/gate (V_{BB1}/V_{GG1}); base/gate respecto del terminal de la fuente negativa (V_{BB2}/V_{GG2}) y base/gate respecto a común (V_{BBc}/V_{GGc}), hallar los valores de los dos resistores del divisor para cada caso posible, suponiendo que se mantiene el mismo punto de trabajo y el mismo valor de la resistencia de Thévenin R_B/R_G .
- b) Analizar desde el punto de vista de la realización de los cálculos de la manera más simple y segura, si hay diferencias entre las formas de definir la tensión en vacío del divisor de base/gate.

C-20. Repetir los problemas **C-6; C-7; C-9; C-10, C-18 y C-19** si se reemplaza al transistor utilizado por otro de idénticos valores absolutos de sus características pero de distinto tipo, de modo que se utilicen un TBJ tipo PNP y JFET y MOSFET de canal P.

- a) Colocar el signo que corresponde a los parámetros característicos de continua de los transistores, asumiendo sentidos de referencia convencionales – corrientes entrantes por los tres electrodos del transistor y tensiones entre electrodos referidas al emisor/fuente (source).
- b) Redibujar los cuatro circuitos con una única fuente de alimentación positiva respecto al común ($V_{CC} = +18\text{ V}$, para el TBJ y $V_{DD} = +24\text{ V}$ para los FET) y los cuatro circuitos con una única fuente de polarización negativa respecto a común, ($V_{CC} = -18\text{ V}$, para el TBJ y $V_{DD} = -24\text{ V}$ para los FET). Colo-

car sobre los circuitos los valores de los componentes y los sentidos de referencia convencionales de corrientes, tensiones entre electrodos del transistor y de cada electrodo respecto a común, manteniendo en todos los casos los valores de R_C/R_D , R_E/R_S y de las resistencias de los divisores de tensión de base/gate..

- c) Redibujar nuevamente los cuatro circuitos utilizando fuente partida $V_{CC} = \pm 9 \text{ V}$ para el TBJ y $V_{DD} = \pm 12 \text{ V}$ para los FET. Colocar sobre los circuitos los valores de los componentes y los sentidos de referencia convencionales de corrientes, tensiones entre electrodos del transistor y de cada electrodo respecto a común, manteniendo en todos los casos los valores de R_C/R_D , R_E/R_S y de las resistencias de los divisores de tensión de base/gate.
- d) Analizar las semejanzas y diferencias entre todos los circuitos.

C-21. Se necesita un amplificador de tensión, donde se utiliza un transistor de germanio del tipo PNP cuyos parámetros a 25°C son los indicados.

La variación de I_{CBO} con la temperatura sigue la ley:

$$I_{CBO}(T) = I_{CBO}(25^\circ\text{C}) 2^{(T-25^\circ\text{C})/10^\circ\text{C}}$$

y la temperatura ambiente de funcionamiento del equipo se halla comprendida entre 25°C y 65°C . Se utilizará el circuito de polarización de la fig. C-11.

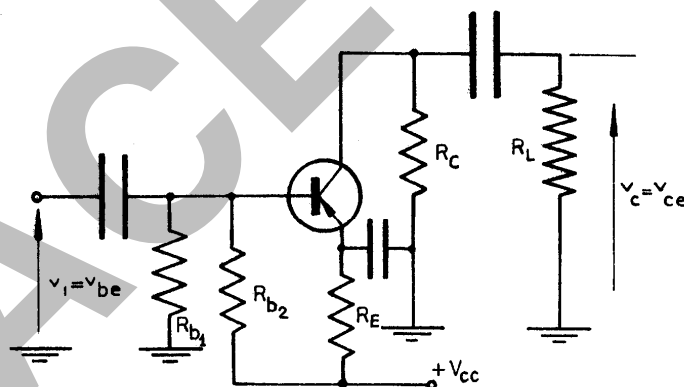


Fig. C-11

DATOS

$V_{CC} = 3 \text{ V}$
 $R_C = 2 \text{ k}\Omega$
 $R_L = 2 \text{ k}\Omega$
 $\beta_F = 40$
 $V_{BE} = 200 \text{ mV}$
 $I_{CBO} = 10 \mu\text{A}$
 $V_{CEK} = 0,3 \text{ V}$

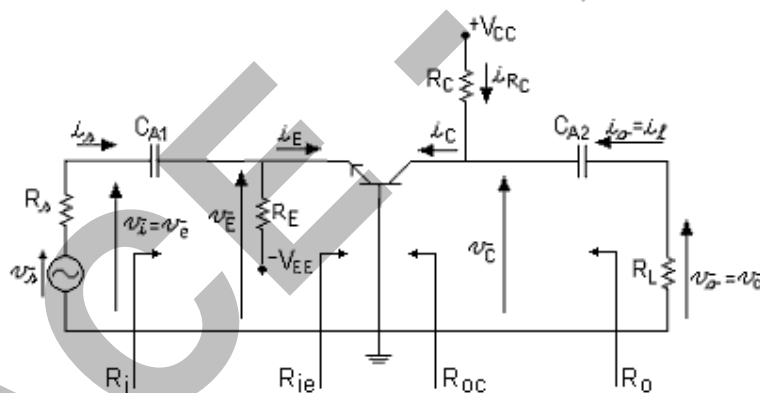
Se requiere poder obtener una tensión máxima de salida sin recorte de valor eficaz $0,2 \text{ V}$.

- a) Asignando un valor de $R_E = 0,35 R_C$, hallar los valores de R_E , R_{B1} y R_{B2} , de modo que el punto de reposo pueda desplazarse sobre las caracterís-

ticas de colector el mayor rango posible, cuando la temperatura varía entre los límites previstos, sin que se entre en la zona de corte ni en la de saturación, teniendo en cuenta la amplitud de la señal alterna que se desea tener. Se admitirá que los efectos de las variaciones de β_F y V_{BE} al variar la temperatura, son despreciables frente a las de I_{CBO} .

- Calcular la variación porcentual de I_{CQ} .
- Recalcular el circuito, admitiendo que I_{CBO} es constante y que $40 < \beta_F < 100$. Extraer conclusiones.
- Indicar en qué casos se continúa utilizando actualmente transistores de germanio a pesar de sus desventajas desde el punto de vista de la inestabilidad térmica.

C-22. Para el circuito de la fig. C-12, utilizando el modelo híbrido- π adaptado a la configuración de base común, despreciando los efectos reactivos, y admitiendo como única simplificación en los restantes componentes, la de considerar $r_\mu \gg \beta_o$ para una señal del generador de excitación en vacío $v_s = \hat{V}_s \sin(\omega t)$:



C-12

- Hallar la expresión (de ser posible, por inspección) de la resistencia de entrada vista desde el terminal del emisor del transistor:

$$R_{ie} = v_{eb} / i_e$$

Analizar las siguientes condiciones:

- $R_L = 0$
- $R_L \rightarrow \infty$
- R_L tiene un valor determinado

Graficar $R_{ie} = f(R_L)$

b) Idem a) pero vista desde el terminal del generador de señal:

$$R_i = v_{eb} / i_s$$

c) Determinar la amplificación de tensión referida al terminal de entrada del transistor (si es posible por inspección):

$$A_v = v_o / v_i = v_{cb} / v_{eb}$$

Para los siguientes casos:

1. Despreciando r_o y r_x .
2. Despreciando sólo r_o .
3. Despreciando sólo r_x .
4. Considerando r_o y r_x .

Graficar $A_v = f(R_L)$ para los cuatro casos considerados.

d) Idem c) referida a bornes del generador de señal en vacío:

$$A_{vs} = v_o / v_s = v_{cb} / v_s$$

e) Determinar la expresión de la resistencia de salida vista desde el terminal de colector (despreciando r_x y de ser posible por inspección):

$$R_{oc} = v_{cbp} / i_{cp} \text{ (el subíndice "p" indica señal de prueba)}$$

Analizar las siguientes condiciones:

- I) $R_s = 0$ (se excita con un generador de tensión ideal).
- II) $R_s \rightarrow \infty$ (se excita con un generador de corriente ideal).
- III) R_s tiene un valor determinado

Graficar $R_{oc} = f(R_s)$

f) Idem e) vista desde el borne de la resistencia de carga R_L :

$$R_o = v_{cbp} / i_{lp}$$

g) Hallar las expresiones de las amplificaciones de corriente:

$$A_i = i_c / i_e ; A_{il} = i_l / i_e ; A_{is} = i_c / i_s ; A_{ils} = i_l / i_s$$

h) Justificar mediante las formas de onda de las corrientes y tensiones totales y alternas en función del tiempo, de acuerdo al principio de funcionamiento del transistor, el sentido del generador controlado, y a partir de éste la relación de fase entre v_{cb} y v_{eb} , construyendo diagramas en forma correlativa.

C-23. Para el circuito de la Fig. C-12, se reemplaza el transistor bipolar por un JFET de canal N, con valores de resistores y fuentes de alimentación y signos de éstas últimas convenientes, como para que el dispositivo trabaje en la zona analógico-lineal.

- a) Rehacer todos los puntos del problema anterior si el JFET se reemplaza por su modelo incremental despreciando los efectos reactivos, y admitiendo el considerar despreciable los efectos de r_{gd} . Se excita con un generador de señal en vacío $v_s = \hat{V}_s \text{sen}(\omega t)$. Utilizar la nomenclatura correspondiente a este dispositivo.

C-24. Rehacer todos los puntos del problema anterior si el JFET se reemplaza por un MOSFET de canal N inducido con valores de resistores y fuentes de alimentación y signos de éstas últimas convenientes, como para que el dispositivo trabaje en la zona analógico-lineal.

C-25. Rehacer todos los puntos de los problemas anteriores si se utilizan en los tres casos, transistores de tipo contrario: PNP en lugar del NPN y canal P en lugar de canal N para el JFET y el MOSFET.

C-26. Un transistor bipolar NPN BC548B, se utiliza en un circuito como el de la Fig. C-13.

- a) Dibujar el circuito de continua e indicar sobre él todos los sentidos de referencia de corriente y tensiones entre cada dos terminales y entre cada terminal y común. Determinar el punto de reposo y las tensiones de los distintos terminales contra común.

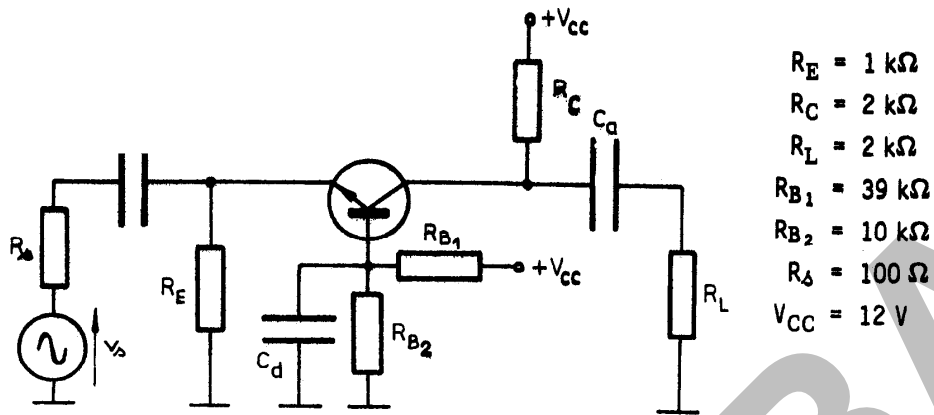


Fig. C-13

- Trazar las rectas de carga estática y dinámica correspondiente al punto de reposo, en un diagrama $I_C - V_{CE}$. ¿Por qué malla debe circularse? Explicar su trazado.
- Determinar el máximo valor \hat{V}_{cb} que puede alcanzarse sobre la resistencia de carga sin recorte.
- Hallar las amplificaciones A_V ; A_{VS} ; A_i ; A_{iL} ; A_{is} y A_{iLS} .
- Hallar la impedancia de entrada vista desde el generador de señal y de salida, vista desde la carga R_L .

C-27. Dado el circuito de la figura:

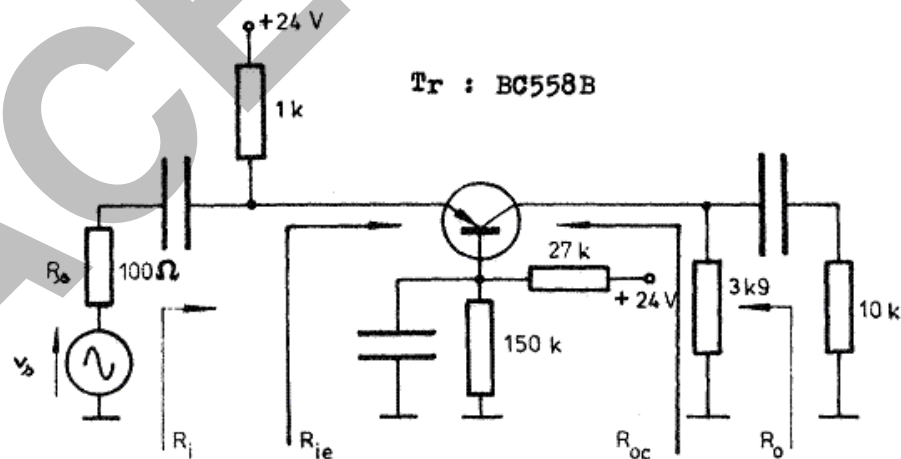


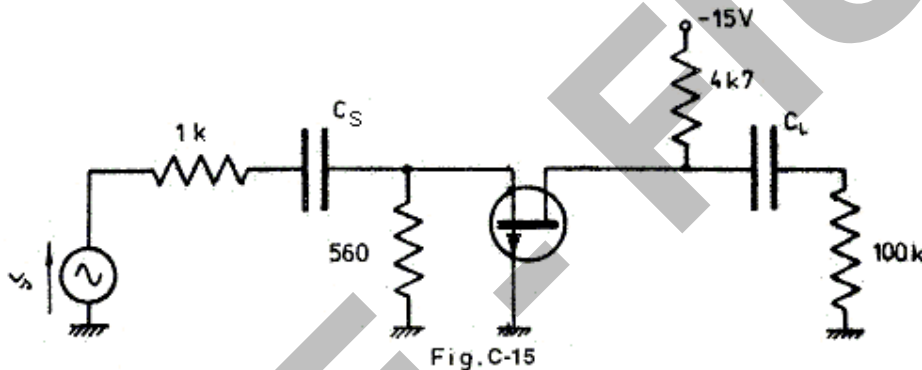
Fig. C-14

- Dibujar el modelo circuital para pequeña señal utilizando el circuito equivalente híbrido- π del TBJ.
- Determinar el punto de reposo.

- c) Calcular A_v y A_{v_s} .
- d) Calcular la amplificación de corriente (A_i).
- e) Hallar la resistencia de entrada vista desde el terminal de emisor, R_{ie} .
- f) Calcular la resistencia de entrada vista desde la fuente de señal, R_i .
- g) Hallar la resistencia de salida vista desde los bornes de colector, R_{oc} y la vista desde la carga de alterna, R_o .
- h) Calcular la amplitud máxima de señal de salida que puede obtenerse sin que haya recorte en ninguno de los 2 semiciclos.

C-28. En el amplificador de la figura en la configuración de compuerta común, se conocen:

$$I_{DSS} = -3,2\text{mA} ; V_p = 3,5\text{V} ; r_{ds} = 100\text{K}\Omega$$



- a) Hallar el punto de reposo y las tensiones de los terminales del dispositivo contra común.
- b) Dibujar el modelo equivalente para pequeña señal del circuito despreciando los efectos reactivos del dispositivo y r_{gs} y r_{gd} .
- c) Hallar la expresión de la amplificación de tensión referida al terminal de entrada A_v y referida al generador de señal A_{v_s} .
- d) Hallar la expresión de la impedancia de entrada del circuito vista del terminal de entrada y vista por el generador (R_{is} ; R_i).
- e) Hallar la expresión de la impedancia de salida vista del terminal de drain y desde el terminal de salida (R_{od} ; R_o).
- f) Justificar mediante las formas de onda de corriente y tensiones totales y alternas, la relación de fase entre v_{dg} y v_{sg} . Justificar el sentido del generador controlado en el modelo incremental.

g) Calcular A_v ; A_{v_s} ; R_o ; R_i .

C-29. Para el circuito de la Fig. C-16, utilizando el modelo híbrido- π despreciando los efectos reactivos, y admitiendo como única simplificación en los restantes componentes, la de considerar $r_\mu \gg \beta_o r_o$ para una señal del generador de excitación en vacío $v_s = \hat{V}_s \text{sen}(\omega t)$:

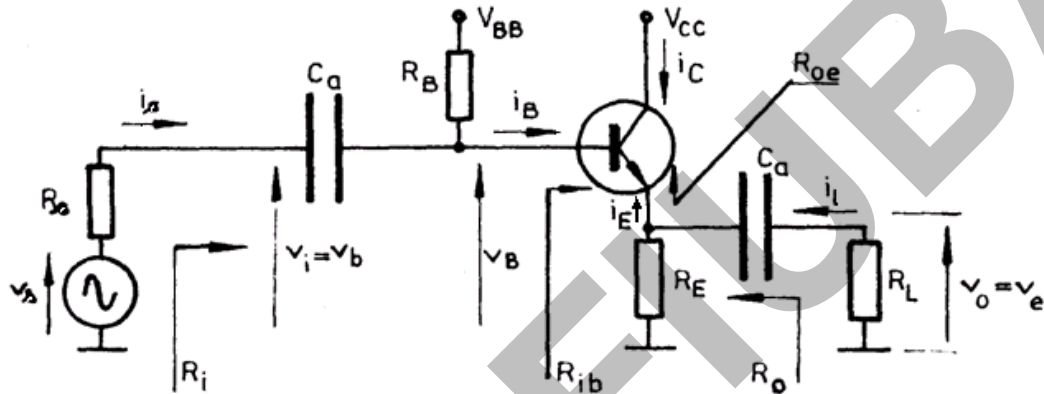


Fig. C-16

a) Hallar por inspección, justificando el procedimiento, la expresión de la resistencia de entrada vista desde el terminal de entrada del transistor:

$$R_{ib} = v_b / i_b$$

b) Idem a) pero vista desde el terminal del generador de señal:

$$R_i = v_b / i_s$$

c) Determinar por inspección, justificando el procedimiento, la expresión de la amplificación de tensión referida al terminal de entrada del transistor:

$$A_v = v_e / v_b = v_o / v_i$$

Para los siguientes casos:

1. Despreciando r_o y r_x .
2. Despreciando sólo r_o .
3. Despreciando sólo r_x .
4. Considerando r_o y r_x .

Indicar si hay diferencia de fase entre las tensiones v_i y v_o . Simplificar la expresión y explicar el resultado conceptualmente. Indicar por qué esta configuración corresponde a colector común y por qué se acostumbra a

denominar al circuito que trabaja en esta configuración *seguidor por emisor*.

d) Idem c) referida a bornes del generador de señal:

$$A_{vs} = v_o / v_s$$

e) Determinar por inspección, justificando el procedimiento, la expresión de la resistencia de salida vista desde el terminal de emisor:

$$R_{oe} = v_{ep} / i_{ep} \text{ (el subíndice "p" indica señal de prueba)}$$

Analizar las siguientes condiciones:

I) R_s tiene un valor determinado.

II) $R_s \rightarrow \infty$ (se excita con una fuente ideal de corriente).

III) $R_s = 0$ (se excita con una fuente ideal de tensión).

f) Idem e) vista desde los bornes de la resistencia de carga R_L :

$$R_o = v_{ep} / i_{lp}$$

C-30. Rehacer todos los puntos del problema anterior si se utiliza sucesivamente un JFET canal N y un MOSFET canal N inducido, polarizándolos de tal modo que funcionen en modo analógico-lineal.

C-31. Rehacer todos los puntos del problema anterior si se utiliza sucesivamente, transistores de tipo contrario: PNP en lugar del NPN y canal P en lugar de canal N para el JFET y el MOSFET, polarizándolos de tal modo que funcionen en modo analógico-lineal.

C-32. Un transistor BC548B se utiliza en un circuito como el de la figura:

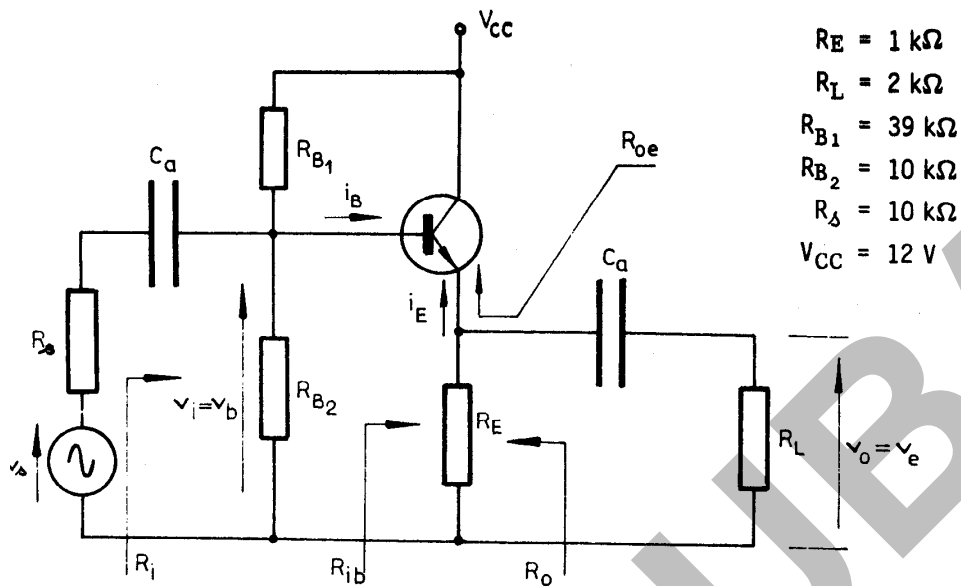
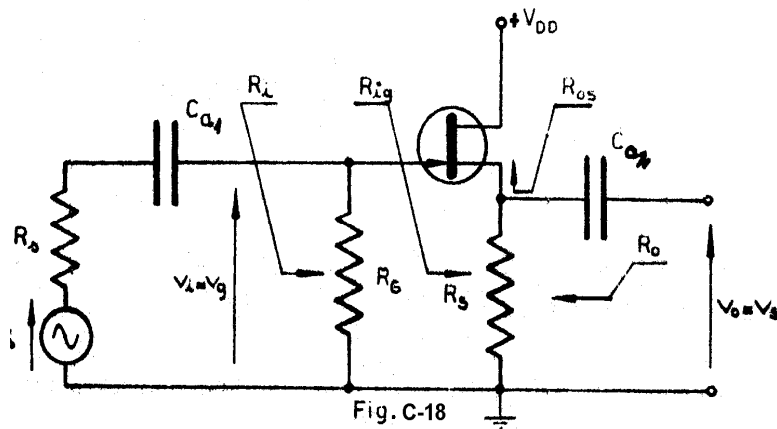


Fig. C-17

- Determinar el punto de reposo y las tensiones de los distintos terminales contra común.
- Trazar las rectas de carga estática y dinámica correspondiente al punto de reposo en un diagrama $I_C - V_{CE}$. Explicar su trazado.
- Calcular la resistencia de entrada vista desde el terminal de base R_{ib} .
- Hallar la resistencia de entrada vista desde los bornes de la fuente de R_i .
- Calcular la resistencia de salida vista desde el emisor R_{oe} .
- Hallar R_o .
- Calcular la amplificación de tensión A_v y la A_{vs} .
- En todos los casos, analizar la influencia del divisor de base sobre la señal alterna.
- Calcular el valor de $\hat{V}_{o \text{ máx}}$ que puede obtenerse sin que haya recorte.

C-33. Se utiliza el siguiente JFET en el circuito de la figura:



DATOS

I_{DSS}	$= 8 \text{ mA}$
V_p	$= -4 \text{ V}$
r_{ds}	$= 100 \text{ k}\Omega$
r_{gs}	$= 100 \text{ M}\Omega$
V_{DD}	$= 24 \text{ V}$
R_G	$= 5 \text{ M}\Omega$

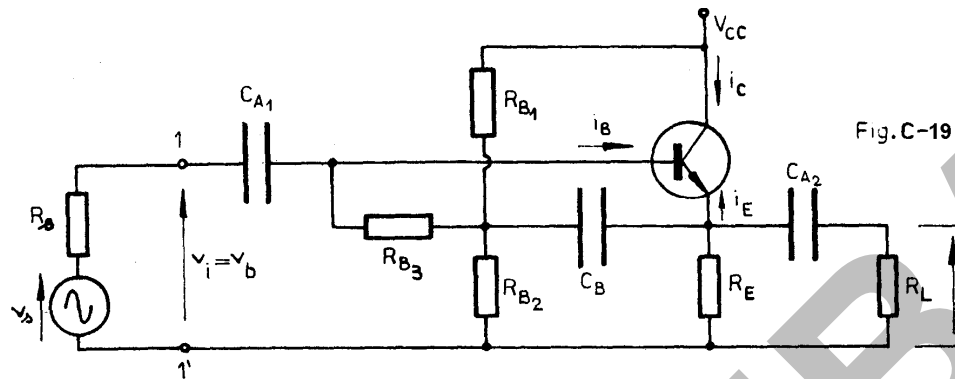
- Calcular R_S para que I_{DQ} sea de 2 mA.
- Calcular V_{DSQ} .
- Determinar la resistencia de entrada al dispositivo R_{ig} .
- Determinar la resistencia de entrada al circuito R_i .
- Determinar la resistencia de salida del dispositivo R_{os} vista desde el terminal de fuente, si R_s (resistencia interna del generador de señal) es de $200 \text{ k}\Omega$.
- Determinar la resistencia de salida del circuito R_o .
- Calcular la amplificación de tensión del circuito A_v .
- Calcular la amplificación de tensión $A_{vs} = v_o / v_s$.
- Analizar cualitativamente cómo se modificarán las tensiones de los terminales del transistor contra común si se reemplaza el JFET por un MOSFET de canal N preformado. ¿Y si fuera de canal N inducido?.

C-34. La resistencia de entrada vista por el generador de excitación en un circuito del tipo seguidor por emisor disminuye notablemente por causa de los resistores de polarización de base, ya sea que se utilice un divisor resistivo Fig. C-17 o un resistor conectado directamente a la fuente de alimentación Fig.

C-16. Los efectos del circuito de polarización de base sobre la resistencia de entrada pueden minimizarse mediante el uso de un circuito que se denomina en inglés, BOOTSTRAP, en que se muestra en la fig. C-19.

Se conocen los parámetros característicos del transistor a utilizar, la tensión de la fuente de alimentación, los resistores de polarización, la capacitancia C_B y la resis-

tencia interna del generador de señal. Se supone que los efectos reactivos son despreciables.



- Determinar el punto de reposo.
- Explicar conceptualmente la ventaja de este circuito en cuanto a la obtención de una elevada resistencia de entrada.
- Utilizando el modelo híbrido π simplificado para frecuencias medias, determinar la expresión de la resistencia de entrada vista desde los bornes 1-1' (R_i). Estudiar la expresión obtenida y simplificarla, en lo posible. Indicar cómo se la puede obtener por inspección.
- Se utiliza en TBJ BC548 en el circuito anterior, en el que se dan como datos:

$$V_{CC} = 24V ; R_L = 2K\Omega ; R_E = 2K\Omega ; R_{B1} = 300K\Omega ; R_{B2} = 50K\Omega ; R_{B3} = 150K\Omega$$

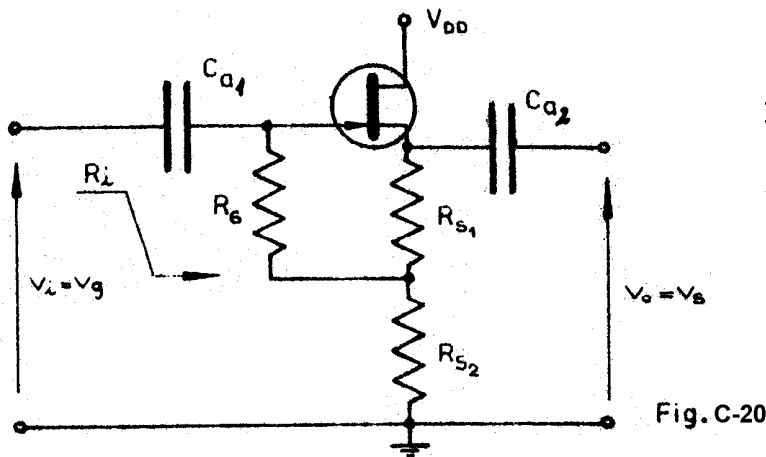
Utilizando los valores típicos que da el manual y las expresiones calculadas en los puntos anteriores, calcular:

- Las coordenadas del punto de reposo.
- La resistencia de entrada (R_i).

C-35. La figura muestra un JFET utilizado en un circuito seguidor de fuente.

Se desea ubicar el punto de reposo en $(I_{DQ} ; V_{DSQ}) = (2mA ; 2|V_P|)$.

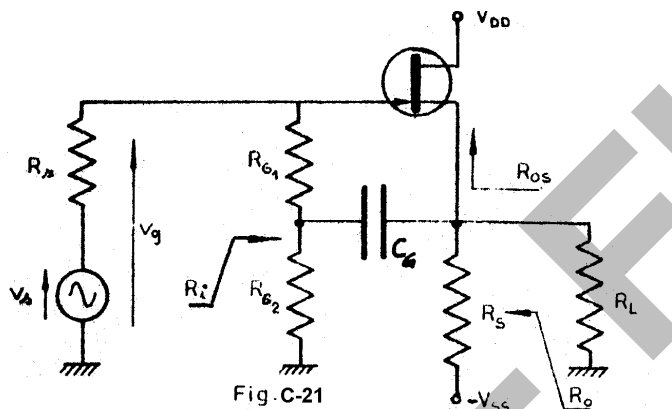
- Determinar R_{S1} y R_{S2} .
- Calcular g_m .
- Dibujar el modelo incremental para señales débiles, prescindiendo de los efectos reactivos (frecuencias medias). Calcular la amplificación de tensión A_v .
- Calcular la impedancia de entrada R_i .



DATOS

$$\begin{aligned} I_{DSS} &= 5 \text{ mA} \\ V_P &= -3 \text{ V} \\ V_{DD} &= 30 \text{ V} \\ R_G &= 10 \text{ M}\Omega \end{aligned}$$

C-36. En el siguiente circuito:



DATOS JFET

$$\begin{aligned} I_{DSS} &= 8 \text{ mA} \\ V_P &= -4 \text{ V} \\ r_{gs} &= 20 \text{ M}\Omega \\ r_{ds} &= 100 \text{ M}\Omega \\ r_{dg} &= 200 \text{ M}\Omega \end{aligned}$$

- Determinar el punto de reposo.
- Determinar A_v ; R_i y A_{vs} . Indicar el motivo por el cual se puede adoptar este sistema de polarización y cómo actúa.
- Determinar R_{os} ; R_o .
- Trazar las rectas de carga estática y dinámica sobre un plano $I_D - V_{DS}$.

DATOS:

$$V_{SS} = V_{DD} = 30 \text{ V} ; R_{G1} = R_{G2} = 1 \text{ M}\Omega ; R_S = 15 \text{ K}\Omega ; R_L = 10 \text{ K}\Omega$$

$$R_s = 2 \text{ M}\Omega \text{ (resistencia interna de la fuente de señal)}$$

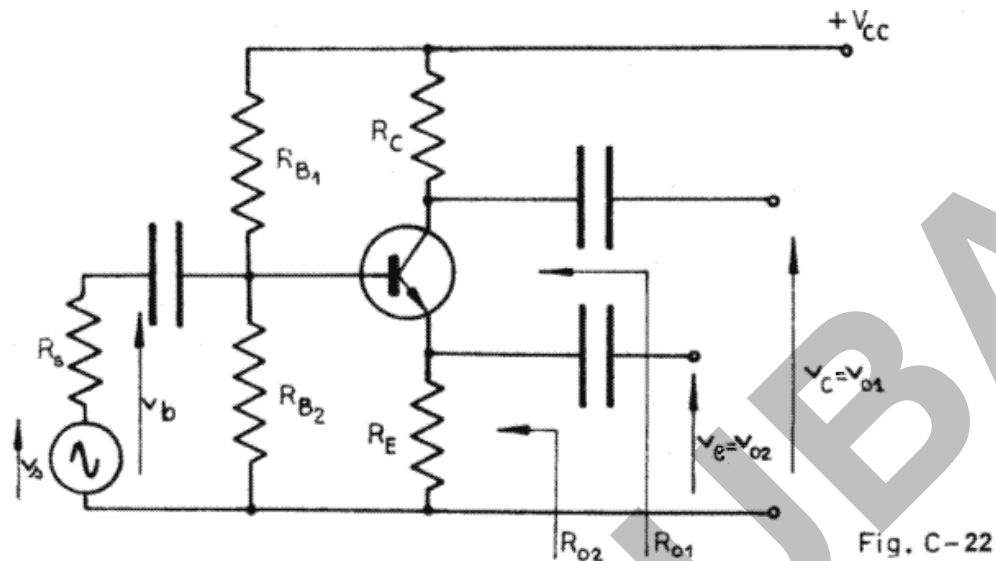
C-37. Se tiene la etapa amplificadora de la figura, donde se conocen:

$$V_{CC} = 24 \text{ V} ; R_C = 4 \text{ K}\Omega ; R_E = 4 \text{ K}\Omega ; R_{B1} = 120 \text{ K}\Omega ; R_{B2} = 60 \text{ K}\Omega ; R_s = 50 \text{ K}\Omega$$

TBJ: BC548B.

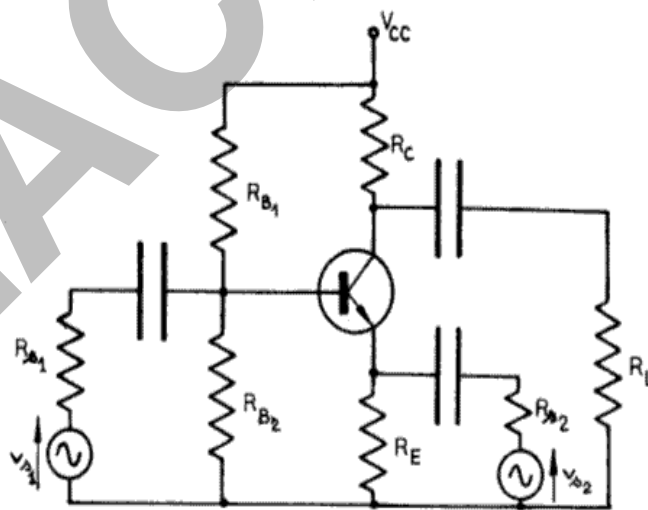
- Determinar el punto Q.
- Determinar $A_{v1} = v_c / v_b$ y $A_{v2} = v_e / v_b$.
- Determinar R_{o1} y R_{o2} .

Indicar qué utilidad tiene este circuito y qué problema presenta.



C-38. Para el circuito de la Fig. C-23, excitado simultáneamente mediante dos fuentes de señal se pide (admitiendo funcionamiento lineal para la señal):

- Tensión eficaz de salida sobre R_L , suponiendo nulas las resistencias internas de las fuentes de señal.
- Idem a) si las resistencias internas de las dos fuentes de señal son iguales y valen $R_{s1} = R_{s2} = 2\text{ k}\Omega$; justificar los resultados determinando las expresiones correspondientes.
- Idem b) si las resistencias internas de las dos fuentes de señal son distintas y valen $R_{s1} = 1\text{ k}\Omega$ y $R_{s2} = 2\text{ k}\Omega$.



DATOS

- $V_{CC} = 24\text{ V}$ $R_E = 2\text{ k}\Omega$
 $R_C = 5\text{ k}\Omega$ $R_{B1} = 180\text{ k}\Omega$
 $R_L = 5\text{ k}\Omega$ $R_{B2} = 47\text{ k}\Omega$
 TBJ de Si
 $\beta_F \approx \beta_0 = 250$
 v_{s1} y v_{s2} están en fase
 1) $V_{s1} = V_{s2} = 10\text{ mV}$
 2) $V_{s1} = 10\text{ mV}$ $V_{s2} = 11\text{ mV}$
 (valor eficaz)

Fig. C-23

C-39.

- Realizar una tabla resumen con las características de las tres configuraciones en las cuales puede trabajar un transistor como amplificador. Confeccionarla para TBJ, JFET y MOSFET. Indicar los siguientes parámetros de pequeña señal a frecuencias medias: A_i ; R_i ; R_o ; A_v y G_p y el rango de valores que típicamente presentan.
- Para el transistor BC548B polarizado con la red de polarización de la Fig. C-24, indicar donde se debe conectar el generador de señal y donde tomar la señal de salida, para que esté trabajando en EC, BC o CC. Indicar en cada caso cuanto valen A_i ; R_i ; R_o ; A_v .
- Idem b) si se reemplaza el BC548B por un MOSFET BS170.

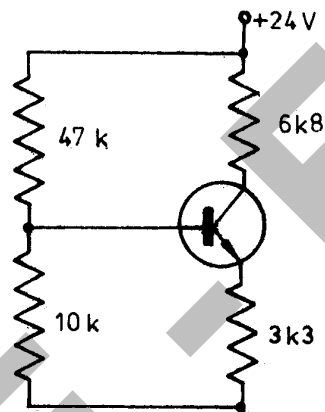


Fig. C-24

C-40. En los dos circuitos de la Fig. C-25, teniendo como datos:

$$\beta_{\min} = 100 ; \beta_{\max} = 400 ; V_{BE} \cong 0,7V ; \beta_F \cong \beta_o$$

- Hallar los puntos extremos de reposo considerando las variaciones de β_F .
- Hallar la corriente que circularía por R_L si ésta se acoplara en continua.
- Hallar cuál de los dos circuitos es más estable y por qué.
- Hallar las expresiones por inspección y los valores de R_i ; R_o ; A_v y A_{vs} .
- Hallar nuevamente las características de d) si se elimina el capacitor C_B (no se desacopla la base) ($r_{\text{dinámica Zener}} \cong 20\Omega$).

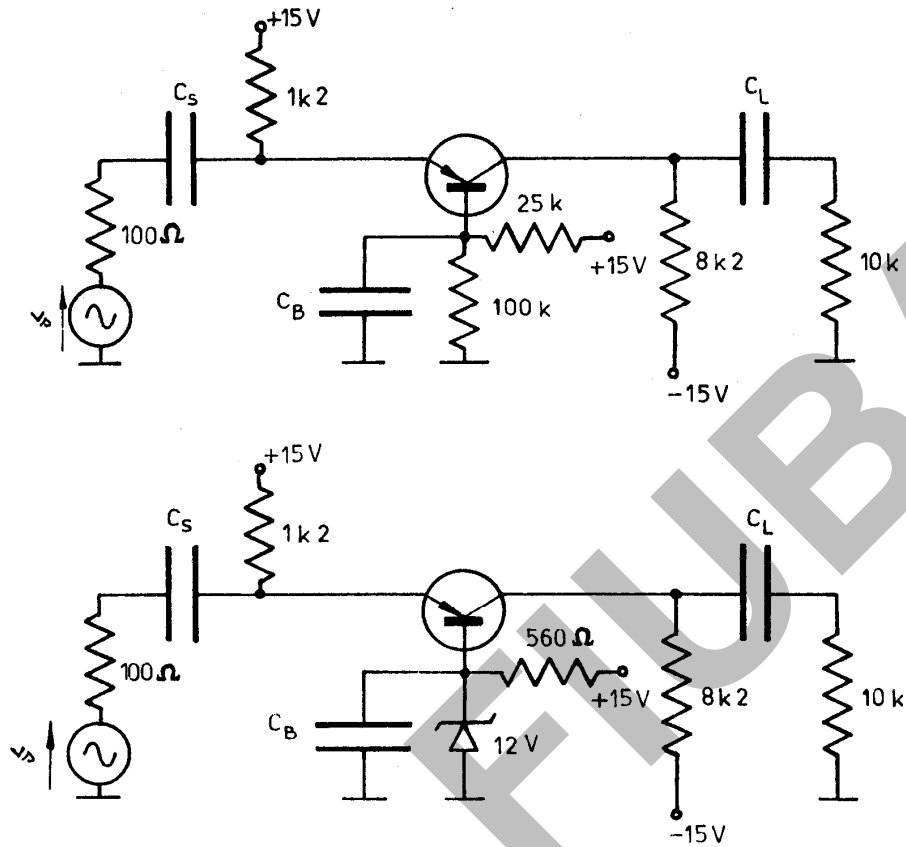


Fig. C-25

C-41. Para el circuito de la Fig. C-26:

- Determinar las ubicaciones extremas del punto de reposo.
- Determinar el valor de R_{ib} ; R_i ; R_{oc} ; R_o ; A_v ; A_{vs} .

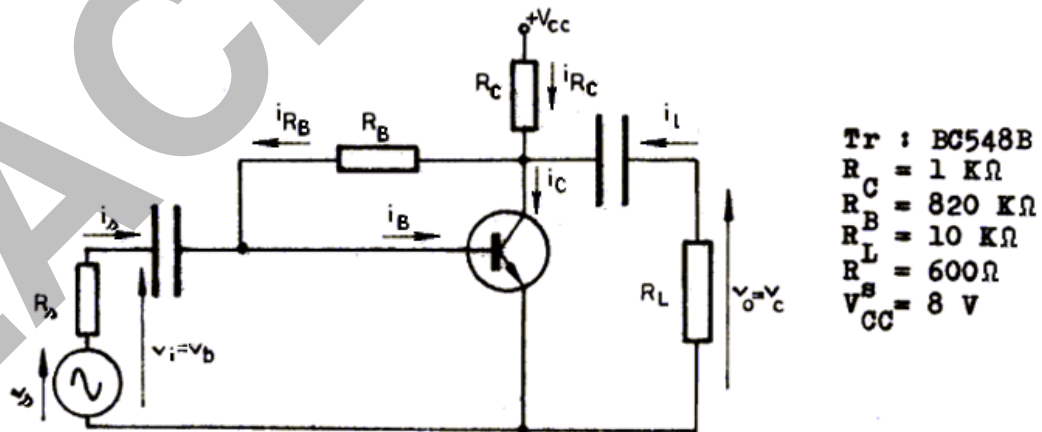
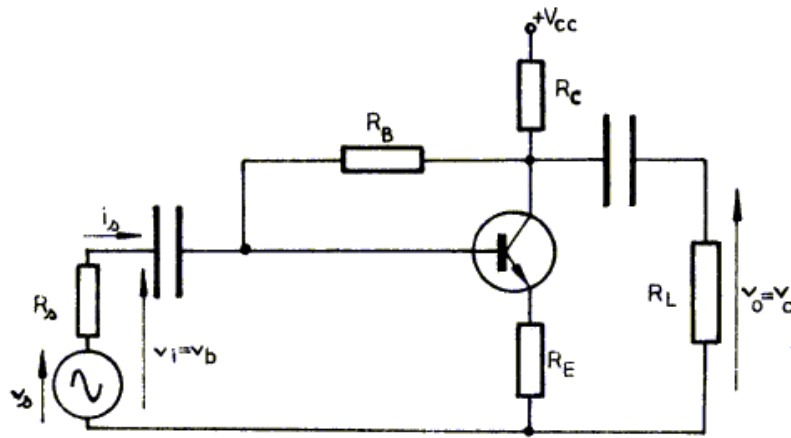


Fig. C-26

- Trazar las rectas de carga estática y dinámica indicando el máximo valor de $\hat{V}_{cm\acute{a}x}$ obtenible sin recorte.

C-42. En el siguiente circuito:



DATOS

Tr de Si
 $\beta_F = \beta_0 = 200$
 $r_x \approx 0$
 $V_A = 120V$
 $R_C = 10\text{ k}\Omega$
 $R_L = 10\text{ k}\Omega$
 $R_E = 0,5\text{ k}\Omega$
 $V_{CC} = 24\text{ V}$
 $R_s = 5\text{ k}\Omega$

Fig.C-27

- Determinar el punto Q que permite máxima excursión simétrica. Indicar el valor de \hat{V}_{ceM} y \hat{V}_{cM} obtenibles.
- Hallar, por simple inspección, el valor de $A_v = v_c / v_b$.
- Por simple inspección, determinar la resistencia de entrada R_i .
- Calcular $A_{vs} = v_c / v_s$.

C-43. Se necesita una etapa amplificador donde:

$$R_{i\min} = 50\text{K}\Omega ; (\Delta R_i / R_{i\min}) \cdot 100 < 15\% ; A_v = -10 ; R_L \rightarrow \infty$$

Se posee una fuente de alimentación de 9V y la tensión eficaz de señal de entrada no superará los 20mV. Diseñar la etapa.

C-44. Se requiere una etapa amplificadora con los siguientes requisitos:

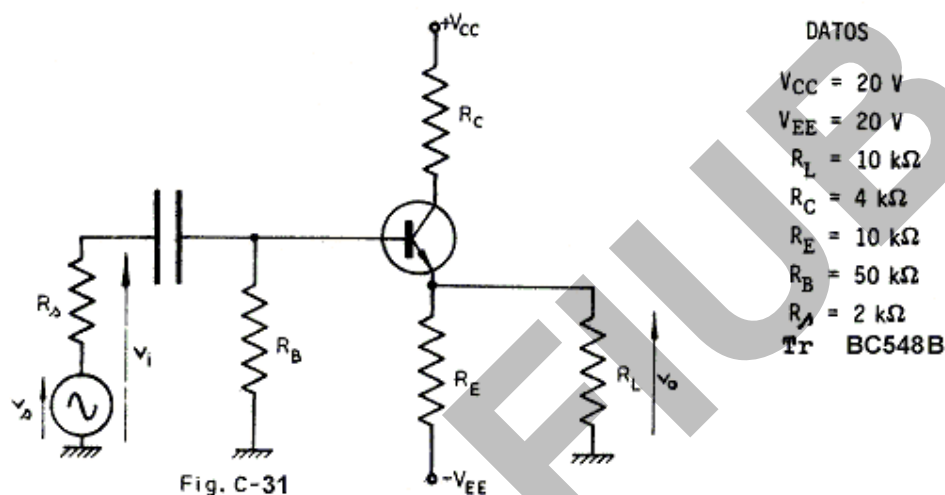
$$R_{i\min} = 200\text{K}\Omega ; A_v = -10 ; R_L = 20\text{ K}\Omega ; \hat{V}_{ceM} \text{ la máxima posible.}$$

Se dispone de $V_{CC} = 9V$. Diseñar la etapa. Indicar el valor de \hat{V}_{beM} .

C-45. Se desea construir una etapa amplificadora para la cual se requiere una resistencia de entrada $R_i = 25\Omega \pm 5\%$ y una amplificación de tensión entre terminales cuyo valor absoluto sea aproximadamente de 100. Se utiliza un TBJ BC548B. La resistencia de carga de alterna se acopla a través de un capacitor de reactancia despreciable y vale $R_L = 10\text{K}\Omega$. Se alimenta con $V_{CC} = 18V$.

- Calcular los valores de las componentes del circuito de polarización justificando el procedimiento.
- Indicar la máxima tensión de salida sin recorte que puede obtenerse sobre R_L .

C-46. Dado el circuito de la Fig. C-31, se pide:

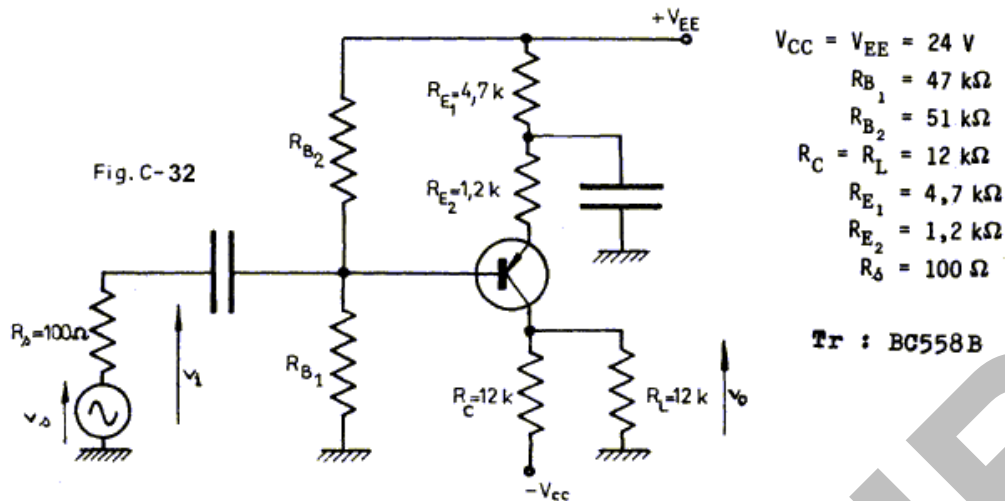


- Determinar la ubicación del punto Q indicando las tensiones de los tres electrodos contra común.
- Dibujar el circuito de señal sin reemplazar el transistor por su modelo. Determinar las expresiones de R_{ib} ; R_i ; R_{oc} ; R_o ; A_v y A_{vs} , y calcularlas. Indicar como se las puede obtener por simple inspección.
- Trazar las rectas de carga estática y dinámica en el plano $I_C - V_{CE}$. Determinar el valor de $\hat{v}_{o \text{ máx}}$ obtenible sin recorte en ninguno de los dos semiciclos.

NOTA: Tener en cuenta que siempre los cálculos deben ser efectuados con una tolerancia de alrededor de un 10%. Simplificarlos de acuerdo con ello.

C-47. En el circuito de la Fig. C-32:

- Determinar el punto de reposo indicando las tensiones de los electrodos contra común.
- Determinar R_{ib} ; R_i ; A_v ; A_{vs} .



- Determinar la resistencia de salida vista desde colector R_{oc} y la vista de los extremos de R_L , R_o , admitiendo que la resistencia interna de la fuente de señal es mucho menor que R_i de modo que pueda considerarse como ideal a la fuente de señal.
- Trazar las rectas de carga estática y dinámica y determinar la máxima amplitud de salida sin recorte adoptando valores convenientes para V_{CEK} e $I_{C \text{ min.}}$
- Calcular la potencia de entrada de continua al transistor, la potencia de alterna entregada para máxima señal y la disipada en este caso. Calcular el rendimiento de colector η_c y la ganancia de potencia G_p .
- Determinar la temperatura de trabajo para trabajo sin señal y a máxima señal, si la temperatura ambiente es de 30°C y $\theta_{ja} = 160^\circ\text{C/W}$. Explicar que representa θ_{ja} .

C-48. Para el circuito de la Fig. C-33, se pide:

- Determinar el punto de reposo y las tensiones de los terminales contra común.
- Determinar la amplificación de tensión entre terminales (A_v) y referida a la tensión de vacío del generador (A_{vs}).
- Determinar la resistencia de entrada vista desde el terminal de compuerta (R_{ig}) y la resistencia de entrada al circuito (R_i).

- d) Determinar la resistencia de salida vista desde el terminal de drenaje (R_{od}) y desde los extremos de R_L (R_o).

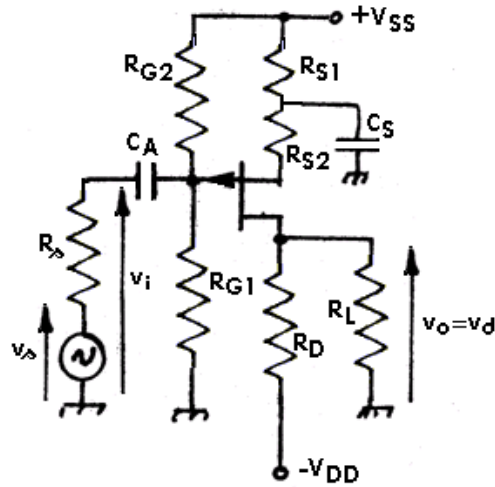


Fig C-33

$$\begin{aligned}
 V_{SS} &= V_{DD} = 18 \text{ V} \\
 R_{G2} &= 5 \text{ M} & R_{G1} &= 10 \text{ M} \\
 R_{S1} &= 4,7 \text{ K} & R_{S2} &= 300 \Omega \\
 R_D &= 10 \text{ K} & R_L &= 10 \text{ K} \\
 I_{DSS} &= -15 \text{ mA} & V_P &= 3 \text{ V} \\
 R_A &= 100 \text{ K}
 \end{aligned}$$

C-49. En el siguiente circuito de la Fig. C-34:

- Calcular el punto de reposo indicando las tensiones de los tres electrodos contra común.
- Trazar la RCE y ubicar el punto de reposo sobre ella.

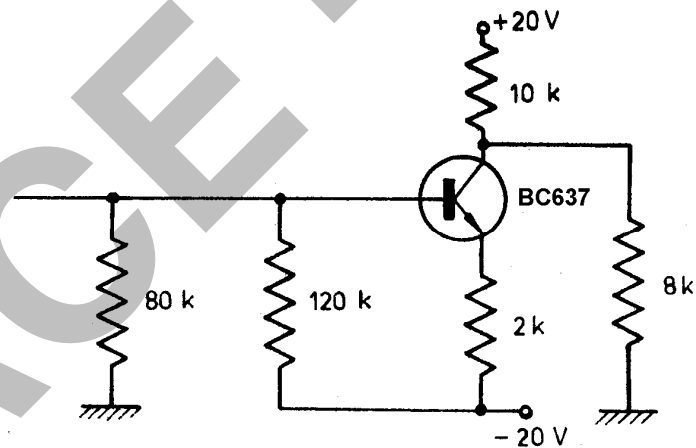
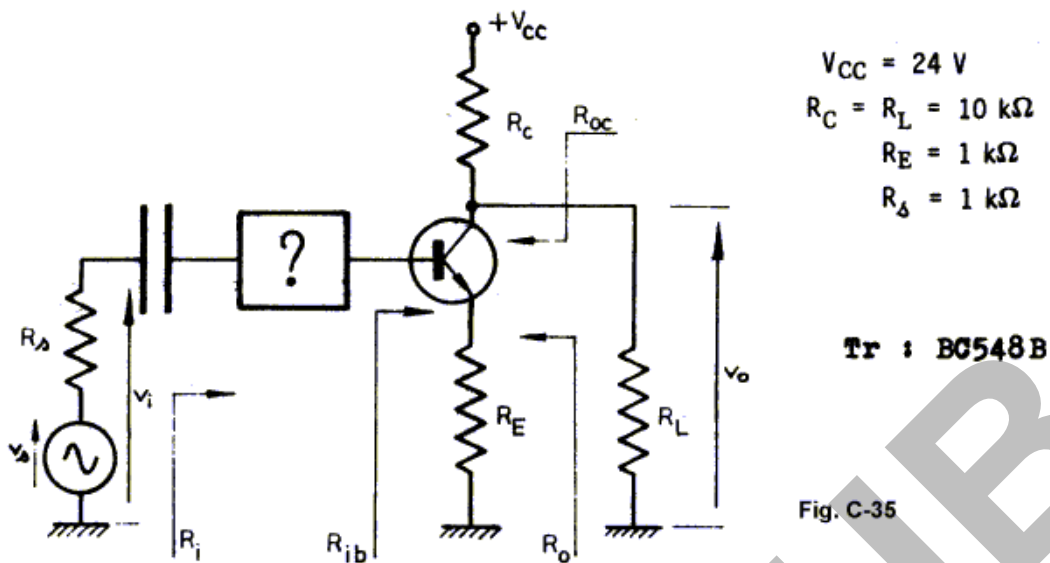


Fig. C-34

- Determinar la corriente de polarización de base.
- Determinar la corriente de reposo que se deriva por R_L .

C-50. En el siguiente circuito de la Fig. C-35:

- Definir RCE, determinar su ecuación y trazarla. Obtener los valores de su pendiente, ordenada y abscisa al origen.



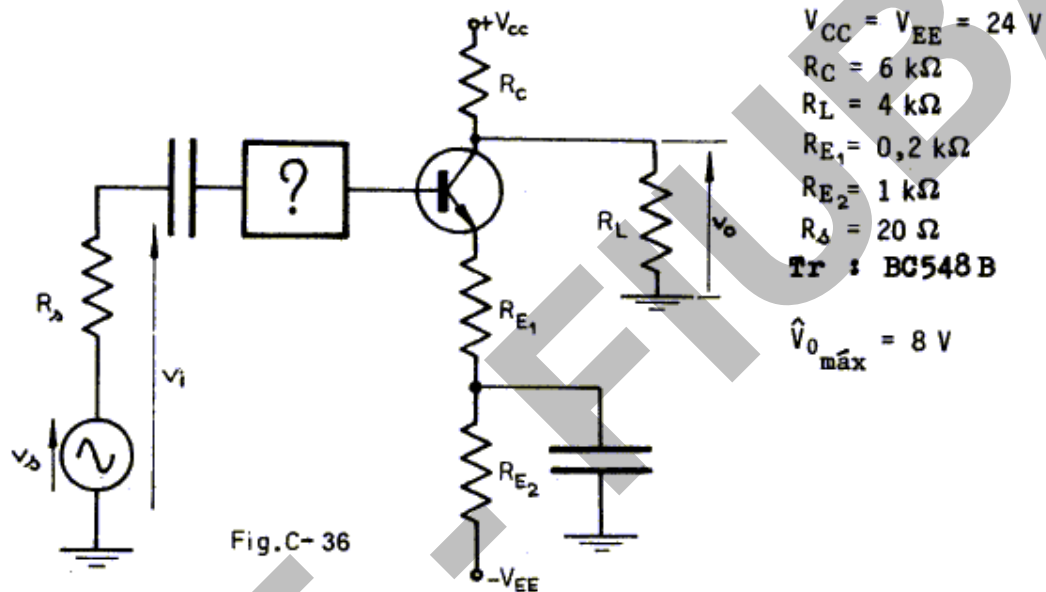
- Definir RCD, determinar su ecuación y trazarla explicando el procedimiento.
- Determinar el punto Q que permita obtener M.E.S., e indicar la máxima amplitud de señal obtenible sobre R_L adoptando valores convenientes de V_{CEQ} e $I_{C \text{ min.}}$
- Determinar la red de polarización de base si se admite:

$$\Delta I_{CQ} / I_{CQ \text{ MES}} = \pm 5\%$$
- Obtener las expresiones de R_{ib} ; R_i ; R_{oc} ; R_o ; A_v ; A_{vs} y calcularlas.

C-51. En el circuito de la Fig. C-36:

- Se requiere obtener sobre R_L una máxima amplitud de salida de 8V. Diseñar el circuito de polarización de base de modo que utilice el menor número de componentes. Adoptar valores convenientes de V_{CEQ} e $I_{C \text{ min.}}$. Obtener el valor y signo de I_{LQ} para los puntos extremos de trabajo. Determinarse la necesidad de utilizar divisor resistivo en la base, dibujar todas las configuraciones que puede tener el divisor –entre $\pm 24 \text{ V}$ o entre una de las fuentes de alimentación y común- que cumplan con los requerimientos del circuito a proyectar. Indicar en ellos, al lado de cada componente el valor correspondiente calculado para el mismo. Verificar por inspección, en forma aproximada en cada circuito posible, si se cumple con la condición pedida.

- b) Determinar la resistencia de entrada vista del terminal de base y la vista por la fuente de señal, la A_v entre terminales y la A_{v_s} . Justificar qué componentes del modelo se pueden despreciar y cómo se obtienen las expresiones correspondientes por inspección.
- c) Admitiendo que R_s resulta prácticamente despreciable, determinar la resistencia de salida vista del terminal de colector y la vista desde los extremos de R_L .



C-52. Para el mismo circuito del problema anterior –Fig. C-36–, rehacer todos los ítem pedidos en el punto a) de modo que se pueda obtener sobre R_L máxima excursión simétrica con una tolerancia en I_{CQ} de:

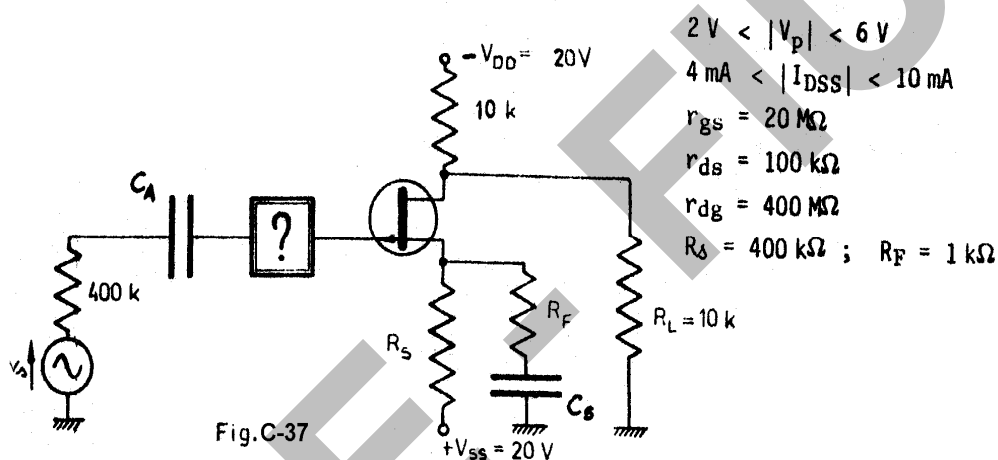
$$\Delta I_{CQ} / I_{CQ \text{ MES}} = \pm 5\%$$

C-53. Para el circuito de la Fig. C-37:

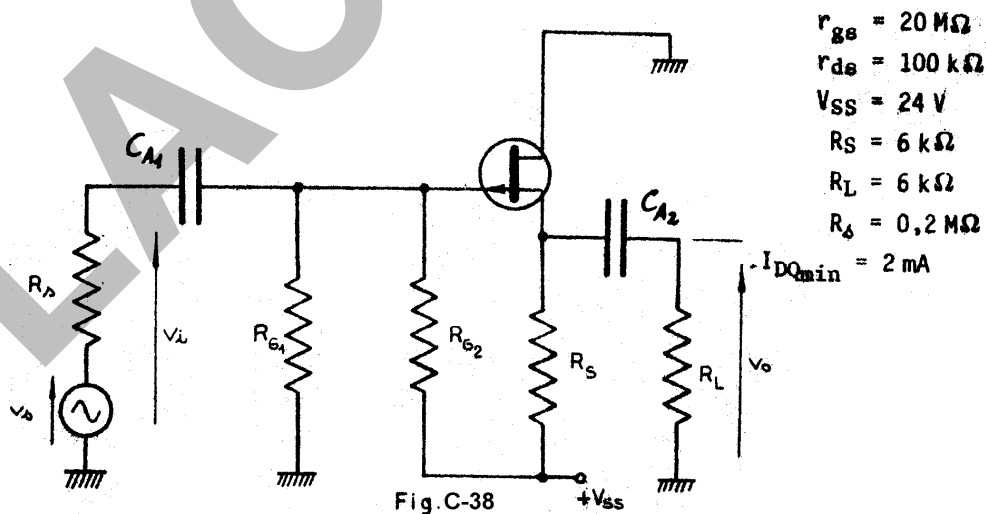
- a) Calcular I_{DQ} de modo que la V_{DQ} contra común sea nula. Determinar los valores extremos de I_{DQ} si se requiere que por R_L circule a lo sumo un 5% de I_{DQ} en uno u otro sentido. Tener en cuenta en el cálculo de los valores de I_{DQ} , la corriente que se deriva por R_L .
- b) Admitiendo que en esta familia de JFET a menor valor absoluto de I_{DSS} corresponde un menor valor absoluto de V_P , determinar los circuitos de polarización de fuente y gate necesarios para mantener I_{DQ} dentro de

los límites calculados. Explicar el procedimiento seguido dibujando los circuitos auxiliares que se utilizan y el circuito final. Adoptar un valor de R_i conveniente de acuerdo a la impedancia interna de la fuente de señal. De determinarse la necesidad de utilizar divisor resistivo en gate, dibujar todas las configuraciones que puede tener el divisor –entre ± 20 V o entre una de las fuentes de alimentación y común– que cumplan con los requerimientos del circuito a proyectar. Indicar en ellos, al lado de cada componente el valor correspondiente calculado para el mismo. Verificar por inspección, en forma aproximada en cada circuito posible, si se cumple con la condición pedida.

c) Determinar R_{ig} ; R_i ; A_v ; A_{vs} .



C-54. Para el siguiente circuito: $6mA < |I_{DSS}| < 12mA$; $3V < |V_P| < 5V$



- a) Determinar R_{G1} ; R_{G2} y el máximo valor de I_{DQ} que se puede tener.
- b) Determinar la resistencia de entrada vista desde el gate y desde los extremos de la fuente de señal, la resistencia de salida vista desde source y desde los extremos de R_L y las amplificaciones de tensión entre terminales y referido a la tensión de vacío de la fuente de señal.

C-55. Se desea construir un amplificador con TBJ que responda a las siguientes especificaciones:

- 1) La tensión de continua sobre el resistor de carga R_L , acoplado en forma directa, debe ser nula. Dada la dispersión en el valor del β_F del transistor que se utilice, se admite que por R_L puede circular una corriente de reposo de hasta un $\pm 5\%$ del valor de I_{CQ} para el que se logra $V_{LQ} = 0$.
- 2) La amplificación de tensión debe valer $A_v = v_o / v_i = -10$.
- 3) Se exige además que la tensión entregada por la fuente de señal no decaiga más que un 10% al ser acoplada al circuito a través de un capacitor de reactancia despreciable.

Se poseen dos fuentes de continua de 18V (una positiva y otra negativa respecto a común), la resistencia de carga vale $20K\Omega$, el transistor es un BC549B y la resistencia interna de la fuente de señal R_s es de $3K\Omega$.

- a) Determinar el circuito adecuado de polarización.
- b) Trazar las rectas de carga estática y dinámica y determinar la amplitud máxima de la señal de salida de modo que no haya recorte en ninguno de los dos semiciclos.

C-56. Para el circuito de la Fig. C-40:

Se trabaja con una frecuencia tal, que el período de la señal es mucho menor que las constantes de tiempo asociadas a C_L , C_s y C_E .

- a) Hallar las tensiones de los terminales del transistor contra masa y las coordenadas del punto de reposo.
- b) Hallar la amplificación de tensión y la impedancia de entrada.
- c) Esquematizar las formas de onda que podría observarse en un osciloscopio, en v_b y v_o para los cuatro valores de v_s indicados.

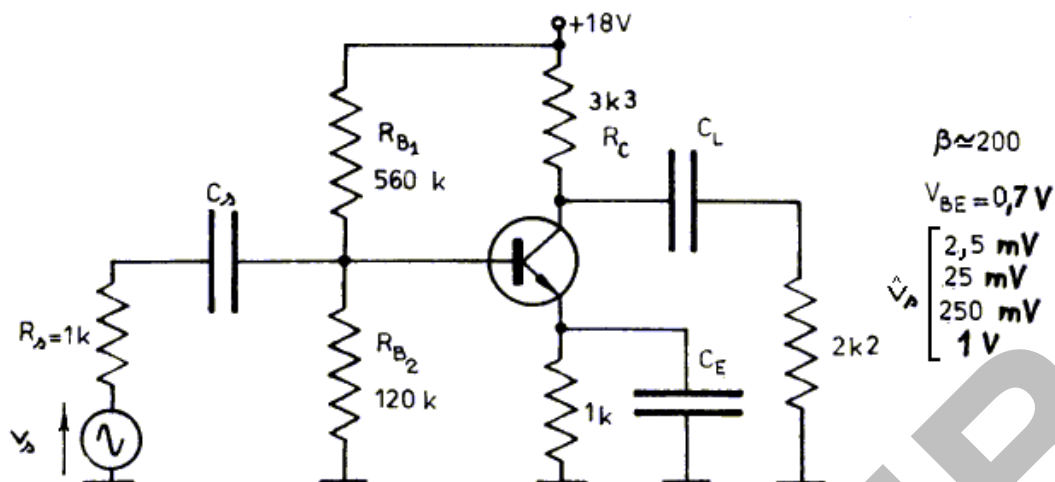


Fig. C-40

Se producen las siguientes modificaciones al circuito, de a una por vez - para cada una de ellas repetir los puntos anteriores -:

- 1) $R_{B1} = 56K\Omega$
- 2) $R_{B2} = 12K\Omega$
- 3) $R_C = 33K\Omega$
- 4) C_E se elimina.
- 5) C_L se cortocircuita.
- 6) Se invierte el transistor, el colector se conecta a lo que era el emisor y viceversa ($\beta_R \cong 2$).
- 7) Se coloca un transistor PNP de igual β_F con el emisor al potencial mayor (donde antes era colector).

C-57. En condiciones normales los valores de tensiones medidos y las formas de onda en distintos puntos del circuito son los indicados en la Fig. C-41. Hallar las tensiones y las formas de onda cuando se produce alguna de las siguientes modificaciones (fallas):

1. C_E cortocircuitado
2. C_L cortocircuitado
3. C_s cortocircuitado
4. R_{B1} abierta
5. R_{B2} abierta
6. R_C cortocircuitada

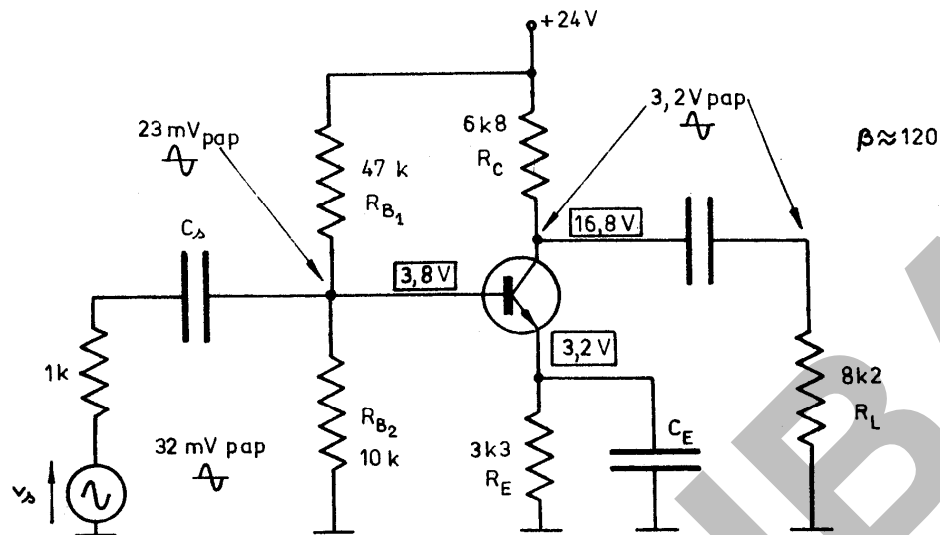


Fig. C-41

7. R_C abierta
8. R_E abierta
9. R_E cortocircuitada
10. R_L cortocircuitada
11. Juntura BE cortocircuitada; BC normal.
12. Juntura BC cortocircuitada; BE normal.
13. Terminales C-E cortocircuitados; B – abierta

C-58. En el circuito de la Fig. C-42, se han tomado mediciones de tensión de emisor y base correspondientes a distintos equipos, mediante un tester como medidor de tensión continua. Indicar en qué casos la lectura no se ajusta a los valores nominales de los componentes y a qué causa puede deberse si es que existe diferencia. Se admitirá que sólo puede fallar un componente por vez.

Fallas clásicas:

- 1) Resistencias abiertas o en cortocircuito.
- 2) Capacitores abiertos o en cortocircuito.
- 3) Transistores: junturas abiertas o en cortocircuito.

Puede suceder que una sola de las junturas esté en cortocircuito o abierta y que la otra se comporte normalmente e incluso, puede ocurrir que exista un cortocircuito entre colector y emisor y alguno de los diodos no esté en cortocircuito.

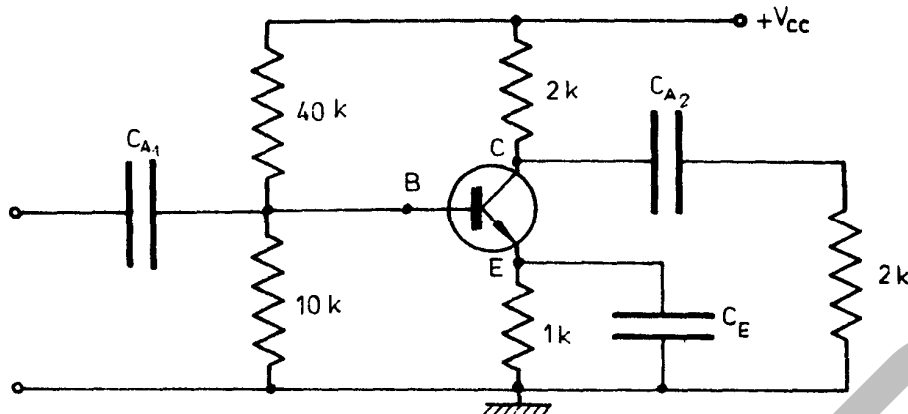


Fig. C-42

a) Se ha medido V_{CC} obteniéndose $V_{CC} = 12V$.

a₁) $V_E = 4V$; $V_B = 4,7V$; $V_C = 4,1V$

a₂) $V_E = 1,8V$; $V_B = 2,5V$; $V_C = 4,3V$

a₃) $V_E \cong V_B \cong V_C \cong 4V$

C-59. Para una etapa en colector común, con los siguientes valores:

$$V_{CC} = V_{EE} = 10V ; R_E = 5K\Omega ; R_L = 1K\Omega ; R_B = 33K\Omega$$

$$\beta_F = \beta_o = 100 ; V_{CE(sat)} = 0,2V ; v_i \text{ es una señal senoidal.}$$

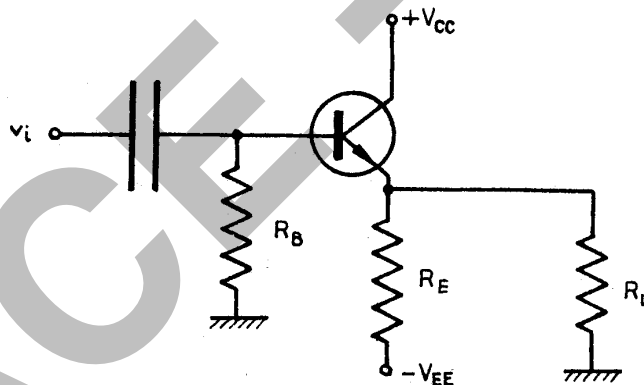
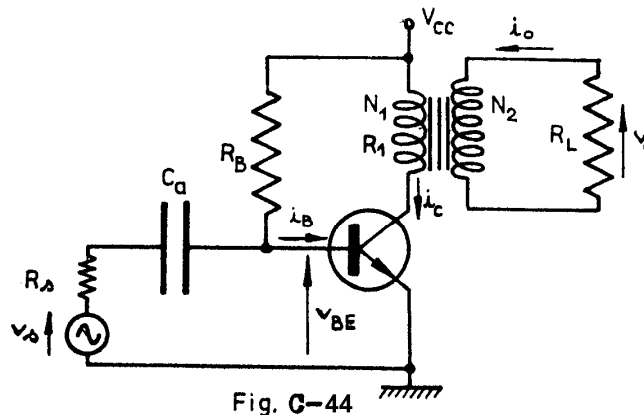


Fig. C-43

- Calcular la máxima potencia de salida que puede obtenerse en R_L antes de que haya recorte por el transistor, y el rendimiento de colector.
- Calcular el máximo rendimiento que puede alcanzarse con esta etapa y el valor de R_L correspondiente.

C-60. La figura siguiente representa un amplificador, sin estabilización del punto de reposo, donde la carga está acoplada por medio de un transformador.



DATOS

$V_{CC} = 12 \text{ V}$
 $R_B = 113 \text{ k}$
 $R_L = 40 \Omega$
 $R_1 = 50 \Omega \text{ (prim)}$
 $N_1 = 200 \text{ espiras}$
 $N_2 = 40 \text{ espiras}$
 $\beta_F = 100$
 $V_{BE} = 0,7 \text{ V}$

- Determinar las coordenadas del punto de reposo.
- Trazar la recta de carga estática y ubicar el punto de reposo, en un diagrama $I_C - V_{CE}$.
- Determinar la resistencia de carga para la señal alterna vista desde el colector del transistor.
- Trazar la recta de carga dinámica, explicando su trazado. Explicar por qué puede tenerse $v_{CE} > V_{CC}$ durante parte de uno de los semiciclos de la señal.
- ¿En qué tipo de circuitos y por qué motivo se puede utilizar acoplamiento de la carga mediante transformador?.
- Determinar la máxima amplitud alterna entre colector y emisor, de modo que no haya recorte en la forma de onda. Suponer que $V_{CEK} = 0,7 \text{ V}$ e $I_{C_{\min}} \cong 0$.
- Indicar a cuáles de los circuitos estudiados se recurriría si fuese necesario estabilizar el punto de reposo. ¿En cuál de ellos no se obtendría prácticamente ningún resultado? ¿Por qué?.
- Trazar la curva $I_C = f(V_{CE}) \mid P = \text{cte.}$ que pase por el punto de reposo hallado.
- Trazar la recta de carga dinámica que permite extraer la máxima potencia de señal alterna en colector sin que haya recorte.
- Determinar el valor de R_{ca} (resistencia de carga para la señal alterna vista desde el colector del transistor) .
- Determinar el valor de la relación de transformación ($n = N_1 / N_2$) necesaria para obtener la máxima potencia de salida.

- l) Calcular la máxima amplitud de la tensión alterna entre colector y emisor para este caso. Suponer que $V_{CEK} = 0,7V$ e $I_{C\ min} = 0,3mA$. Determinar el rendimiento (η_c).
- m) ¿Cuánto vale el máximo rendimiento (teórico) que podría obtenerse en este amplificador, trabajando en clase A?. Comparar con el calculado en el punto anterior.

C-61. La Fig. C-45 representa un amplificador sintonizado, utilizado en aplicaciones de radiofrecuencia donde se requiere amplificar señales acotadas en una banda angosta de frecuencias.

Se admite que todos los componentes son ideales (no tienen pérdidas) y se desprecian los efectos reactivos del transistor.

- a) Obtener el punto de reposo, admitiendo $\beta = 200$.
- b) ¿Cuál es la frecuencia de resonancia del circuito tanque L-C?. ¿Influyen los valores de las reactancias de los capacitores de acople y desacople en su valor?.
- c) Determinar el ancho de banda y el factor de mérito Q.
- d) Repetir los puntos anteriores si la carga de $50\ K\Omega$ se reduce a $5\ K\Omega$.
- e) Repetir los puntos anteriores si se reemplaza el TBJ por un MOSFET de canal inducido, admitiendo $V_T = 1V$ y $k = 1mA/V^2$.

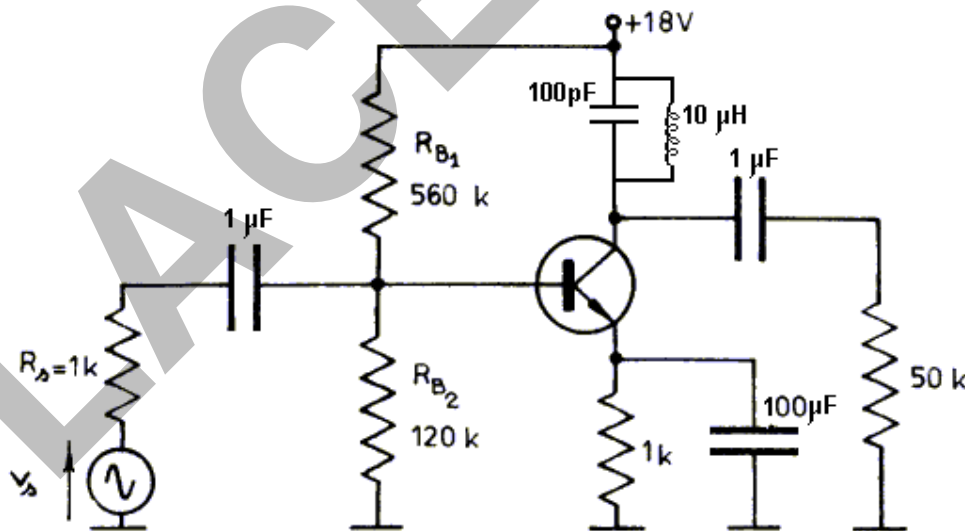
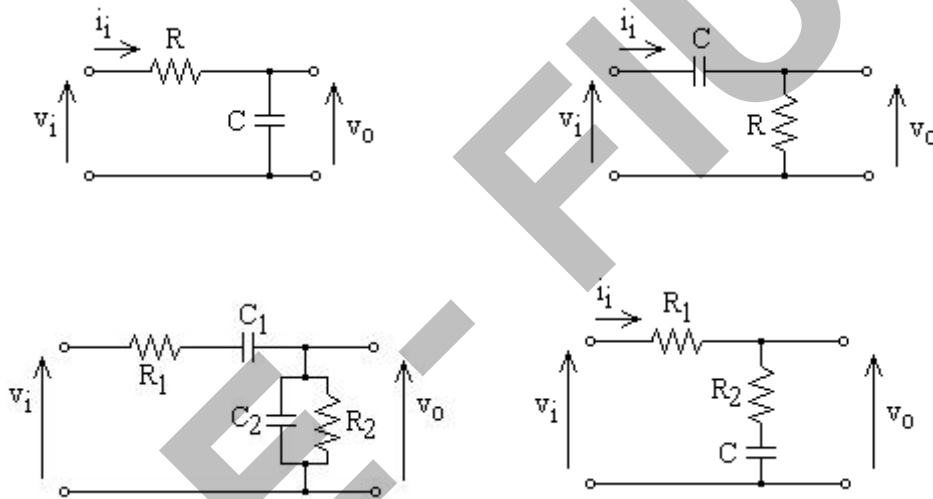


Fig. C-45

D. ESTUDIO DE LA RESPUESTA EN FRECUENCIA DE AMPLIFICADORES CON UN TRANSISTOR

D-1.- Para los circuitos indicados, obtener la función transferencia $T(s) = V_o(s)/V_i(s)$. Hallar analíticamente los diagramas de Bode de módulo y argumento - $|T(j\omega)|(\text{db})$ y $\phi_T(\omega)$ en función del \log_{10} de ω -, calculando los valores de las pulsaciones complejas de polos y ceros y las pulsaciones y frecuencias físicas de onda senoidal correspondientes. Indicar las frecuencias de -3db (si las hay), el ancho de banda (de -3db) y la relación $|T(j\omega)|$ a frecuencias medias. A partir de la definición de polo y cero de una transferencia, explicar cómo se pueden determinar los polos y ceros por inspección.

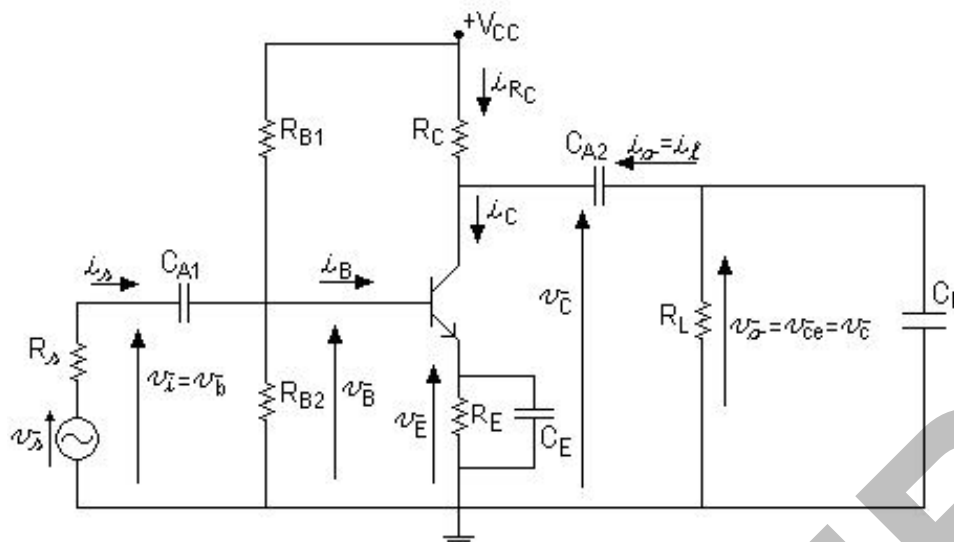


$$C = 0,1\mu\text{F} ; R = 10\text{K}\Omega ; R_1 = 1\text{K}\Omega ; R_2 = 2\text{K}\Omega ; C_1 = 1\mu\text{F} ; C_2 = 100\text{pF}$$

Nota: Se admite que v_i proviene de un generador ideal de tensión.

D-2.- Representar la respuesta a la función escalón $v_i = 1\text{V} \cdot u(t)$ en función del tiempo de los circuitos de la figura anterior. Definir y hallar la expresión del tiempo de crecimiento (rise time) t_r . Calcular su valor. Definir, hallar la expresión (para los circuitos que corresponda) y calcular, el porcentaje de caída a $t = \tau_{\text{polo}} / 5$; $t = \tau_{\text{polo}}$ y $t = 5 \cdot \tau_{\text{polo}}$, donde $\tau_{\text{polo}} = 1/\omega_{\text{polo}}$.

D-3.- Dado el siguiente circuito:



$$V_{CC} = 12V ; C_{A1} = 1\mu F ; C_E = 25\mu F ; C_{A2} = 10\mu F ; C_L = 5pF$$

(C_L representa la capacitancia de entrada de la etapa siguiente o de un instrumento)

$$R_{B1} = 68K\Omega ; R_{B2} = 10K\Omega ; R_s = 600\Omega ; R_C = 2,2K\Omega ; R_E = 1K\Omega ; R_L = 15K\Omega$$

$$f_T = 300MHz ; C_{ob} \cong C_\mu = 0,3pF ; \beta = 120 ; r_x = 100\Omega ; V_A \rightarrow \infty$$

- Hallar el punto de polarización. Dibujar el circuito de señal para frecuencias medias sin reemplazar el transistor por su modelo y hallar la amplificación de tensión $Av_s = v_o/v_s$ y las impedancias de entrada y salida vistas desde los terminales del generador de señal v_s/R_s y desde la carga R_L , respectivamente.
- Dibujar el circuito de señal para bajas frecuencias. Obtener la función $Av_s(j\omega) = v_o/v_s$, considerando **únicamente** el capacitor de acople de señal C_{A1} (los otros capacitores en serie con el camino de la señal se consideran en cortocircuito). Dibujar los diagramas de $|Av_s(j\omega)|$ y $\phi_{Av_s(\omega)}$ en escala lineal en función de la pulsación angular y los diagramas Bode de módulo y argumento para $Av_s(j\omega)$, e indicar en la pulsación de corte de -3 db.
- Repetir b) considerando únicamente el capacitor de desacople de emisor.
- Repetir b) considerando únicamente el capacitor de acople de la carga.
- Determinar la función $Av_s(j\omega)$ considerando la interacción de los tres capacitores de acople y desacople. Realizar el cálculo exacto para hallar las frecuencias propias de la red. Dibujar el diagrama de Bode de módulo y argumento, indicando la frecuencia de -3db, si la hay.

- f) Analizar la incidencia del valor de cada uno de estos capacitores en la frecuencia de corte inferior – f_{lv} (frecuencia de -3 db verdadera correspondiente a la zona de frecuencias bajas) – del circuito.

D-4.- Para el circuito del problema 3:

- a) Dibujar el circuito de señal para altas frecuencias sin reemplazar el transistor por su modelo. Hallar el modelo del transistor para altas frecuencias y reemplazarlo en el circuito anterior.
- b) Determinar la función $A_{vs}(j\omega)$, considerando la influencia de las tres capacitancias C_π , C_μ y C_L . Realizar el cálculo exacto para hallar las frecuencias propias de la red. Dibujar el diagrama de Bode de módulo y argumento, indicando la frecuencia a -3db, si la hay – f_{hv} (frecuencia de -3 db verdadera correspondiente a la zona de frecuencias altas)–.
- c) Analizar la incidencia del valor de la frecuencia de transición f_T .

D-5.- En el circuito del problema 3, dibujar los circuitos equivalentes para bajas, medias y altas frecuencias de la señal de entrada, sin reemplazar el transistor por su modelo.

- a) A partir del modelo para bajas frecuencias, dibujar los tres circuitos que se obtienen cortocircuitando dos de los tres capacitores de acople o desacople y pasivando el generador de señal. Se obtendrán tres redes R-C. Hallar para cada una de ellas, la constante de tiempo $\tau_i = RC$ y la frecuencia $f_i = 1/2\pi\tau_i$ propia de la red. Verificar que la frecuencia de corte (a -3db) de bajas frecuencias (frecuencia de corte inferior – f_{lv} – de todo el circuito) es **aproximadamente** la suma de las frecuencias propias de los circuitos R-C analizados – f_i –. Analizar la diferencia entre ambos valores y por qué se la llama a f_i **frecuencia de corte garantizable a frecuencias bajas**.
- b) Hallar la amplificación de tensión A_{vs} a frecuencias medias.
- c) A partir del modelo para frecuencias altas, reemplazar el transistor por su modelo y dibujar los tres circuitos asociados a cada uno de los capacitores con los otros a circuito abierto. Hallar para cada una de ellos, la constante de tiempo $\tau_i = RC$ y la frecuencia $f_i = 1/2\pi\tau_i$ propia de la red. Verificar que la frecuencia de corte (a -3db) de altas frecuencias (frecuencia de corte su-

perior – f_{hv} – de todo el circuito) es **aproximadamente** $f_h = 1/2\pi\tau_h$, donde τ_h es la suma de las constantes de tiempo de los circuitos R-C analizados. Analizar la diferencia entre ambos valores y por qué se la llama a f_h **frecuencia de corte garantizable a frecuencias altas**.

- d) Las f_i (τ_i) halladas en los puntos anteriores, tanto en bajas como en altas frecuencias, se conocen como frecuencias ficticias correspondientes a los valores de las pulsaciones complejas de los polos ficticios de la red dividida y simplificada – una red distinta por capacitor en paralelo con el camino útil de la señal- (constantes de tiempo ficticias). ¿Por qué?.
- Justificar cualitativamente el procedimiento del método para obtener las frecuencias de corte garantizables, conocido como **método de las constantes de tiempo**:

- ¿Por qué al analizar un capacitor que influye en bajas frecuencias se cortocircuitan el resto de capacitores que influye en esa misma zona?.
- ¿Por qué al analizar una capacitancia que influye en altas frecuencias se dejan a circuito abierto el resto de capacitancias que influye en esa misma zona?.
- ¿Bajo qué condiciones estas frecuencias ficticias podrían coincidir con las verdaderas asociadas a los polos de la red?.
- Teniendo en cuenta los valores obtenidos en los problemas 3 y 4: ¿cómo resultan entre sí la suma de las frecuencias de los polos verdaderos y la suma de las frecuencias ficticias en bajas frecuencias?; ¿cómo resultan entre sí la suma de las constantes de tiempo asociadas a los polos verdaderos y la suma de las constantes de tiempo ficticias en altas frecuencias?.
- ¿Qué condiciones deberían cumplirse en el circuito en cuanto a la ubicación de polos y ceros para que los valores obtenidos de frecuencias de corte garantizables, tanto en bajas como en altas frecuencias, se aproximen a las verdaderas (hipótesis de validez)?.

¿Puede en general obtenerse fácilmente por inspección la ubicación de los ceros de la transferencia a analizar, sin necesidad de recurrir a los circuitos asociados a las frecuencias ficticias?.

D-6.- A partir del circuito para altas frecuencias del problema 5:

- a) Utilizando el **teorema de reducción de Miller**, simplificar los circuitos, para obtener un circuito con secciones separadas entre sí:

Cada sección que corresponderá a un nodo distinto del circuito tendrá conectado uno o varios capacitores a común que resultarán ser o bien propios de ese par de terminales del circuito (nodo y común) o bien equivalentes de Miller de capacitores conectados entre el nodo en cuestión y otro distinto al común.

Justificar la ubicación del generador de prueba que debe colocarse para reflejar C_μ a la base ($C_{\mu i}^*$) y para reflejar al colector ($C_{\mu o}^*$). Hallar para cada nodo, considerando los restantes capacitores de otros nodos abiertos, la constante de tiempo y la frecuencia asociada. Determinar el valor de f_h con el procedimiento del punto d). Verificar que se obtiene el mismo resultado que en el punto c) del problema 5, motivo por el cual se utiliza siempre este método pues permite hallar el valor aproximado de la frecuencia de corte superior **por inspección** . a la vez de poder estimar la incidencia de cada nodo del circuito en la respuesta en altas frecuencias.

Partiendo del circuito simplificado mediante la aplicación de Miller, ¿pueden obtenerse los ceros de la transferencia?. ¿Por qué?.

D-7.- A partir de los circuitos equivalentes de señal del problema 5:

- a) Trazar un diagrama de Bode aproximado (es decir, a partir de lo obtenido aplicando el método de las constantes de tiempo para ambos extremos de la banda de frecuencias), indicando las frecuencias de corte de -3db, la amplificación de tensión a frecuencias medias y el ancho de banda.
- b) Determinar el tiempo de crecimiento y el porcentaje de caída a $t = \tau_1 / 5$, $t = \tau_1$ y $t = 5 \cdot \tau_1$ (donde $\tau_1 = 1/\omega_1$) si se aplica un escalón $v_s = 1\text{mV} \cdot u(t)$. Dibujar la forma aproximada de $v_o(t)$.

D-8.- En el circuito del problema 3, determinar los valores aproximados garantizables de las frecuencias de corte inferior y superior si se trabaja con cualquier transistor de la serie BC548B. Analizar cómo afectan los valores de las frecuencias de corte garantizables la dispersión de f_T , C_μ y β . Realizando un análisis de sensibilidad mediante Pspice, estudiar cómo afectan los valores de las frecuencias de corte verdaderas la dispersión de estos parámetros. ¿Coinciden los resultados con el análisis cualitativo realizado sobre las frecuencias de corte garantizables?.

D-9.- En el circuito de D-3, se elimina el capacitor de desacople de emisor.

- Determinar Av_s a frecuencias medias y los valores aproximados garantizables de las frecuencias de corte inferior y superior. Justificar la ubicación del generador de prueba que debe colocarse para reflejar C_μ y C_π a la base ($C_{\mu i}^*$ y $C_{\pi i}^*$) y para reflejar C_μ al colector ($C_{\mu o}^*$) y C_π al emisor ($C_{\pi o}^*$). Analizar la incidencia sobre las frecuencias de corte de la realimentación negativa en señal (resistencia de emisor sin desacoplar).
- Construir un diagrama de Bode de módulo y argumento donde se superpongan las respuestas aproximadas para las Av_s del amplificador del problema 3 y de este problema. Obtener conclusiones al comparar el $|Av_s|$ y el ancho de banda de ambos circuitos.

D-10.- En el amplificador del problema 9, se desconecta de la base el bloque formado por el generador de señal, su resistencia interna de 600Ω y el capacitor de acople de $1\mu F$ (v_s , R_s y C_{A1}); y se lo conecta al emisor, formando un circuito amplificador en base común.

- Determinar Av_s a frecuencias medias y los valores aproximados garantizables de las frecuencias de corte inferior y superior. Justificar la ubicación del generador de prueba que debe colocarse para reflejar C_μ y C_π a la base ($C_{\mu i}^*$ y $C_{\pi i}^*$) y para reflejar C_μ al colector ($C_{\mu o}^*$) y C_π al emisor ($C_{\pi o}^*$). Comparar con los resultados de los problemas anteriores. Obtener conclusiones.
- Analizar cómo se modifican los valores hallados en el punto a), si se desacopla la base mediante un capacitor $C_B = 25\mu F$. Obtener conclusiones.

D-11.- En el amplificador del problema 9, se desconecta del colector el bloque formado por la resistencia de carga de $15\text{K}\Omega$, la capacitancia parásita de 5pF y el capacitor de acople de $10\mu\text{F}$; y se lo conecta al emisor. Se elimina el resistor $R_C = 2,2\text{K}\Omega$, conectándose el colector directamente a V_{CC} . Queda formado entonces un circuito amplificador en colector común (seguidor por emisor).

- Determinar A_{v_s} a frecuencias medias y los valores aproximados garantizables de las frecuencias de corte inferior y superior. Justificar la ubicación del generador de prueba que debe colocarse para reflejar C_π a la base ($C_{\pi i}^*$) y al emisor ($C_{\pi o}^*$). Comparar con los resultados de los problemas anteriores. Obtener conclusiones.
- Analizar cómo se modifican los valores hallados en el punto a), si no se hubiese eliminado el resistor R_C , conectado el colector a V_{CC} a través de él. Obtener conclusiones.

D-12.- Repetir los problemas 3 a 10 si se reemplaza el TBJ por un:

- JFET canal N ($V_P = -2\text{V}$; $I_{DSS} = 10\text{mA}$; $C_{gs} = 5\text{pF}$; $C_{gd} = 1\text{pF}$).
- NMOSFET preformado ($V_T = -1\text{V}$; $k' = 1\text{mA/V}^2$; $C_{gs} = 5\text{pF}$; $C_{gd} = 0,5\text{pF}$).
- NMOSFET inducido ($V_T = 0,5\text{V}$; $k' = 1\text{mA/V}^2$; $C_{gs} = 5\text{pF}$; $C_{gd} = 0,5\text{pF}$).

D-13.- Repetir los problemas 6, 9, 10, 11 y 12, reemplazando el generador de señal v_s y $R_s = 600\Omega$ por otro v_{s1} y $R_{s1} = 100\text{K}\Omega$. Extraer conclusiones.

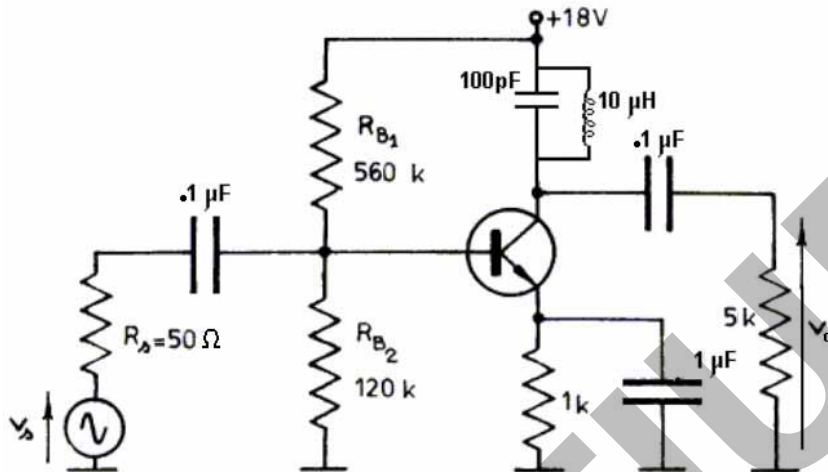
D-14.- En base a los resultados obtenidos en los problemas 3 al 12, realizar un análisis cualitativo de cuál puede considerarse el **nodo dominante** para altas frecuencias en cada configuración del transistor, para valores normales de corrientes de reposo, resistencias y parámetros del dispositivo. Analizar en forma explícita las diferencias que pudieran existir según se excite al amplificador con:

- un generador que acerque su funcionamiento a uno ideal de tensión.
- un generador que acerque su funcionamiento a uno ideal de corriente.

Suponer, en ambos casos, despreciable la influencia del circuito de polarización de base (gate) o emisor (source) según corresponda.

D-15.- Para el circuito indicado y conociendo:

$$f_T = 800\text{MHz} ; C_\mu = 0,1\text{pF} ; \beta = 100 ; r_x = 20\Omega ; V_A \rightarrow \infty$$



- Obtener la I_{CQ} y tensiones de los terminales del TBJ contra común.
- Dibujar el modelo de señal, sin reemplazar el transistor por su modelo. Obtener el valor de la frecuencia central f_o del amplificador de banda angosta, sin tener en cuenta las capacitancias internas del transistor. Admitir componentes ideales en el circuito tanque L- C (es decir, $Q \rightarrow \infty$). Definir y obtener el Q del circuito.

¿Pueden considerarse despreciables las reactancias de los capacitores de acople y desacople a la frecuencia de trabajo?

- Obtener Av_s a $f = f_o$ y trazar los diagramas de Bode de módulo y argumento de Av_s en escala lineal en función de la frecuencia, en el intervalo $0,1.f_o < f < 10.f_o$. Hallar el ancho de banda a -3db. Analizar la distorsión por frecuencia debido a la variación del módulo y el argumento que introduce el amplificador dentro de ese ancho de banda. Calcular el ancho de banda a -1db y extraer conclusiones en cuanto a la distorsión.
- Reemplazar el transistor por su modelo para altas frecuencias y simplificarlo mediante el uso del teorema de reducción de Miller (reflexión de C_μ a la base y al colector). Analizar cómo se modifican f_o y Q al agregar la influencia de las capacitancias internas del transistor. ¿Con qué valor de amplificación deberá reflejarse C_μ a la base?. Trazar los diagramas de módulo y argu-

mento de A_{v_s} en escala lineal en función de la frecuencia, en el intervalo $0,1.f_o < f < 10.f_o$.

- e) Repetir el punto d) si se excita al amplificador con un generador de señal de $R_s = 1K\Omega$ en lugar de 50Ω . Extraer conclusiones.
- f) Repetir los puntos anteriores si se reemplaza el TBJ por un NMOSFET canal inducido de parámetros $V_T = 1V$; $k' = 1mA/V^2$; $\lambda = 0$; $C_{gs} = 5pF$; $C_{gd} = 0,5pF$.
- g) Resolver los puntos b) y d) por Pspice en forma simultánea y superponer los diagramas de módulo y argumento de A_{v_s} en escala lineal en función de la frecuencia, en el intervalo $0,1.f_o < f < 10.f_o$. Obtener las diferencias que pudieran existir en los valores de f_o , del Q del circuito, del ancho de banda a -3db y del ancho de banda a -1db.

D-16. Para el circuito del problema D-3:

- a) Reducir el circuito visto por el generador v_s cuando se trabaja con frecuencias bajas, a una red RC del tipo de las analizadas en el problema D-1, tomando como entrada a v_s y como salida a v_i . ¿Quiénes son en este caso los equivalentes a R y C?. Observar que el cálculo del polo del capacitor C_{A1} por inspección, sólo es posible si no se considera la influencia de C_E . ¿Por qué debe considerarse a C_E en corto y no abierto para obtener un valor útil para garantizar el límite inferior de frecuencias medias?. Justificar cualitativamente. Verificar, tal como se vio en D-1, que el cálculo de los ceros no necesita de esta hipótesis. Calcularlos.
- b) Obtener por inspección el polo creado por C_E si se cortocircuita C_{A1} . Extraer conclusiones
- c) Reducir el circuito visto por el generador v_s cuando se trabaja con frecuencias altas, a una red RC del tipo de las analizadas en el problema D-1, tomando como entrada a v_s y como salida a v_i . Al reducir C_μ a los terminales de entrada como una capacidad equivalente en paralelo con C_π , mediante la aproximación de Miller, de valor $C_\mu (1 + |A_v|)$. ¿Por qué el peor caso se dará para el valor de A_v a frecuencias medias?. Justificar.

- d) Obtener la frecuencia del polo asociado a la red RC hallada en el punto "c". ¿Por qué, aún llamándose ficticio tiene sentido su cálculo?. Comparar su valor con f_T y f_β . Extraer conclusiones.
- e) ¿Cómo se modifica la red RC equivalente hallada en "c" si se elimina el capacitor de desacople C_E ?. Justificar la forma de reducción tanto de C_π como de C_μ al terminal interno o nodo de base de la zona de control (B'). Obtener la frecuencia del polo asociado a la red RC de este circuito de altas frecuencias. Comparar su valor con f_T y f_β . Extraer conclusiones.
- f) Reducir para altas frecuencias, el circuito visto por la carga R_L/C_L "mirando" hacia el conjunto [amplificador-generador de excitación], tomando como entrada a una tensión v_{cp} entre colector y común. Construir la red RC del tipo de las analizadas en el problema D-1, acoplando la resistencia R_L y la capacitancia C_L , quedando C_μ reducida a los terminales de salida como una capacidad equivalente en paralelo con C_L . Obtener la frecuencia del polo asociado a esta red RC. Comparar su valor con la frecuencia asociada al polo del nodo de base, calculada en el punto "e" y con f_T y f_β . Extraer conclusiones. ¿Por qué su valor puede ser de importancia al obtener la f_h en el circuito de EC, con R_E desacoplada?
- g) Justificar por qué la red RC del punto "e" resulta similar para una configuración de seguidor por emisor. Obtener el nuevo valor del polo del nodo de base (B'), si R_C se desacopla eliminando R_L y C_L y se conecta C_{A2} a común. ¿Cómo se modifica la capacitancia total del nodo de base?. Comparar su valor con f_T y f_β . Extraer conclusiones sobre la respuesta en frecuencia de esta configuración.
- h) Si se desconecta el generador v_s y su resistencia interna R_s , se lo acopla al emisor a través del capacitor C_E y se conecta a común el capacitor C_{A1} , la configuración del amplificador será la de base común. ¿Cómo se modifica la red RC equivalente hallada en "c" para altas frecuencias?. Obtener la frecuencia del polo asociado a la red RC de este circuito. Comparar su valor con f_T y f_β . Extraer conclusiones. Observar que, si bien la frecuencia asocia-

da a la red RC de emisor es cercana a f_T , está muy lejos de ser el ancho de banda útil del amplificador ya que, al existir una corriente que desde la salida, se cierra a través de C_μ y r_x a común, provoca un aumento de la tensión del terminal interno o nodo de base de la zona de control (B^-), que hará disminuir v_{eb^-} , disminuyendo i_c y por lo tanto $v_{cb}=v_o$ es decir, la respuesta de señal caerá con la frecuencia, a medida que la corriente a través de C_μ se haga más importante. De acuerdo con este análisis cualitativo, si el generador de señal fuese de corriente casi ideal (R_s muy grande), importaría la existencia o no de r_x en la respuesta en frecuencia del base común?. Justificar cualitativamente.

- i) Obtener el valor de la frecuencia asociada al polo del terminal interno de base para el circuito de dicho nodo del punto "h" (con el valor de R_s del circuito del problema D-3), utilizando la aproximación de Miller para "reflejar" ambas capacitancias C_π y C_μ . Comparar con f_T y f_β . ¿Por qué la red RC equivalente resulta similar a la del punto "e"?
- j) Reducir para altas frecuencias, el circuito del punto "h" visto por la carga R_L/C_L "mirando" hacia el conjunto [amplificador-generador de excitación], tomando como entrada a una tensión v_{cp} entre colector y común. Construir la red RC del tipo de las analizadas en el problema D-1, acoplando la resistencia R_L y la capacitancia C_L . Explicar por qué resulta la misma que la obtenida en el punto "f".
- k) Comparar para el circuito del punto "h", las frecuencias asociadas a los polos ficticios originados por las capacitancias asociadas a cada uno de los tres nodos. Extraer conclusiones.
- l) Repetir el análisis de los puntos anteriores, reemplazando el TBJ en el circuito del problema D-3, manteniendo todos los valores indicados de los componentes del mismo, por un NMOFET canal inducido con:
 $V_T = 0,4 \text{ V}$; $k = 4 \text{ mA/V}^2$; $C_{gs} = 2 \text{ pF}$; $C_{gd} = 0,2 \text{ pF}$
 Calcular el valor de f_T del NMOS.

E. ESTUDIO DEL COMPORTAMIENTO DE AMPLIFICADORES CON VARIOS TRANSISTORES A FRECUENCIAS MEDIAS

E-1. Para el siguiente amplificador de dos etapas con acoplamiento R-C:

- a) Determinar los respectivos puntos de reposo, indicando las tensiones de los electrodos contra común.
- b) Dibujar el circuito de señal sin reemplazar los transistores por su modelo y obtener A_v , R_i , R_o , A_{vs} a frecuencias medias.
- c) Determinar la máxima amplitud de la tensión de salida sin recorte. Verificar en estas condiciones si recorta la primera etapa.
- d) Determinar la máxima amplitud de la tensión de entrada \hat{V}_i y de la tensión de vacío del generador de excitación v_s , de modo que no haya recorte a la salida.

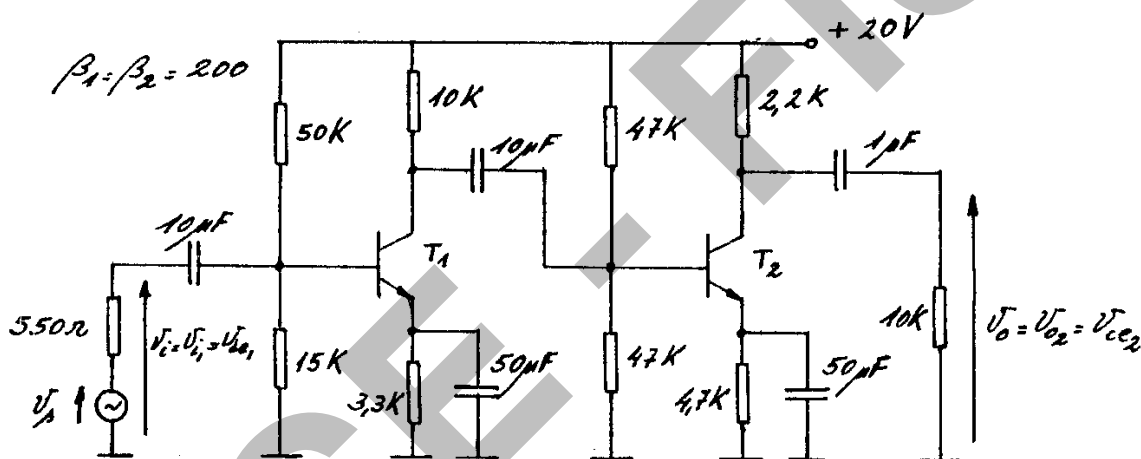


Fig. E-1

E-2. Se tienen los siguientes amplificadores de tres etapas en emisor común con acople directo.

- a) Dibujar el circuito de continua para ambos, indicando todos los sentidos de referencia de las corrientes, tensiones base-emisor, base-colector y de los terminales de los tres transistores contra común.
- b) Determinar el punto de reposo de cada etapa, indicando las tensiones de los tres electrodos respecto de común. ¿Qué utilidad brinda conocer estos valores?. ¿Es necesario utilizar en este caso capacitores de acople entre etapas?. ¿Es necesario en alguno de los dos casos utilizar el capacitor de acople de la carga?. Justificar.

- c) Construir un cuadro con las tensiones de los tres colectores contra común. Comparar los valores entre ambos circuitos. Extraer conclusiones.
- d) Dibujar el circuito de señal sin reemplazar los transistores por su modelo y obtener A_v , R_i , R_o , A_{vs} a frecuencias medias.
- e) Determinar la máxima amplitud de la tensión de salida sin recorte. Verificar en estas condiciones si recorta la primera etapa.
- f) Determinar la máxima amplitud de la tensión de entrada v_i y su valor eficaz. Determinar la máxima amplitud de la tensión de vacío del generador de excitación v_s y su valor eficaz, de modo que no haya recorte a la salida. Comparar los valores para ambos circuitos y extraer conclusiones.

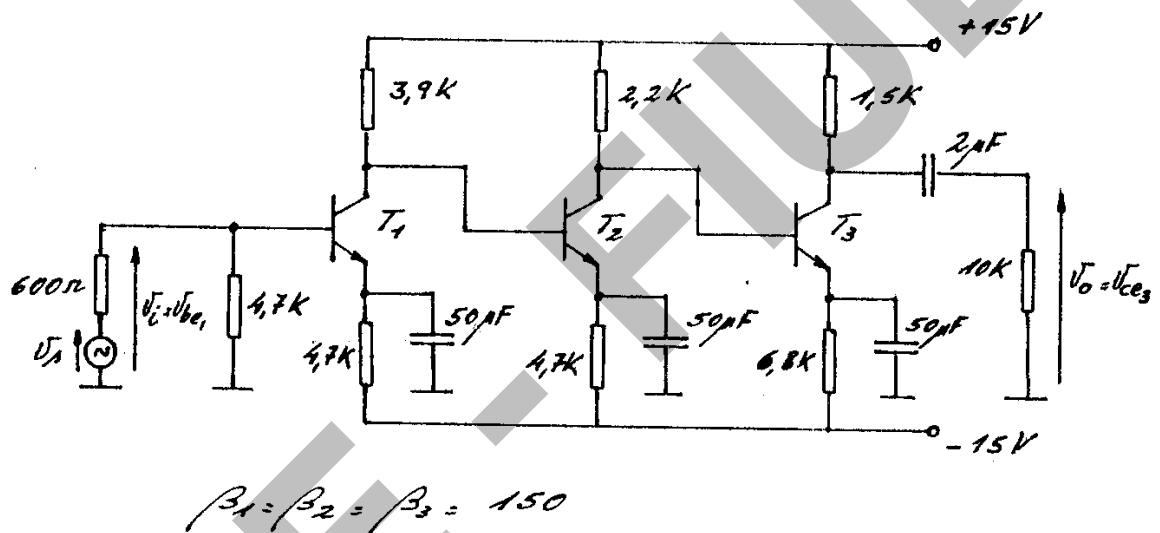


Fig. E-2a

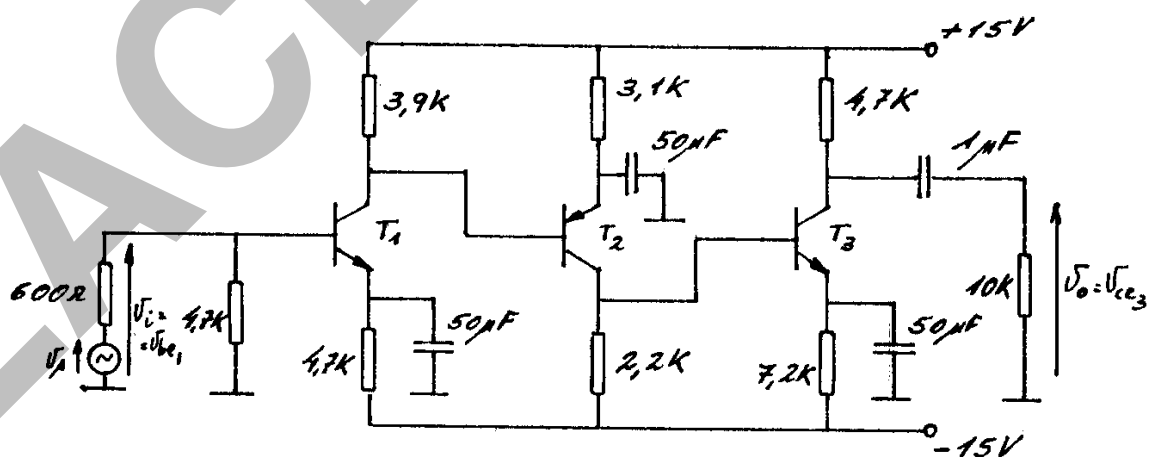


Fig. E-2b

E-3. Para los siguientes amplificadores, indicar la configuración en que funciona cada etapa y resolver para cada caso los puntos indicados en el problema E-1.

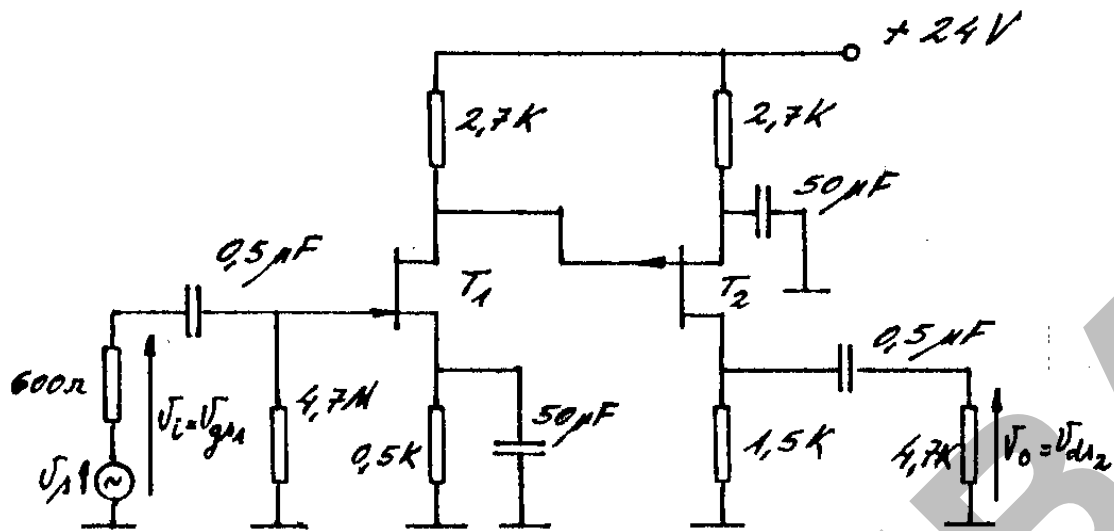


Fig. E-3a

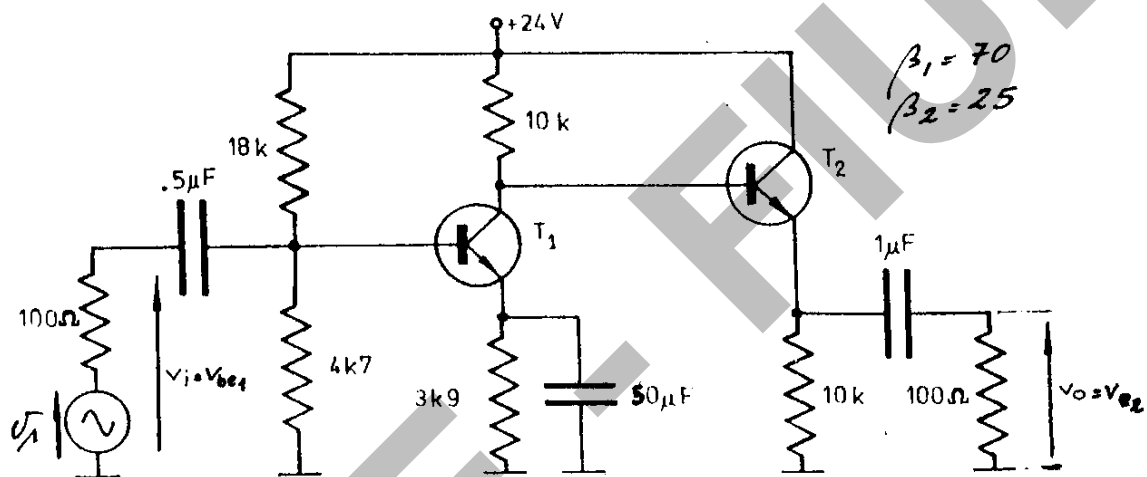


Fig. E-3b

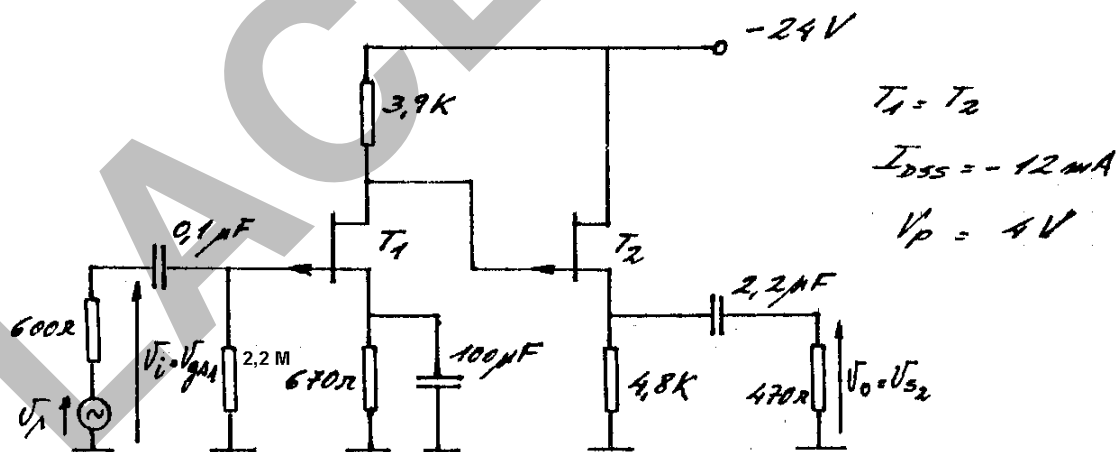


Fig. E-3c

A los amplificadores de las figuras E-3e, f y g, se los conoce como **cascode**. Verificar que en estos casos se cumple: $A_v = g_{m(T1)} \cdot R_{ca(T2)}$. Analizar cualitativamente el significado de la expresión.

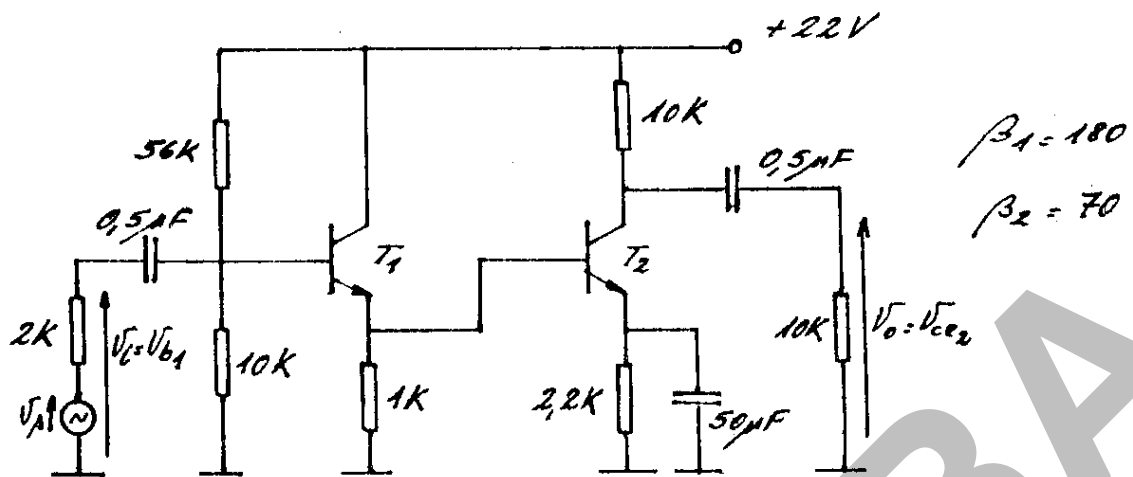


Fig. E-3d

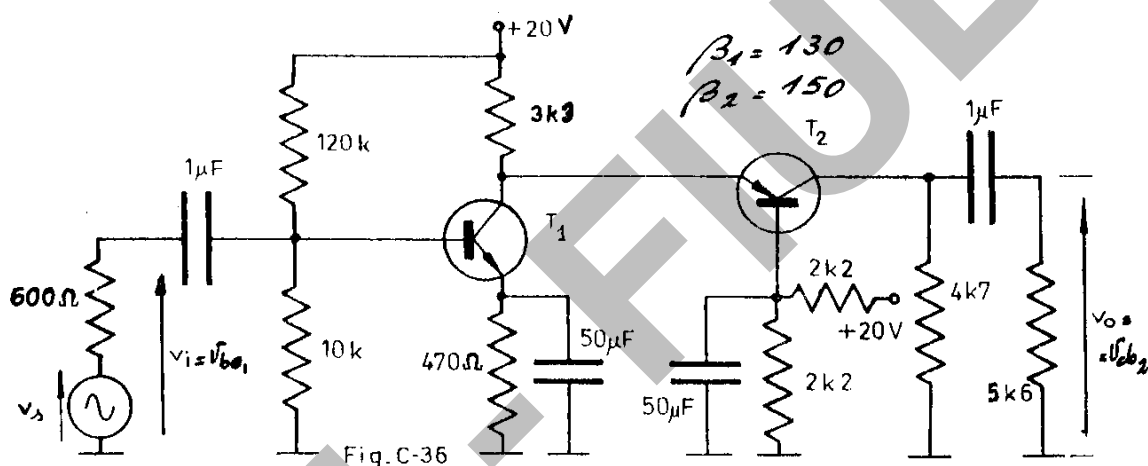


Fig. E-3e

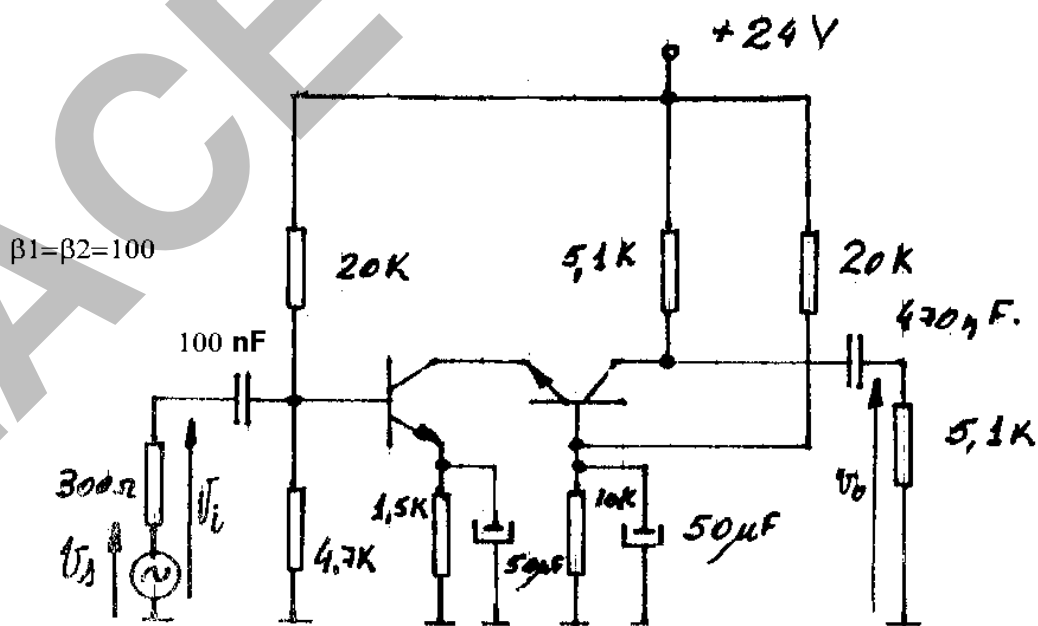


Fig. E-3f

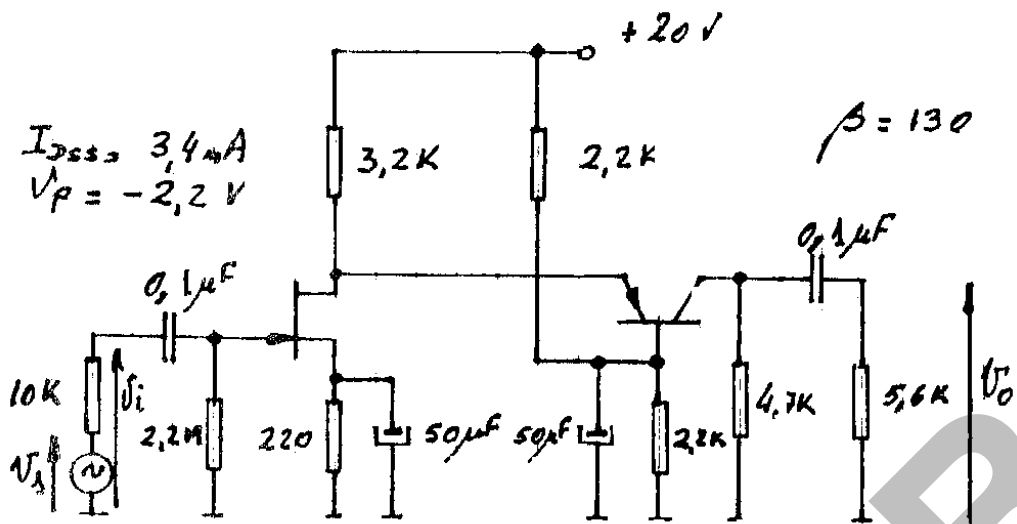


Fig. E-3g

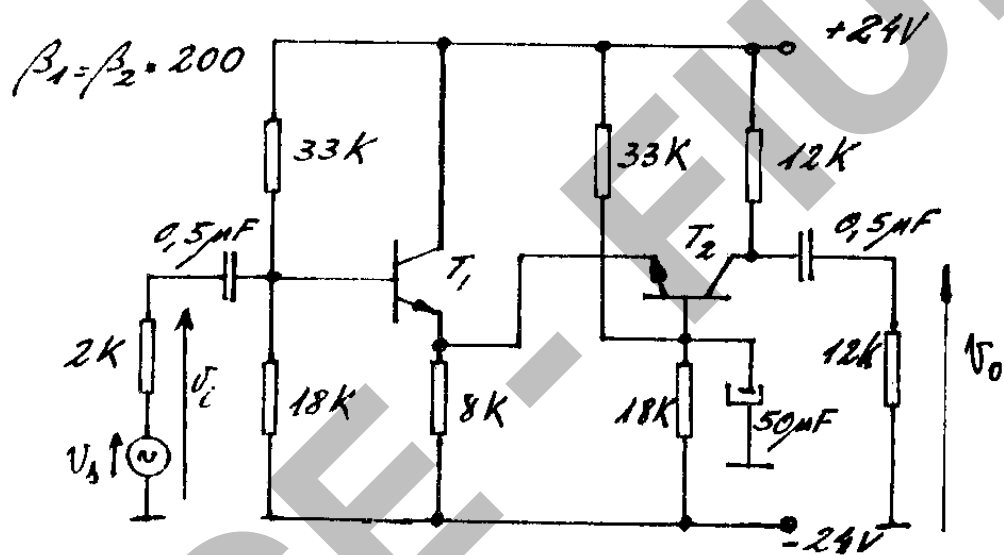
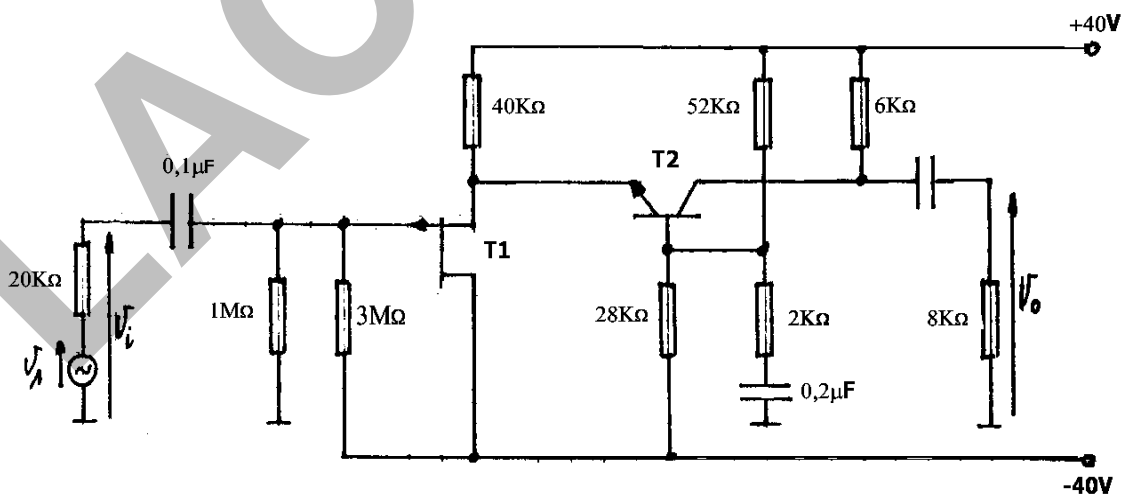


Fig. E-3h



$|I_{DSS}| = 12 \text{ mA} ; |V_P| = 6 \text{ V} ; \beta = 200$

Fig. E-3i

E-4. Diseñar un amplificador con las siguientes características: $A_{vs} > 100$, $R_i > 5 \text{ M}\Omega$ y $R_o < 500 \text{ }\Omega$ utilizando JFETs de parámetros $|V_P| = 4 \text{ V}$ e $|I_{DSS}| = 10 \text{ mA}$ (sean canal N ó P). El valor de R_s es de $600 \text{ }\Omega$ y R_L es de $500 \text{ }\Omega$. Usar únicamente componentes standard.

E-5. Repetir el problema anterior, utilizando MOSFETs de canal inducido de parámetros $|k| = 1 \text{ mA/V}^2$ y $|V_T| = 2 \text{ V}$.

E-6. Diseñar un amplificador inversor con las siguientes características: $|A_{vs}| > 100$, $R_i > 5 \text{ M}\Omega$ y $R_o > 1 \text{ K}\Omega$ utilizando JFETs de parámetros $|V_P| = 4 \text{ V}$ e $|I_{DSS}| = 10 \text{ mA}$ (sean canal N ó P). El valor de R_s es de $600 \text{ }\Omega$ y R_L es de $5 \text{ K}\Omega$. Usar únicamente componentes standard.

E-7. Repetir el problema anterior, utilizando MOSFETs de canal inducido de parámetros $|k| = 1 \text{ mA/V}^2$ y $|V_T| = 2 \text{ V}$.

E-8. Diseñar un amplificador con las siguientes características: $A_{vs} > 10^4$, $R_i > 2 \text{ K}\Omega$ y $R_o < 100 \text{ }\Omega$ utilizando TBJs de $\beta = 100$ (tanto para NPN como PNP) y fuente de alimentación de $+24 \text{ V}$. El valor de R_s es de $600 \text{ }\Omega$ y R_L es de $100 \text{ }\Omega$. Usar únicamente componentes standard.

E-9. Diseñar un amplificador inversor con las siguientes características: $|A_{vs}| > 10^3$, $R_i < 100 \text{ }\Omega$ y $R_o > 5 \text{ K}\Omega$ utilizando TBJs de $\beta = 100$ (tanto para NPN como PNP) y fuente de alimentación de $\pm 15 \text{ V}$. El valor de R_s es de $100 \text{ }\Omega$ y R_L es de $5 \text{ K}\Omega$. Usar únicamente componentes standard.

E-10. Diseñar un amplificador con las siguientes características: $A_{vs} > 50$, $R_i > 5 \text{ M}\Omega$ y $R_o < 100 \text{ }\Omega$ utilizando cualquiera de los transistores de los problemas E-4 a E-9. La fuente de alimentación es de $\pm 24 \text{ V}$. El valor de R_s es de $600 \text{ }\Omega$ y R_L es de $100 \text{ }\Omega$. Usar únicamente componentes standard.

E-11. Analizar el funcionamiento de la conexión compuesta de dos transistores denominada configuración Darlington.

a) Demostrar que esta configuración es equivalente a un único transistor con:

$$\beta_{eq} = \beta_{o1} + \beta_{o2}(\beta_{o1} + 1) \cong \beta_{o1} \cdot \beta_{o2}$$

b) Suponiendo r_x despreciable y $r_\mu \gg \beta_o \cdot r_o$, obtener los componentes del circuito equivalente de señal del transistor compuesto: g_{meq} ; r_{oeq} ; $r_{\pi eq}$. Calcular sus valores para $\beta_{o1} = 150$; $\beta_{o2} = 200$; $\mu = 2 \cdot 10^{-4}$ e $I_{CQ2} = 2$ mA.

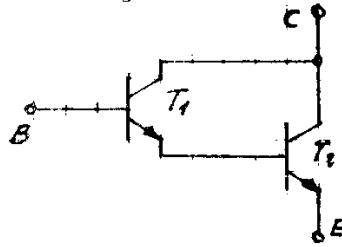


Fig. E-11

E-12. Justificar el tipo de los transistores equivalentes (NPN ó PNP) de los pares Darlington indicados en la figura. Indicar los terminales **E-B-C** del transistor compuesto. Indicar a cuáles se los denomina cuasi-Darlington.

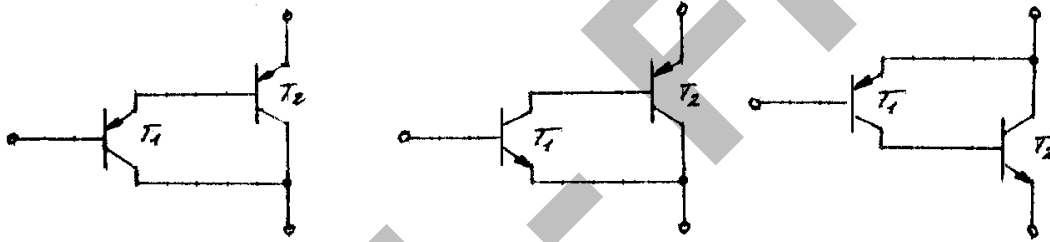


Fig. E-12

a) Para los tres circuitos, hallar las expresiones de los parámetros equivalentes del transistor compuesto: g_{meq} ; r_{oeq} ; $r_{\pi eq}$. Calcular sus valores para $\beta_{o1} = 150$; $\beta_{o2} = 200$; $\mu_{NPN} = 2 \cdot 10^{-4}$; $\mu_{PNP} = 4 \cdot 10^{-4}$ e $I_{CQ2} = 2$ mA.

E-13. Reescribir las expresiones y recalcular los valores de los parámetros equivalentes de los transistores compuestos de los problemas E-11 y E-12, suponiendo que en todos los casos $\beta_{o1} = \beta_{o2} = 200$; $\mu_{NPN} = \mu_{PNP} = 2 \cdot 10^{-4}$ e $I_{CQ2} = 2$ mA.

E-14. En el siguiente circuito se utilizan sucesivamente los cuatro transistores compuestos de los problemas E-11 y E-12 (con el signo que corresponda en cada caso para las fuentes de alimentación). Se admitirá $\beta_F \cong \beta_o$ y $\mu \cong 0$ ($V_A \rightarrow \infty$).

a) Determinar los puntos de reposo, indicando la tensión de los terminales contra común.

b) Hallar por inspección, justificando el procedimiento: A_v , R_i , R_o y A_{vs} .

c) Hallar la expresión y calcular la resistencia que ve un generador de prueba de tensión conectado entre la unión del emisor (ó colector) de T_1 y la base de T_2 , y el punto común.

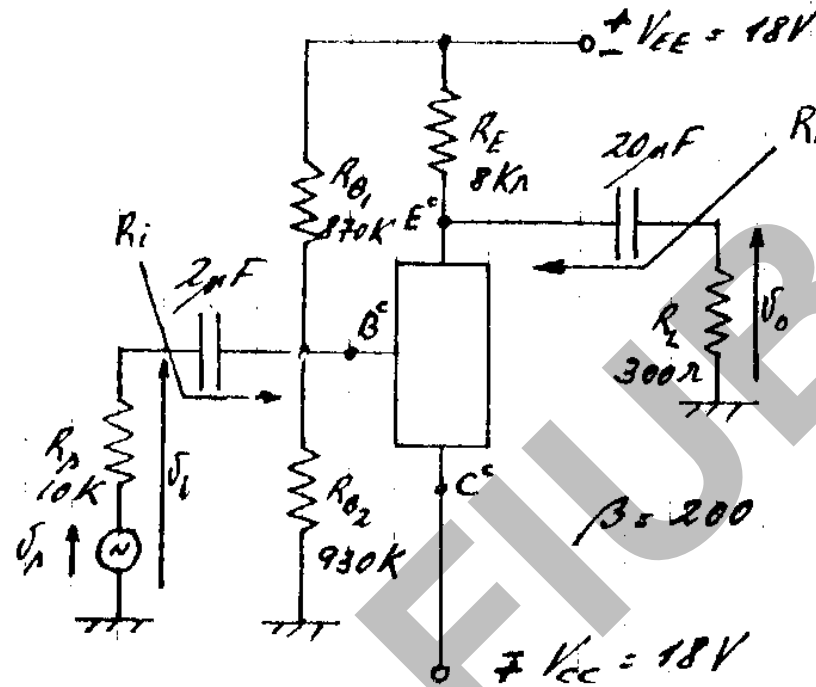


Fig. E-14

E-15. En el circuito de la figura se conoce:

$$|I_{DSS}| = 10 \text{ mA} ; V_P = -2 \text{ V} ; \lambda = 0,03 \text{ V}^{-1} ; \beta = 50 ; V_A = 100 \text{ V}.$$

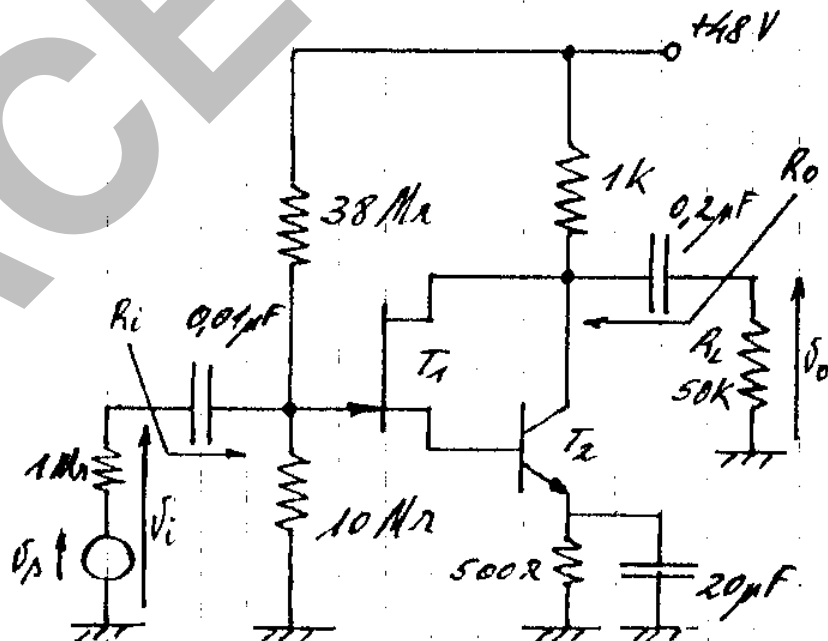


Fig. E-15

- a) Determinar los puntos de reposo, indicando la tensión de los terminales contra común.
- b) Determinar los parámetros equivalentes del transistor compuesto.
- c) Determinar A_v , R_i , R_o y A_{vs} .
- d) Analizar cómo se modifican los puntos de reposo y parámetros de señal calculados si:
 - d₁) se conecta entre source y común un resistor de $10\text{ k}\Omega$.
 - d₂) se conecta entre source y común una fuente de corriente de 1 mA dc .

E-16. Para el siguiente circuito, determinar (suponiendo $r_x \cong 0$ y $V_A \rightarrow \infty$):

- a) Los puntos de reposo, indicando la tensión de los terminales contra común.
- b) Las resistencias de entrada y salida.
- c) La amplificación de tensión $A_v = v_o/v_i$

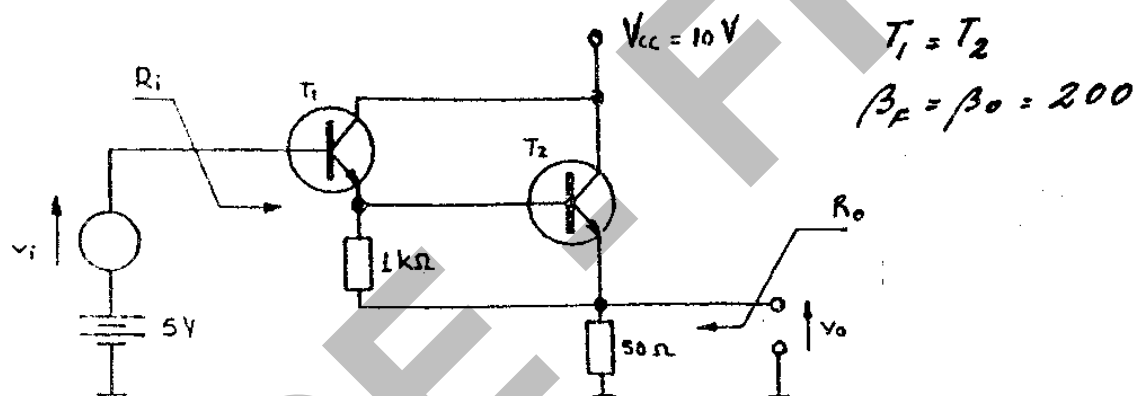


Fig. E-16

E-17. Para el siguiente circuito, determinar:

- a) El valor de R_{E2} para funcionamiento en modo analógico lineal.
- b) Los puntos de reposo, indicando las tensiones de los terminales contra común.
- c) La amplificación de tensión de señal v_o/v_i .
- d) ¿Podría obtenerse igual amplificación de tensión utilizando un resistor de carga en lugar de T_2 e igual valor de V_{cc} ? Justificar.
- e) Indicar qué ocurre en el circuito si se varía R_{E2} respecto al valor calculado en a).

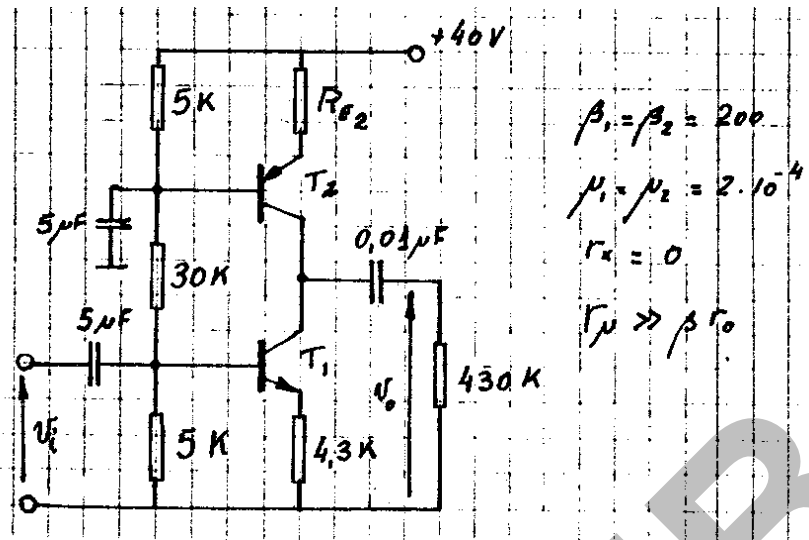


Fig. E-17

E-18. En el circuito de la figura, admitiendo: $\beta \cong 200$; $r_x \cong 0$ y $V_A \rightarrow \infty$, hallar:

a) Los puntos de reposo, indicando la tensión de los terminales contra común.

b) La expresión y el valor de A_v para los casos:

b₁) sin C b₂) con C.

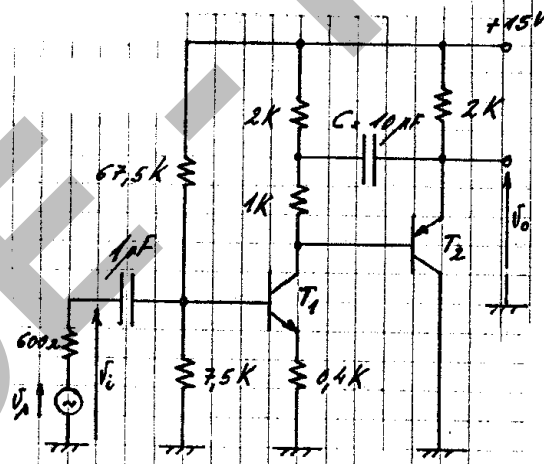
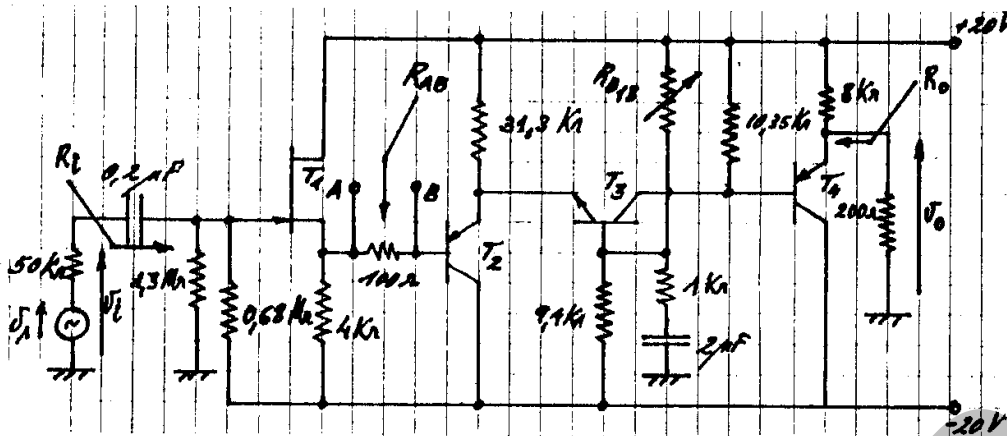


Fig. E-18

E-19. En el circuito de la figura:

a) Hallar entre qué límites puede estar comprendida I_{DQ1} en el JFET, compatibles con el circuito de polarización de gate y el funcionamiento del dispositivo. Definir, obtener su ecuación y trazar la recta de polarización en el plano I_D - V_{GS} . Hallar el punto Q_1 . Trazar la característica de transferencia en el plano anterior y ubicar el punto Q_1 y los valores extremos hallados.



$$|I_{DSS}| = 12 \text{ mA} ; |V_P| = 2 \text{ V} ; \lambda = 0,02 \text{ V}^{-1} ; \beta = 400 ; r_x = 100 \Omega ; V_A = 120 \text{ V}.$$

Fig. E-19

- b) Obtener los puntos de reposo de los cuatro transistores y el valor de R_{B13} suponiendo que el preset se ajusta de modo que la tensión continua de salida sobre R_L sea nula. Construir una tabla resumen con los valores de I_{CQ} ; V_{BQ} ; V_{EQ} ; V_{CQ} ; V_{BEQ} ; V_{GSQ} ; V_{CEQ} ; V_{DSQ} ; g_m ; r_d y r_{π} .
- c) Dibujar el circuito de señal sin reemplazar los transistores por su modelo e indicar todos los sentidos de referencia de interés. Definir, obtener sus expresiones por inspección, explicando cualitativamente cómo surgen y calcular: la resistencia de carga de cada etapa, la amplificación de tensión de cada una y la amplificación de tensión total $A_v = v_o/v_i$. Justificar cómo se obtiene A_v en base a la amplificación de cada etapa. Justificar cuándo puede despreciarse r_x y/o r_o .
- d) Obtener por inspección, explicando cómo surgen las expresiones de R_i , R_o y A_{vs} . Calcular sus valores.
- e) Obtener por inspección, explicando cómo surge su expresión y calcular el valor de la resistencia R_{AB} , vista desde los terminales A y B del circuito.
- f) Obtener por inspección, explicando cómo surge su expresión y calcular la resistencia vista desde los terminales del capacitor de $2\mu\text{F}$, ubicado en la base de T_3 .
- g) Explicar cualitativamente qué ocurre con la amplificación de tensión del sistema si el capacitor de $2\mu\text{F}$ de la base de T_3 se conecta directamente a la base de este transistor, eliminándose el resistor de $1 \text{ K}\Omega$.
- h) Hallar el valor pico de $v_{om\acute{a}x}$ y los correspondientes $v_{im\acute{a}x}$ y $v_{sm\acute{a}x}$, de modo que no recorte ninguna de las etapas del sistema.

E-20. Los circuitos básicos de polarización, estabilizados frente a variaciones de β_F , I_{CO} , I_{DSS} , V_P , k , V_T , utilizan realimentación negativa para la continua, con el objeto de acotar los posibles corrimientos del punto de reposo. Hasta aquí se han tratado dos circuitos elementales con un solo transistor que utilizan este principio: realimentando por colector y realimentando por emisor. A estos dos se deben agregar otras dos configuraciones básicas muy utilizadas, solas o combinadas. Estos circuitos son:

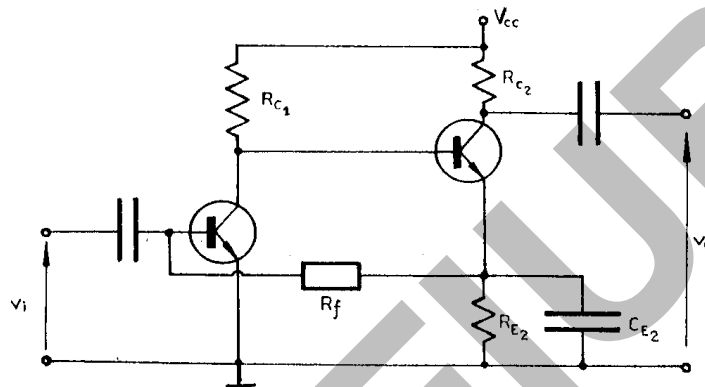


Fig. E-20a

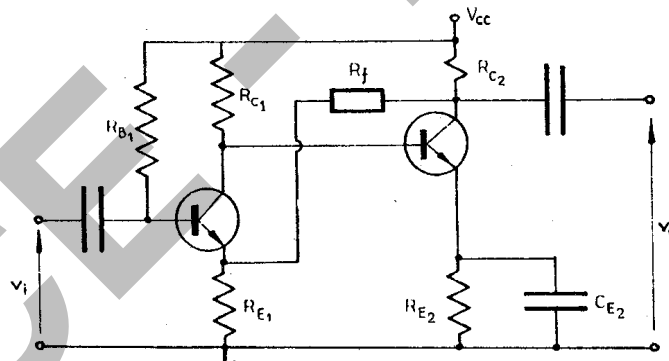


Fig. E-20b

- Analizar conceptualmente cómo se logra la estabilización de la corriente de colector de la segunda etapa en ambos casos.
- Suponiendo que se conocen las tensiones de alimentación, las resistencias de polarización y los parámetros de los transistores, establecer el camino a seguir para determinar los puntos de reposo de los dos transistores de ambos circuitos, mediante el planteo analítico y mediante aproximaciones sucesivas.

E-21. Para los siguientes circuitos:

a) Hallar los puntos de reposo de ambos transistores por aproximación (realizar aproximaciones razonables en base a los valores de los elementos del circuito).

b) Analizar conceptualmente cómo están estabilizadas las corrientes de colector.

c) Para el circuito de la figura E-21b, verificar que las tensiones indicadas valen:

$$V_1 = 0,97 \text{ V} ; V_2 = 9,3 \text{ V} ; V_3 = 3,55 \text{ V}$$

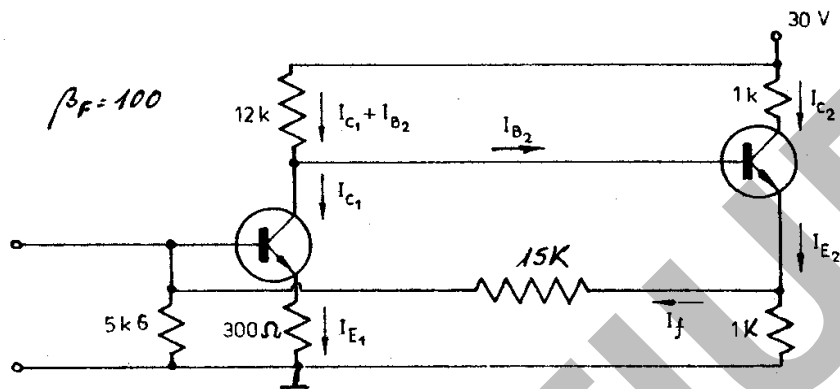


Fig. E-21a

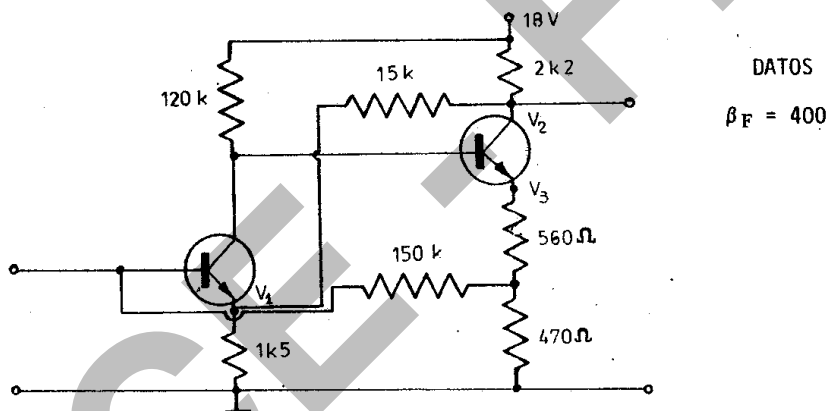


Fig. E-21b

E-22. El circuito de la figura constituye una estructura básica que se utiliza en los CIM con transistores MOSFET de canal inducido y EMESFET (JFET canal inducido de juntura metal - semiconductor de GaAs), donde T_1 funciona como amplificador, en tanto que T_2 funciona como carga en el drain de T_1 . Sabiendo que los dos transistores pueden fabricarse graduando los valores de W y L en forma independiente, determinar la expresión de $A_v = v_{ds1}/v_{gs1}$ en función de las relaciones W_1/W_2 y L_1/L_2 , donde W_1 y W_2 son las respectivas dimensiones transversales y L_1 y L_2 las correspondientes longitudes del canal. Se suponen conocidos el resto de los parámetros de los transistores.

E-23. En la siguiente figura se presenta un amplificador integrado con transistores MOSFET. Justificar si pueden utilizarse MOSFET de canal inducido, preformado o cualquiera de los dos tipos. Implementar el mismo circuito con MESFET. ¿Con qué tipo de MESFET, "D" (JFET canal preformado de juntura metal - semiconductor de GaAs) ó "E" (JFET canal inducido de juntura metal - semiconductor de GaAs) puede implementarse esta configuración?

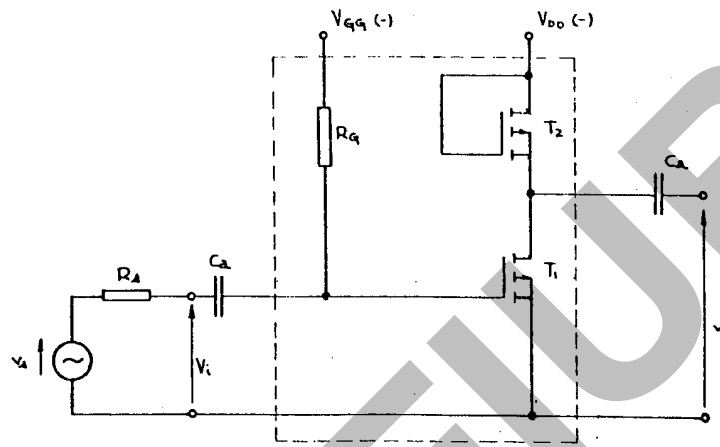


Fig. E-22

- Determinar la ubicación del punto de trabajo de cada transistor.
- Determinar la amplificación de tensión para pequeña señal A_v (despreciar el efecto de la resistencia de polarización de gate de T_1). Datos: $V_{DD}=6V$; $R_G=10\text{ M}\Omega$

MOSFET	MESFET
$ V_T = 1,2\text{ V}$	$ V_T = 0,3V$
$ k' = 50\text{ }\mu\text{A/V}^2$	$ k' = 20\text{ }\mu\text{A/V}^2$
$W_1 = 200\text{ }\mu\text{m}$	$W_1 = 250\text{ }\mu\text{m}$
$L_1 = 2\text{ }\mu\text{m}$	$L_1 = 1\text{ }\mu\text{m}$
$W_2 = 5\text{ }\mu\text{m}$	$W_2 = 5\text{ }\mu\text{m}$
$L_2 = 0,8\text{ }\mu\text{m}$	$L_2 = 5\text{ }\mu\text{m}$

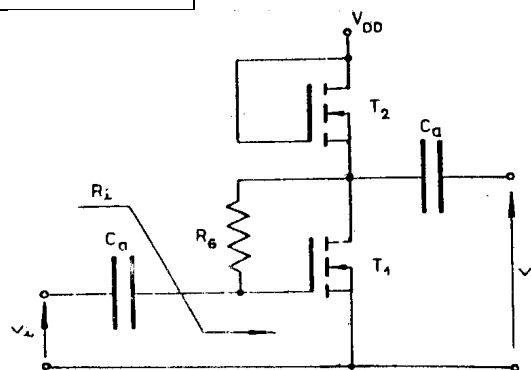


Fig. E-23

E-24. Dibujar el circuito de señal de un cascode implementado con NMOSFET idénticos de canal inducido, que se supondrán integrados en un mismo sustrato.

$V_{TO} = 3 \text{ V}$; $k' = 50 \text{ } \mu\text{A/V}^2$; $W = 200 \text{ } \mu\text{m}$; $L = 2 \text{ } \mu\text{m}$; $\lambda = 0$; $\gamma = 1,5 \text{ V}^{1/2}$; $\phi_P = 0,3$

V ; $I_{DQ1} = I_{DQ2} = 0,6 \text{ mA}$; $R_{Da} = 2 \text{ K}\Omega$; $V_{S2B} = 5 \text{ V}$.

a) Hallar la amplificación de tensión del circuito. Justificar el valor de la amplificación de tensión de la primera etapa.

b) Hallar la amplificación de tensión del circuito si $L_2 = 2L_1$. Justificar el valor de la amplificación de tensión de la primera etapa comparando con la obtenida en **a)**.

c) Dibujar un corte del CI en el que se indique la construcción interna del circuito y los elementos de polarización necesarios.

d) Repetir los puntos anteriores para un CI con DMESFET (D-JFET de GaAs), cuyas características son: $V_P = -3 \text{ V}$; $k' = 50 \text{ } \mu\text{A/V}^2$; $W = 200 \text{ } \mu\text{m}$; $L = 2 \text{ } \mu\text{m}$; $\lambda = 0$; $I_{DQ1} = I_{DQ2} = 0,6 \text{ mA}$; $R_{Da} = 2 \text{ K}\Omega$

T_1 y T_2 formarán una configuración cascode, siendo este en general el circuito equivalente de un DMESFET con doble gate. En los DMESFET la tensión de umbral adquiere las características de la tensión de estrangulamiento de cualquier JFET con juntura semiconductor-semiconductor, razón por la cual se la suele denominar V_P . En este caso, la tensión sustrato-fuente posee normalmente un efecto despreciable sobre V_P , por lo que no se tendrá en cuenta.

E-25. Para la siguiente configuración CMOS, donde se conocen $(W/L)_1$, k' , V_T y λ ; siendo los tres últimos iguales en valor absoluto para los dos transistores. Son datos también $\pm V_{DD}$ y $R_{G1} = R_{G2} = R_G$; $R_{G3} = 8R_G$

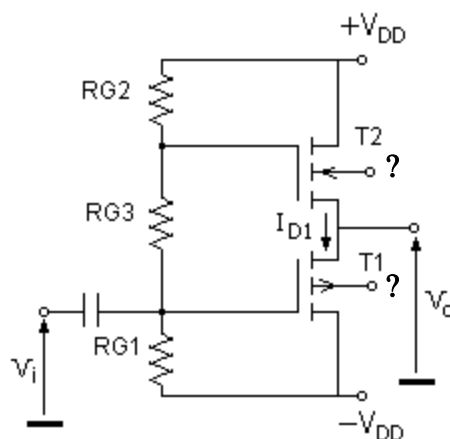


Fig. E-25

- a) Analizar el funcionamiento del circuito, conectando cada sustrato a puntos tales que los transistores funcionen correctamente.
- b) Expresar $(W/L)_2$ en función de $(W/L)_1$ de modo de obtener $V_{OQ} = 0$. Hallar la expresión de I_{DQ1} y las tensiones de los distintos terminales contra común en función de V_{DD} y los parámetros de los MOSFET.
- c) Indicar cómo se modifican V_{OQ} , I_{DQ1} y las tensiones de las tensiones de los distintos terminales contra común si se hace $R_{G2} = 1, 01 \cdot R_{G1}$, manteniendo el valor de $(W/L)_2$ hallado en b).

E-26.

$|k| = 4 \text{ mA/V}^2$; $|V_T| = 1 \text{ V}$; $\lambda = 0,02 \text{ V}^{-1}$; $\gamma = 0,1 \text{ V}^{1/2}$; $C_{gs} = 3 \text{ pF}$; $C_{gd} = 0,5 \text{ pF}$

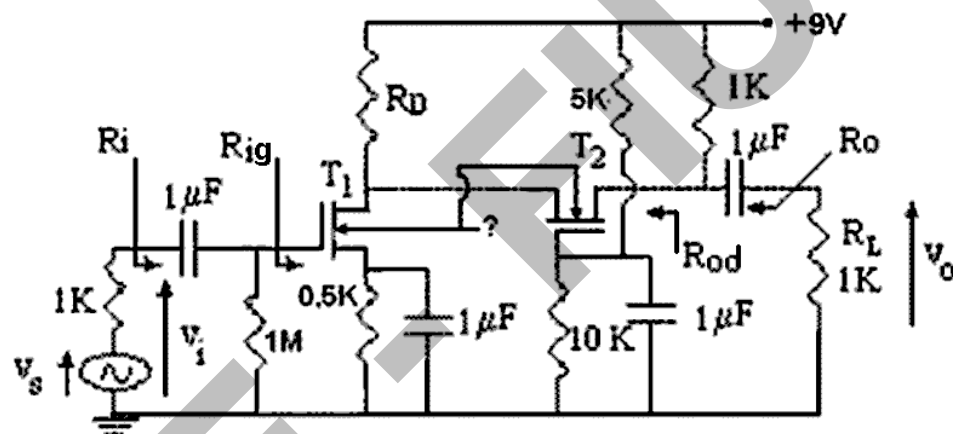


Fig. E-26

- a) Teniendo en cuenta que en la configuración del amplificador indicado se utiliza un CI de dos MOSFET, uno de canal preformado y otro inducido, **justificar cuál transistor debe corresponder a cada tipo de canal. Dibujar un corte** del CI con los transistores integrados, indicando el tipo de sustrato, las difusiones necesarias, metalizaciones, etc. y las conexiones accesibles (para el ejemplar preformado dibujar explícitamente el canal con un cierto espesor).

Justificar el punto de conexión del sustrato en el CI para asegurar el correcto funcionamiento del amplificador.

- b) Dibujar el circuito de señal a frecuencias medias, **sin reemplazar los transistores por su modelo y hallar por inspección**, la expresión de la amplificación de T1, A_{v1} . Obtener los puntos de reposo de los transistores, si se ajusta R_D -

hallando su valor- de modo que A_{v1} resulte, en valor absoluto, igual a 1,5. Justificar si podría ajustarse R_D y a qué valor para que $|A_{v1}|$ sea de 0,5.

Despreciar en principio el efecto sobre los parámetros de los MOSFET de la tensión sustrato-source. ¿Por qué conviene $|A_{v1}|$ algo mayor que la unidad si se requiere alta sensibilidad del amplificador?. **Analizar cualitativamente** cómo influiría en los valores de reposo la tensión entre sustrato-source para los casos:

b1) sustrato conectado a común; **b2)** sustrato conectado a source de T1.

c) Obtener por inspección, justificando el procedimiento, la expresión de amplificación de tensión total A_v y su valor, despreciando en principio la influencia de la tensión sustrato-source. Hallar R_{ig} , R_i , R_{od} y R_o .

Analizar cualitativamente, cómo influye la tensión sustrato-source sobre el modelo de señal y sobre A_{v1} , A_{v2} y A_v total para los casos:

c1) sustrato conectado a común

c2) sustrato conectado a source de T1. Comparar con los valores hallados.

Nota:

¿Podría obtenerse por inspección la expresión de la transferencia completa $A_v(\omega)$ desde continua hasta frecuencias medias?. **Justificar y hallar**, de ser posible, su expresión en función de la pulsación compleja "s" con el valor de polos y ceros.

F. ESTUDIO DE LA RESPUESTA EN FRECUENCIA DE AMPLIFICADORES CON VARIOS TRANSISTORES

F-1. Admitiendo que en los siguientes circuitos, los transistores poseen las siguientes características:

$$f_T = 300 \text{ MHz} ; C_{\mu} = 1 \text{ pF} ; C_{gs} = 4 \text{ pF} ; C_{gd} = 1 \text{ pF} ; r_x = 100 \Omega ; V_A \rightarrow \infty ; \lambda = 0$$

- a)** Determinar los valores de la amplificación de tensión y los valores aproximados de las frecuencias de corte inferior y superior
- b)** Analizar comparativamente la respuesta en frecuencia de las distintas configuraciones. Indicar cuáles de ellas poseen mejor respuesta en altas frecuencias y justificar conceptualmente el por qué, teniendo en cuenta el nivel de las resistencias vistas entre cada nodo y común y las amplificaciones de tensión con que se reflejan las capacitancias que influyen en alta frecuencia a dichos nodos en las distintas etapas. Analizar conceptualmente para cada circuito la existencia o no de un nodo dominante para la respuesta en alta frecuencia.
- c)** Determinar el tiempo de crecimiento y el porcentaje de declinación de la señal de salida si se aplican señales de entrada cuadrada de distinta frecuencia.
- d)** Comparar los resultados anteriores con los obtenidos mediante simulación por PSPICE. Obtener conclusiones en cuanto a la validez de aplicación del método de las constantes de tiempo.

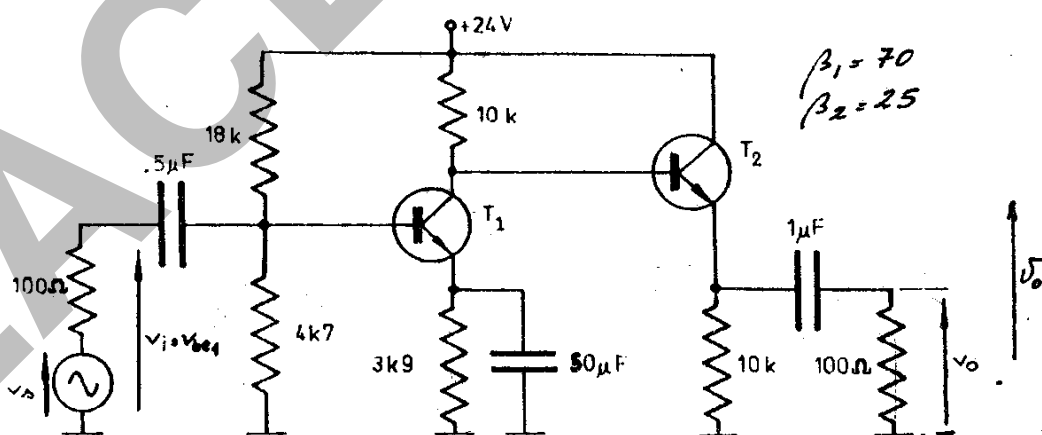


Fig. F-1a

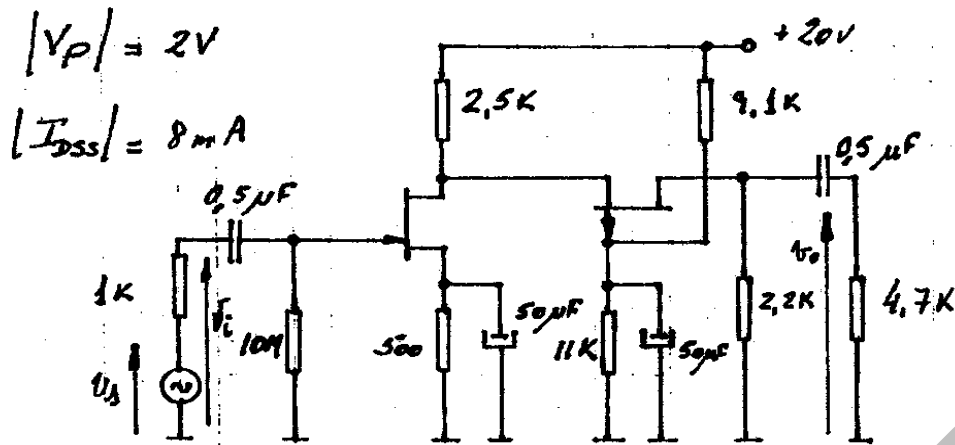


Fig. F-1b

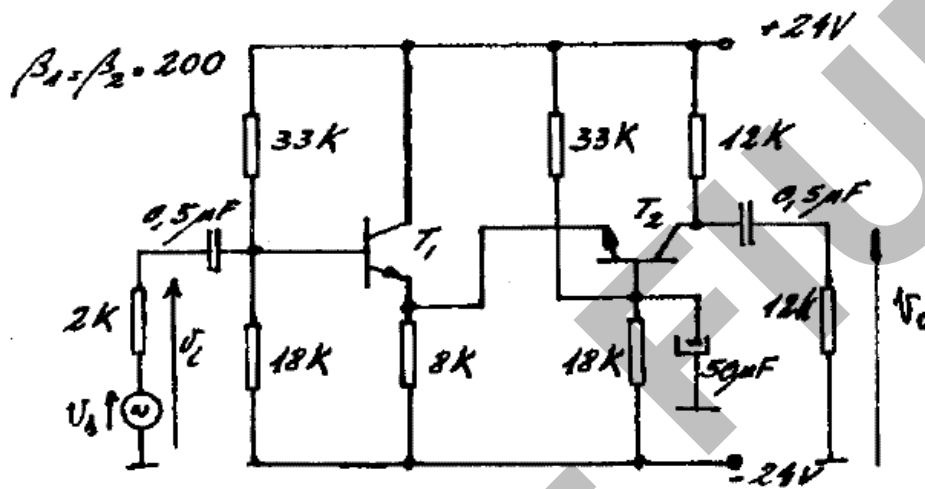


Fig. F-1c

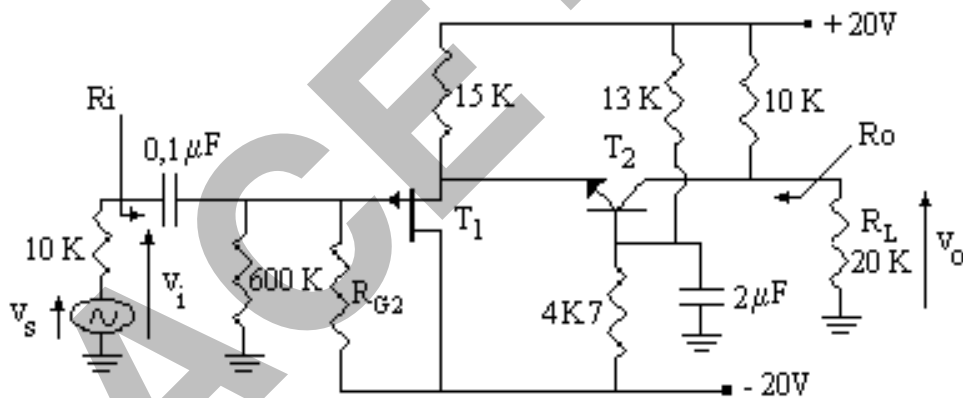
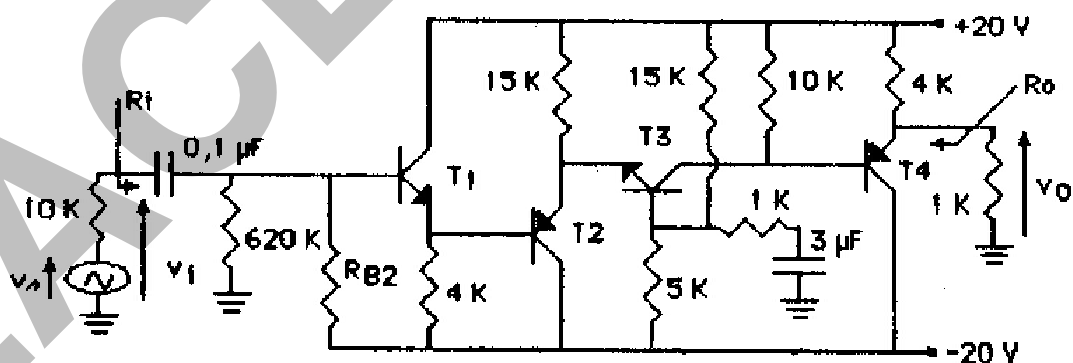


Fig. F-1d

$I_{DSS} = -16mA$; $V_P = 3V$ y R_{G2} se ajusta para obtener $V_{OQ} = 0V$

F-2. Obtener la expresión de la frecuencia de corte garantizable para altas frecuencias en una configuración Darlington y en una cuasi Darlington, que funcionen como un transistor equivalente en emisor común. Analizar cuál o cuáles de los nodos pueden considerarse dominantes, admitiendo valores típicos en los parámetros de los transistores y valores de algunos $K\Omega$ en los resistores externos.

- F-3. a)** Obtener los puntos de reposo de los transistores, indicando las tensiones de los tres terminales de cada uno contra común, si se ajusta R_{B2} de modo que la tensión de reposo sobre la carga $R_L = 1\text{ K}\Omega$ sea $V_{OQ} = -2\text{ V}$. Indicar si en la primera etapa resulta necesario considerar I_{BQ} para la determinación de I_{CQ} . ¿Y en las demás?. ¿Por qué?. Construir una tabla resumen con los valores de corrientes y tensiones contra común de reposo y parámetros de señal.
- b)** Describir el tipo de análisis que debería hacerse para obtener la RCD de T_4 mediante PSPICE. Implementarlo y comparar valores con los obtenidos por cálculo.
- c)** Dibujar el circuito de señal sin reemplazar los transistores por su modelo circuital. Obtener por inspección, explicando cómo surgen las expresiones, la resistencia de entrada y de carga de cada etapa, la amplificación de tensión de cada una y la amplificación total $A_v = v_o/v_i$. Definir, obtener por inspección y calcular las resistencias de entrada y salida, R_i y R_o , respectivamente. Obtener A_{vs} .
- d)** Hallar los valores garantizables para f_l y f_h de A_{vs} . Si se desprecia la influencia de uno o más nodos, se deberá justificar en cada caso. Trazar un diagrama de Bode de módulo y argumento para A_{vs} .
- e)** Obtener, si es posible, los ceros impuestos por $C_S = 0,1\text{ }\mu\text{F}$ y $C_B = 3\text{ }\mu\text{F}$, para A_{vs} . Analizar si puede admitirse que la frecuencia de corte obtenida se encuentra cercana al valor verdadero. ¿Puede despreciarse la interacción entre C_S y C_B ?. Justificar.



$$\beta = 400 ; V_A = 120\text{ V} ; r_x = 400\text{ }\Omega ; f_T = 300\text{ MHz} ; C_\mu = 0,4\text{ pF}.$$

Fig. F-3

- f)** Analizar cualitativamente cómo se modificarían A_{vs} , f_l y f_h si se conecta el capacitor C_B de forma tal de desacoplar totalmente la base de T_3 .

g) Analizar en forma cualitativa qué sucede con las corrientes y tensiones de reposo si se disminuye el valor del preset R_{B2} a la mitad del valor ajustado en el punto **a)**.

F-4. Dada la siguiente configuración:

$$\beta = 50 ; V_A \rightarrow \infty ; r_x = 100\Omega ; C_\mu = 0,3 \text{ pF} ; f_T = 300 \text{ MHz} ;$$

$$V_T = -1,5\text{V} ; k = 1 \text{ mA/V}^2 ; \lambda = 0 ; C_{gs} = 3\text{pF} ; C_{gd} = 0,5 \text{ pF}$$

a) Hallar el valor de R_{G1} de modo tal de obtener una $V_{OQ} = 2\text{V}$. Construir una tabla resumen con los valores de reposo de corriente y tensiones de cada terminal contra común, así como de los parámetros de señal: $g_m ; r_d ; r_\pi ; r_o ; C_\pi$.

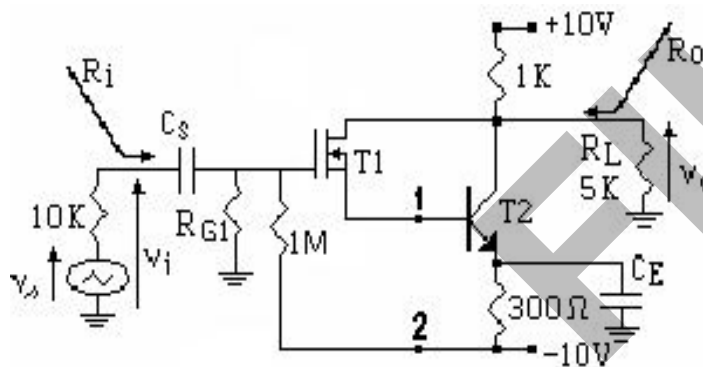


Fig. F-4

b) Dibujar el circuito de señal para frecuencias medias sin reemplazar los transistores por su modelo circuital. Hallar las expresiones (justificando por inspección) y el valor de: las resistencias de entrada, de salida y de carga, así como la amplificación de tensión de cada etapa. Hallar R_i , R_o y A_v totales. Hallar A_{vs} .

c) Hallar el valor de los capacitores de acople y desacople de señal, C_s y C_E , si se quiere garantizar una $f_l = 200 \text{ Hz}$ y que ambos capacitores posean igual frecuencia ficticia asociada. ¿En este caso, ¿la frecuencia ficticia asociada a cada capacitor coincidirá con la verdadera?. Justificar.

d) Hallar el valor garantizable de f_h (si se desprecia la influencia de uno o más nodos, se deberá justificar). Trazar el diagrama de Bode aproximado de módulo y argumento para A_{vs} .

e) Repetir los puntos **a)**, **b)** y **c)** si se conecta entre los puntos "1" y "2" un resistor de $10 \text{ K}\Omega$. ¿En qué mejora y en qué empeora el funcionamiento del circuito esta modificación?.

G. AMPLIFICADORES DIFERENCIALES, FUENTES DE CORRIENTE Y CARGAS ACTIVAS. OPERACIONALES

G-1.

Para el amplificador de continua de bajo nivel de potencia de la Fig. G-1a):

a) Determinar los valores de reposo: $I_C = I_{CQ}$; $V_C = V_{CQ} = V_O = V_{OQ}$.

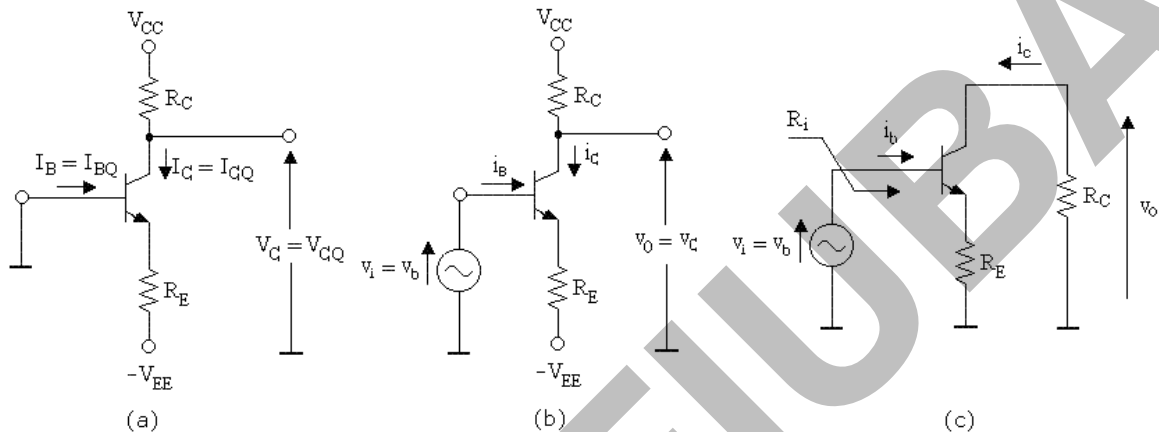


Fig. G-1

$V_{CC} = +20V$; $-V_{EE} = -1,7V$; $R_C = 10K\Omega$; $R_E = 1K\Omega$; $V_{BEQ} = 0,7V$; $\beta_F \cong \beta_O \cong \beta = 200$; $T = 27^\circ C$.

Admitir como simplificación: $r_x = 0$ y $V_A \rightarrow \infty$

b) Para $\Delta v_i = v_i = +20mV$, (Fig. G-1b); determinar los nuevos valores de i_c y v_o y los correspondientes:

$$\Delta i_c = (i_{c(+20mV)} - I_{CQ}) = i_c \text{ y } \Delta v_o = (v_{o(+20mV)} - V_{OQ}) = v_o$$

Suponer $V_{BE} = 0,7 V = cte$.

De acuerdo con la nomenclatura adoptada; los incrementos de tensión o corriente sean o no de continua, se indicarán en letras minúsculas con subíndice minúsculo.

A partir de los valores extremos de i_c , calcular el valor aproximado de Δv_{BE} utilizando la ecuación de transferencia $I_C = I_S e^{V_{BE}/V_T}$. Extraer conclusiones. Obtener Δv_{BE} mediante simulación.

c) Calcular la amplificación de tensión como relación de incrementos al variar los valores de continua, es decir $A_v = \Delta v_o / \Delta v_i$. Del mismo modo, determinar la resistencia de entrada incremental del circuito amplificador vista desde la base del transistor; $R_i = \Delta v_i / \Delta i_B$, donde:

$$\Delta i_B = (i_{B(+20mV)} - I_{BQ}) = i_b.$$

Hallar $A_v = v_o / v_i$ para señales incrementales de baja frecuencia, utilizando el modelo circuital de señal correspondiente. Determinar $R_i = v_i / i_b$; (Fig. G-1c).

Comparar con los valores obtenidos a partir de evaluar las modificaciones de corrientes y tensiones continuas al aplicar un

incremento de continua $\Delta v_I = v_i = v_b$ en la tensión de base.

Para la aplicación del modelo incremental de bajas frecuencias, deberá conocerse cuál es el máximo incremento de señal que se puede llegar a admitir dentro de un cierto margen de tolerancia. Por ejemplo, para $v_i = 20\text{mV}$, indicar si se puede admitir linealidad con una incidencia menor que el 10 % del término cuadrático del desarrollo en serie de Taylor en la ecuación del transistor; $I_C = I_S e^{V_{BE}/V_T}$, verificando que $\Delta v_{BE} = v_{be} \ll 2V_T$.

d) Suponiendo que $v_i = 0$, determinar los nuevos valores extremos de I_{CQ} , V_{CQ} y el ΔV_{OQ} ,

si la temperatura ambiente varía entre 27°C y 37°C (10°C de incremento) y se admite que $V_{BEQ} = 0,7\text{ V}$ a 27°C . Considerar para el cálculo manual $\Delta V_{BE} / \Delta T \cong -2\text{mV} / ^\circ\text{C}$.

Calcular ΔI_{CQ} y la variación porcentual de $\Delta I_{CQ} / I_{CQ\text{min}}$. Comparar ΔV_{OQ} con el Δv_O calculado en b) y extraer conclusiones. Es importante notar que el valor de $\Delta v_{BE} = v_{be}$ producido por la señal v_i es muy inferior al $\Delta V_{BE} = \Delta V_{BE}$ térmico y que *ambos en valor absoluto suman 20mV*.

G-2.

a) Con los mismos datos indicados en el punto a) del problema 1, salvo $-V_{EE}$ y R_E :

$V_{CC} = +20\text{ V}$; $-V_{EE} = -20\text{ V}$; $R_C = 10\text{K}\Omega$; $V_{BE} = 0,7\text{ V}$

$\beta_F \cong \beta_O \cong \beta = 200$; $r_x = 0$ y $V_A \rightarrow \infty$

Determinar para $v_i = 0$, el valor de R_E de modo que por el transistor y el diodo circule en cada uno 1 mA. Tener en cuenta que las dos corrientes deberán ser iguales de acuerdo con la hipótesis de suponer características idénticas para ambas junturas.

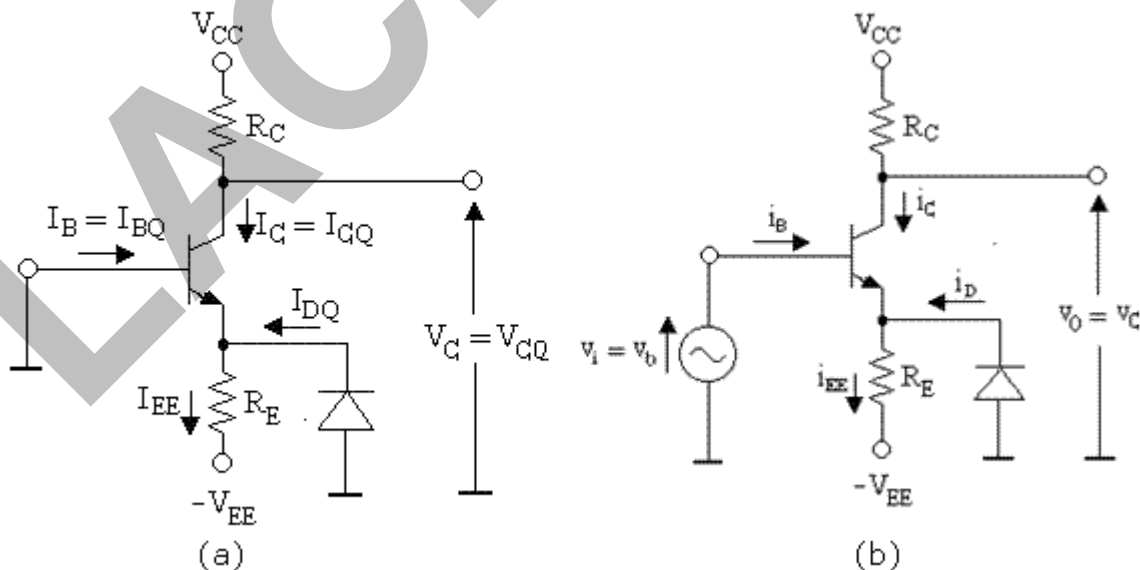


Fig. G-2

b) Construir el circuito de señal, sin reemplazar los dispositivos por su modelo. Obtener las expresiones y calcular, la amplificación de tensión $A_V = v_o/v_i$ y $R_i = v_i/i_b$. Comparar con los valores obtenidos en el punto c) del problema 1.

c) Verificar que para $v_i = \pm 20 \text{ mV} \cdot u(t)$, el circuito permanece en la zona de funcionamiento sin recorte.

d) Se aplica una tensión $v_i = + 20 \text{ mV} \cdot u(t)$ entre la base del transistor y el punto común. Admitiendo en primera aproximación la validez de la aplicación del modelo incremental, calcular:

$\Delta i_B = i_b$, $\Delta i_C = i_c$, $\Delta i_D = i_d$, $\Delta i_{EE} = i_e$, $\Delta V_E = v_e$, $\Delta V_O = v_o$. Indicar sobre el circuito de señal, el sentido de referencia, el valor y el signo de los incrementos. Comparar los incrementos entre sí y observar que puede considerarse que el incremento Δi_B se cierra a través del circuito del diodo, manteniéndose I_{EE} prácticamente constante.

e) Para $v_i = 0$ y una variación de temperatura ambiente entre 27°C y 37°C , admitiendo que $V_{BE} = V_D = 0,7 \text{ V}$ a 27°C y que ambas junturas varían exactamente del mismo modo con la temperatura ($\Delta V_{BE} / \Delta T = \Delta V_D / \Delta T = - 2 \text{ mV} / ^\circ\text{C}$), calcular:

Las tensiones extremas del terminal de emisor contra común y su incremento total ΔV_E . Los valores extremos de $V_O = V_C$ y el ΔV_O . Calcular $\Delta V_O / \Delta V_{BE}$ y comparar con el valor de $A_V = v_o/v_i$.

f) Calcular qué señal de entrada v_i debería aplicarse para obtener la misma variación en la tensión de salida que la calculada en e₃). ¿Cuál será el valor mínimo de v_i que podría amplificarse de modo que se enmascare la variación de la tensión de salida por efecto térmico, dentro de un 10 % de error?.

G-3.

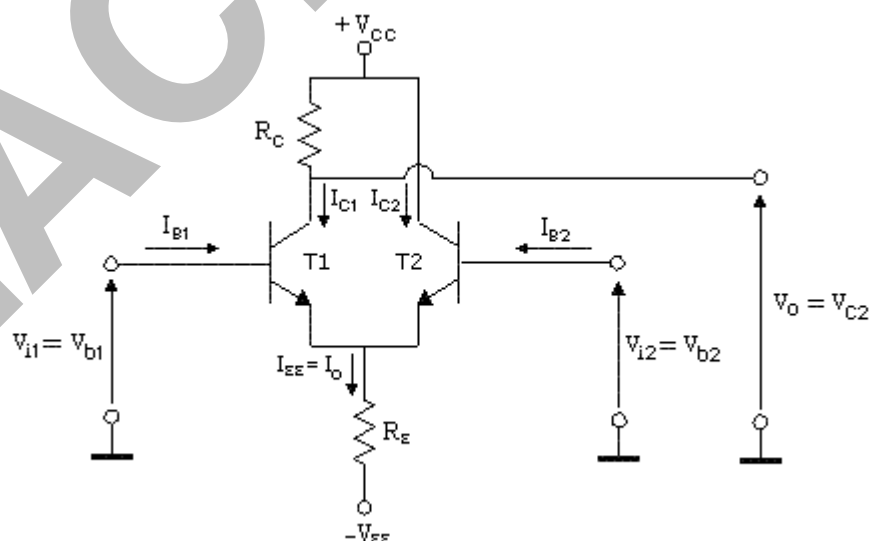


Fig. G-3a

El circuito de la Fig. G-3a muestra al de la Fig. G-2 modificado con el reemplazo del diodo por un transistor. De este modo se

obtiene un circuito formado por dos transistores que forman un *par acoplado por emisor* si se utilizan transistores bipolares (o un *par acoplado por fuente o source*, si se usan transistores de efecto de campo). Se tomarán los mismos valores de V_{CC} , V_{EE} , R_C , R_E y β (se considerará $V_A \rightarrow \infty$ y $r_x = 0$) utilizados en el problema 2.

a) Determinar los puntos de reposo de ambos transistores indicando las respectivas tensiones de los electrodos contra común para $v_{i1}=v_{i2}=0$

b) Dibujar el modelo circuital incremental. Determinar $v_o = f(v_{i1}; v_{i2})$.

c) Definir y obtener la expresión de la amplificación de modo diferencial, $v_o / (v_{i1} - v_{i2})$, aplicando superposición de las señales de entrada v_{i1} y v_{i2} . Calcular su valor.

d) Obtener las resistencias de entrada vistas por cada generador de señal.

e) Definir y obtener la expresión de la amplificación $v_o / [(v_{i1}+v_{i2})/2]$. Calcular su valor. Observar que en este caso, la expresión a hallar deberá obtenerse sin aproximaciones ni despreciar términos, para evitar que el valor resultante sea nulo.

f) Tomando $\beta = 200$ y $V_{BE} = 0,7$ V a 27°C , obtener los incrementos y la variación porcentual de I_{CQ1} , I_{CQ2} , $I_{EE} = I_O$, V_E y V_O para $v_{i1} = v_{i2} = 0$, si la temperatura varía entre 27°C y 37°C . V_{BE} varía en la forma ya indicada en problemas anteriores.

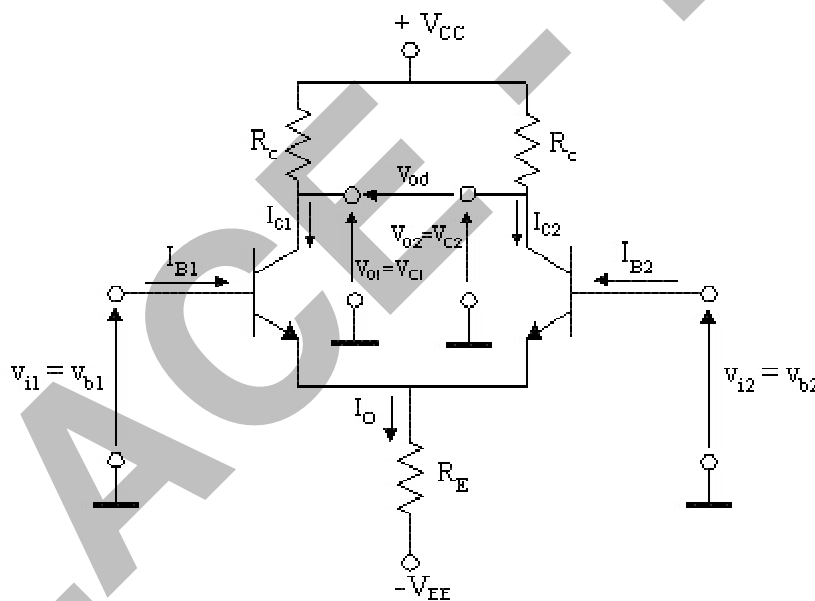


Fig. G-3b

g) Se modifica el circuito de la Fig. G-3a mediante el agregado de una resistencia en el colector del segundo transistor de modo que sea $R_{C1} = R_{C2} = R_C = 10 \text{ K}\Omega$, como se indica en el circuito de la Fig. G-3b. Obtener la expresión de v_{o1} en función de v_{i1} y v_{i2} y calcular su valor para:

g1) $v_{i1} = 1 \text{ mV}$; $v_{i2} = -1 \text{ mV}$

g2) $v_{i1} = 2 \text{ mV}$; $v_{i2} = 0 \text{ V}$

g3) $v_{i1} = 1 \text{ mV}$; $v_{i2} = 1 \text{ mV}$

g4) $v_{i1} = 1 \text{ V}$; $v_{i2} = 1 \text{ V}$

g5) $v_{i1} = 1,001V$; $v_{i2} = 0,999 V$

Analizar los puntos g₃) y g₄) y comprobar que la tensión v_{o1} que se obtiene en estos casos resulta ser: $v_{o1} = A_{V1c} \cdot v_{ic}$, siendo $v_{i1}=v_{i2}=v_{ic}$ y A_{V1c} la amplificación de tensión para una señal común a ambas entradas (modo común) con la salida en el colector de T_1 .

Repetir el análisis anterior para v_{o2} , donde se obtendrá una relación similar a la indicada pero con A_{V2c} (amplificación de modo común con la salida en el colector de T_2). Por último, obtener $\Delta v_{o3}=v_{o3}=v_{o1}-v_{o2}$.

Nota: Observar las diferencias respecto a los valores calculados que aparecerán cuando la señal diferencial de entrada sea suficientemente grande como para que queden puestos en evidencia los efectos de alinealidades de las características de los dispositivos.

G-4.

a) Para el circuito de la Fig. G-3b, definir, determinar las expresiones y los valores de las resistencias de entrada vistas desde los terminales de base para la señal de modo diferencial, R_{id} , y para la señal de modo común, R_{ic} .

De acuerdo a los valores hallados, analizar por qué puede considerarse al nodo de los emisores como si estuviera conectado a una *masa virtual* a los efectos de la señal diferencial (incremento nulo de tensión en el punto de unión de los emisores: $\Delta v_E = v_e = 0$).

Analizar también por qué se dice que *prácticamente toda la señal de modo común v_{ic} cae sobre R_E* ($\Delta v_E = v_e \cong v_{ic}$).

b) Determinar las resistencias de salida vistas desde el terminal de salida de T_1 contra común, desde el de T_2 contra común y desde ambos terminales en forma flotante (diferencial), R_{o1} , R_{o2} y $R_{o3} = R_{od}$, respectivamente.

Si al amplificador del problema 3 se lo excita con dos generadores v_{S1} y v_{S2} , de resistencias internas iguales, $R_S = 1 K\Omega$, teniendo en cuenta que se considera al amplificador perfectamente simétrico, pueden definirse las tensiones en vacío de excitación de modo común y modo diferencial de manera análoga a la realizada para las tensiones aplicadas a las bases de los transistores: $v_{Sd}=v_{S1}-v_{S2}$ y $v_{Sc}=(v_{S1}+v_{S2})/2$. Analizar para qué valores de R_S puede admitirse que $A_{VS1d} > 0,9A_{V1d}$. Observar que, en esos casos será $A_{VS1c} \cong A_{V1c}$. Es decir, se buscará que $R_{id} \gg R_S$ ya que se cumple $R_{ic} \gg R_{id}$.

G-5.

a) Se utiliza el circuito de la Fig. G-3b) en la configuración de la Fig. G-5a. Obtener la tensión sobre R_L ($v_o = v_{od}$) por superposición de las entradas de modo diferencial y modo común y calcular la relación entre $A_{Vdd}=v_{od}/v_{id}$, para $v_{ic} = 0$ y $A_{Vdc}=v_{od}/v_{ic}$, para $v_{id} = 0$, admitiendo

$R_L \gg 2R_C$ y una diferencia o desapareamiento entre las áreas de emisor de T_1 y T_2 de valor: $\Delta A_E / A_E = \Delta I_S / I_S = 0,02$ (2%). Expresarla en veces y en dB.

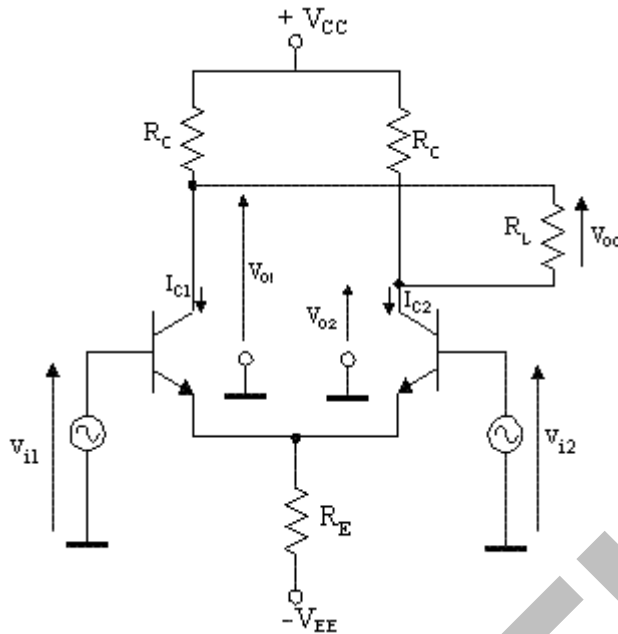


Fig. G-5a

b) Repetir el punto a) para $v_o = v_{o2}$, en el circuito de la Fig. G-5b), admitiendo $R_L \gg R_C$. Observar que en este caso la influencia del desapareamiento en los valores de A_{v2d} y A_{v2c} resulta despreciable.

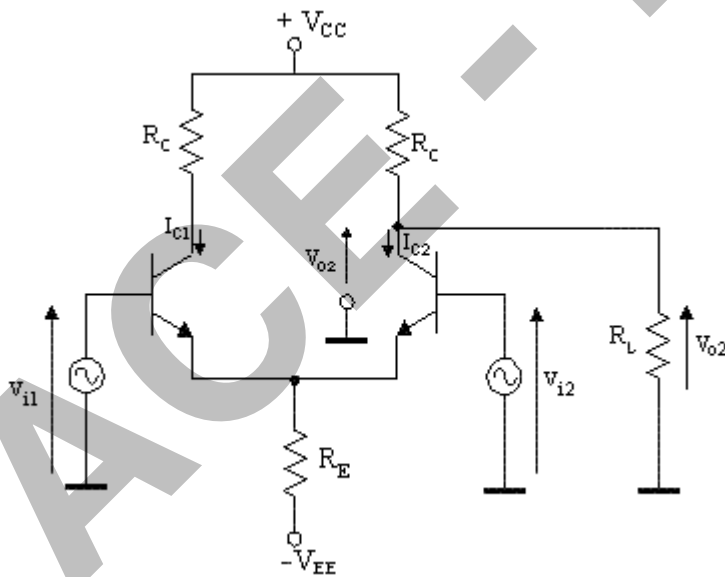


Fig. G-5b

G-6.

El AD de la Fig. G-3b puede representarse del modo que se indica en la Fig. G-6a, donde se pone de manifiesto las dos entradas y las dos salidas del amplificador.

Supondremos un juego de valores para las cuatro amplificaciones que definen el sistema de ecuaciones $v_{od} = f(v_{id}, v_{ic})$ y $v_{oc} = f(v_{id}, v_{ic})$:

$$A_{Vdd} = -400 \quad A_{Vcc} = 0,5 \quad A_{Vdc} = 0,01 \quad A_{Vcd} = 0,002$$

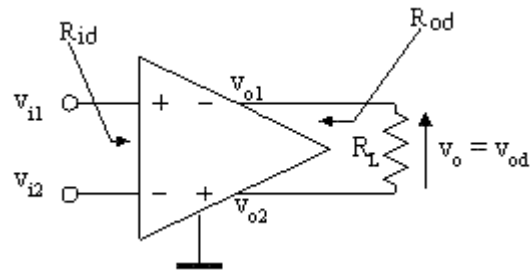


Fig. G-6a

a) Admitiendo $R_L \gg R_o$, determinar: $v_o = v_{od} = f(v_{id}, v_{ic})$. Calcular el valor de la correspondiente RRM.

b) Partiendo del circuito de la Fig. G-3b, obtener mediante simulación qué valor de desapareamiento en las I_S de los transistores deberá existir para obtener el valor de A_{Vdc} indicado anteriormente. Se entiende por valor de desapareamiento la variación relativa porcentual $(I_{S1} - I_{S2}) / I_{S1}$. Notar que un muy pequeño desapareamiento (del orden del 1% al 5%) puede llegar a provocar los niveles de amplificación cruzada indicados.

c) Si se conectan en cascada dos amplificadores idénticos al del problema, en la configuración que se muestra en la Fig. G-6b y se admite para simplificar que:

- La resistencia de entrada diferencial del segundo amplificador es mucho mayor que la de salida del primero, es decir $R_{id2} \gg R_{od1}$ de modo de admitir que el segundo amplificador no carga al primero.
- $R_L \gg R_o$.

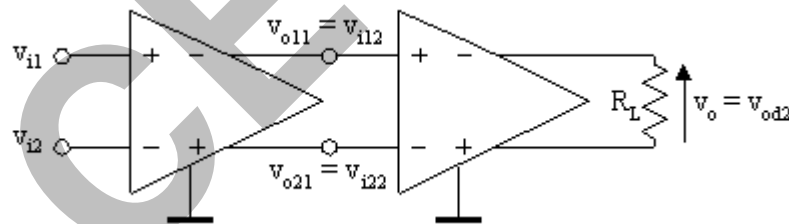


Fig. G-6b

Determinar en base al planteo de los sistemas de ecuaciones correspondientes a los dos amplificadores: $v_o = v_{od2} = f(v_{id1}, v_{ic1})$. Calcular v_{od2}/v_{id1} y v_{od2}/v_{ic1} . Obtener el valor del factor de mérito correspondiente a su cociente.

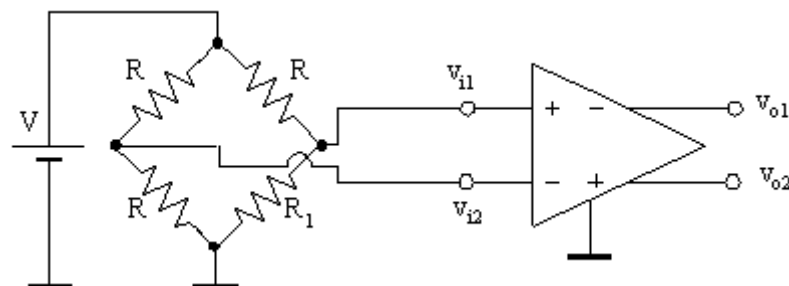


Fig. G-6c

d) Con un amplificador diferencial se desea medir la tensión de salida del circuito puente mostrado en la Fig. G-6c. En este caso, podemos ver que el equivalente Thévenin del puente, visto desde las entradas inversora y no inversora del amplificador representan los generadores de excitación v_{s1} y v_{s2} con sus respectivas resistencias internas. Notar que el pequeño desbalance del puente permite admitir simetría a los efectos de las resistencias internas de los generadores de excitación.

Datos: $R = 2 \text{ K}\Omega$; $R_1 = 1,984 \text{ K}\Omega$; $V = 1 \text{ V}$; $A_{vdd} = -400$.

Admitir la resistencia de entrada del amplificador diferencial mucho mayor que las resistencias del puente. Determinar:

El equivalente de Thévenin de cada uno de los terminales de salida del puente.

d₁) v_{od} si entre las salidas inversora y la no inversora se conecta un voltímetro de alta impedancia interna.

d₂) v_{od} si el voltímetro se conecta entre las salidas inversora y no inversora, y el amplificador diferencial utilizado tiene una $RRMC = A_{vdd}/A_{vdc} = 72\text{dB}$. Extraer conclusiones.

G-7.

Para minimizar los efectos de las señales de modo común, se necesita aumentar el valor que presenta la resistencia de emisor frente a las variaciones de señales de modo común. La solución consiste en utilizar una fuente de corriente constante para polarizar los emisores, que posea la mayor resistencia dinámica de salida posible – Fig. G-7a -.

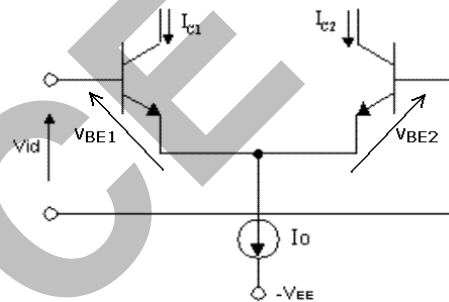


Fig. G-7a

a) Las fuentes de corriente mas simples se pueden obtener mediante transistores convenientemente polarizados, como los circuitos de la Fig. G-7b. Obtener para ambos la expresión de la resistencia de salida, R_o , vista desde la carga R_L . Admitir $r_x = 0$. Analizar los resultados.

b) Justificar cuál de las fuentes resulta más estable frente a:

b₁) variaciones de β .

b₂) variaciones de la tensión de barrera V_{BE} .

Obtener la expresión de dI_O/dT para ambos circuitos teniendo en cuenta las variaciones típicas con la temperatura de β ($1\% / ^\circ\text{C}$) y de V_{BE} ($-2\text{mV} / ^\circ\text{C}$).

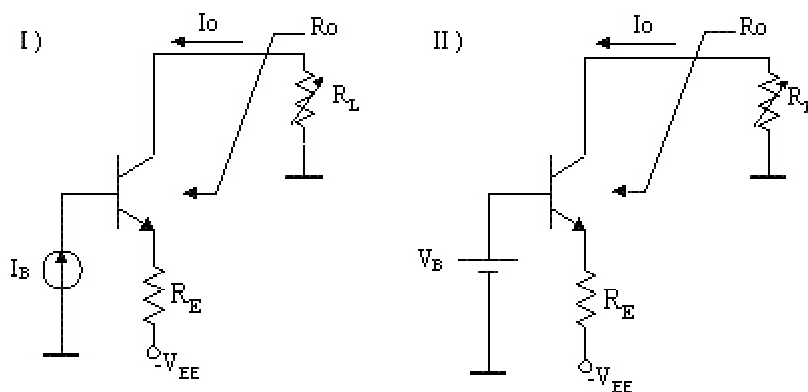


Fig. G-7b

c) La fuente de corriente mas simple utilizada en CIM es la conocida como *espejo de corriente* (Fig. G-7c). Admitiendo $r_x = 0$ y $V_A \rightarrow \infty$, determinar I_{C1} e $I_{C2} = I_O$ en función de la corriente de referencia, I_r y esta última en función de $V_{CC} = V_r$ y R_r . Considerar la influencia de las corrientes de base de los transistores en la expresión a determinar. ¿Qué parámetro de los transistores o del circuito convendría modificar a fin de obtener una fuente de corriente espejo ideal (copia perfecta)? Definiendo como *factor de copia* el cociente I_O/I_r , determinar su valor. Calcular los valores de I_{C1} e I_{C2} para $V_r = 20$ V, $R_r = 47$ K Ω , $\beta = 200$.

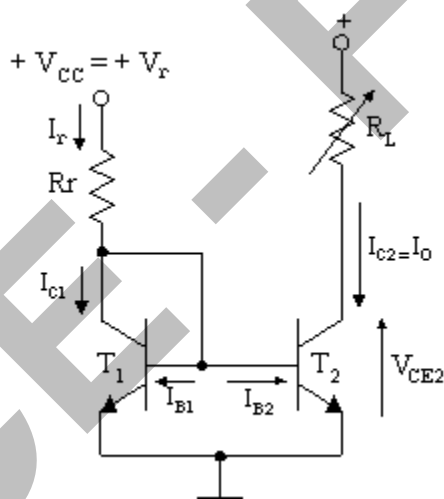


Fig. G-7c

- d) Suponiendo que el β de ambos transistores permanece constante con la temperatura, determinar dI_O/dT para $V_r = 10$ V y $R_r = 10$ K Ω .
- e) Suponiendo $V_{BE} = 0,7$ V, calcular $dI_O/d\beta$.
- f) Si la tensión de Early es $V_A = 130$ V, determinar R_O para los datos del punto a).
- g) Para el valor particular $R_L = 4$ K Ω , determinar la relación I_{C2}/I_{C1} y sus valores, si se tiene en cuenta el efecto de la tensión de Early en la determinación de I_{C1} e I_{C2} para los datos del punto a). Analizar su incidencia.

G-8.

- a) Analizar las causas de los posibles desapareamientos y discutir los

valores característicos de la tensión de offset en un AD con transistores bipolares a partir de hojas de datos de amplificadores operacionales especificados por el fabricante. Tener en cuenta que, en general el desapareamiento de algún parámetro particular de un dispositivo no superará el 5% en circuitos integrados de tecnología actual.

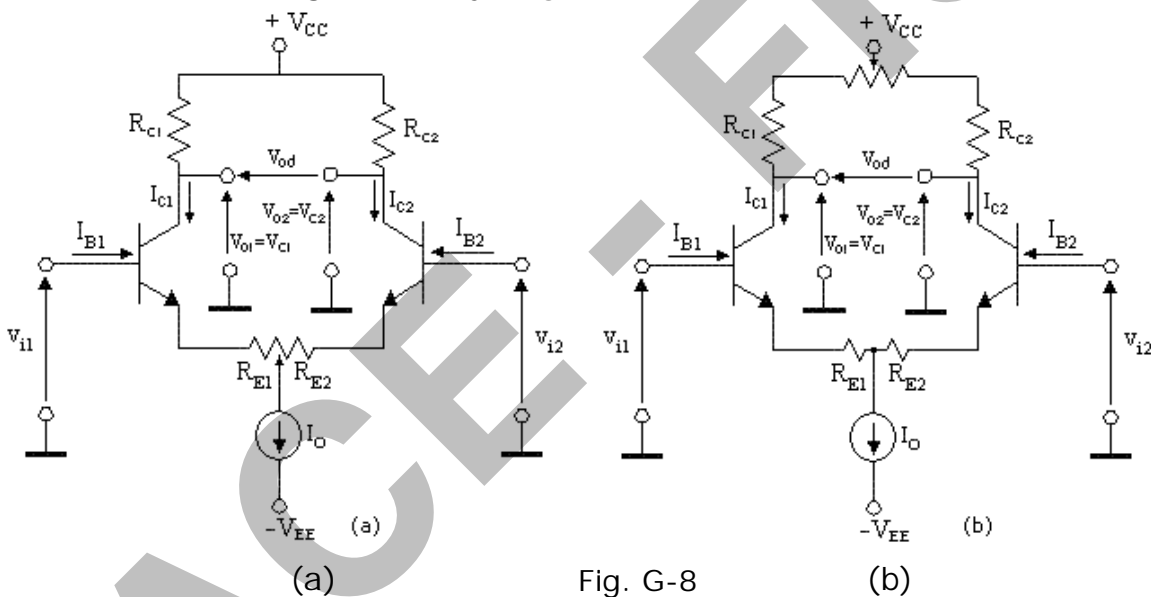
b) Repetir el análisis del punto anterior para un AD con transistores de efecto de campo JFET y transistores MOSFET.

c) Se define *corriente residual* o de *offset* como la que provee un generador de corriente diferencial que tenga en cuenta la diferencia de corrientes de base. ¿Será necesario considerar la corriente de offset para un AD con FETs?.

d) Datos:

- $|V_{CC}| = |V_{EE}| = 20 \text{ V}$; $I_O = 2 \text{ mA}$.
- Figura G-8a): $R_{C1} = R_{C2} = 10 \text{ K}\Omega$; $R_{E1} + R_{E2} = 50 \Omega$.
- Figura G-8b): $R_{C1} = R_{C2} = 5 \text{ K}\Omega$; $R_{E1} = R_{E2} = 250 \Omega$.

Analizar en qué se basa cada una de las técnicas de ajuste de offset indicadas en las Figs. G-8a y b. ¿Cuál se utiliza normalmente en CIM?.



e)

- Obtener el valor de V_{off} en un par acoplado por emisor si se admite que la tensión de offset se debe a una diferencia ΔI_S entre las corrientes de saturación inversa de los transistores, tal que $(\Delta I_S / I_S) = 0,02$ (desapareamiento del 2 %).
- Obtener el valor de V_{off} si se admite que el desapareamiento se debe únicamente a una dispersión $\Delta \beta$ entre los valores de β de los transistores, tal que $(\Delta \beta / \beta) = 0,02$ (desapareamiento del 2 %) y se conectan resistores de $1 \text{ K}\Omega$ en ambas bases.
- Obtener el valor correspondiente de I_{off} para el caso anterior. Observar que en este caso, donde el único desapareamiento es $\Delta \beta$, si se corrige I_{off} no será necesario corregir por V_{off} .

- ¿Cuál de las dispersiones analizadas tendrá mayor influencia en el valor de la tensión residual si existieran ambas? (Considerar a los efectos del signo del desapareamiento el peor caso).
- Si el potenciómetro respectivo se ajusta de modo de lograr salida diferencial nula cuando se conecten las entradas a común, analizar las derivas térmicas que se tendrán en la tensión y corriente residual, $\Delta V_{off}/\Delta T$ y $\Delta I_{off}/\Delta T$, respectivamente.

f) Si se admite, para un análisis simplificado, que $V_{off}=0$ e $I_{off}=0$ para $T = 27^\circ\text{C}$; si la temperatura varía entre 27°C y 37°C y se acepta que:

$$\Delta V_{BE}/\Delta T = -2 \text{ mV}/^\circ\text{C} ; \Delta V_{off}/\Delta T = \Delta (V_{BE1} - V_{BE2})/\Delta T = 2 \Delta V/^\circ\text{C} ;$$

$$\Delta I_{off}/\Delta T = 5 \text{ nA}/^\circ\text{C}.$$

Obtener la variación de la tensión de salida para el circuito utilizado en el punto e) si se cortocircuitan las entradas y la temperatura varía entre ambos extremos. Entender la deriva térmica (tanto de tensión como de corriente) como una fuente de señal perturbadora (de tensión o corriente) de modo diferencial de valor:

$$V_{id} = (\Delta V_{off}/\Delta T) \cdot (T_{\text{máx}} - T_{\text{mín}}) \text{ e } i_{id} = (\Delta I_{off}/\Delta T) \cdot (T_{\text{máx}} - T_{\text{mín}})$$

g) Justificar la relación: $\text{RRMC} = |A_{Vdd}/A_{Vdc}| = (dV_{off}/dV_{ic})^{-1}$ para $v_{Od}=0$.

h) Analizar el significado de la *Sensibilidad de la tensión residual de entrada* y los valores típicos que brindan los fabricantes para los OPAMPS.

$$\text{RRFA (o SVRR)} = \Delta V_{off} / \Delta V_{CC} \text{ para } \Delta V_{Od} = v_{Od} = 0$$

$$\text{RRFA (o SVRR)} = \Delta V_{Od} / \Delta V_{CC} \text{ para } \Delta V_{Id} = \Delta V_{Ic} = 0$$

G-9.

El circuito de la Fig. G-9 representa el esquema simplificado de un amplificador operacional integrado (OPAMP) en cuya salida se conectó una carga $R_L = 100\Omega$.

De dicho circuito se conoce:

$$\beta_1 = \beta_2 = \beta_3 = \beta_4 = \beta_6 = 400 ; \beta_5 = 100.$$

Se admite $r_x \cong 0$ y $V_A \cong 130 \text{ V}$ para todos los transistores.

$$R_{C1}=R_{C2}= 10\text{K}\Omega; R_f= 39,3\text{K}\Omega; R_{E5}= 4,3\text{K}\Omega; R_{C5}= 20,7\text{K}\Omega; R_{E6}= 10\text{K}\Omega.$$

$$|V_{CC}| = |V_{EE}| = 20 \text{ V}.$$

a) Determinar los puntos de reposo de todos los transistores indicando las respectivas tensiones de todos los electrodos a común. Despreciar, al sólo efecto de los cálculos de este punto, la corrección por efecto Early.

b) Determinar la amplificación de tensión $A_v = v_o/v_i$, R_i y R_o . Determinar $v_o = f(v_{id}, v_{ic})$ y las amplificaciones totales A_{Vd} y A_{Vc} . Determinar la RRMC del circuito.

c) Calcular el *Rango de tensión de modo común* para este circuito.

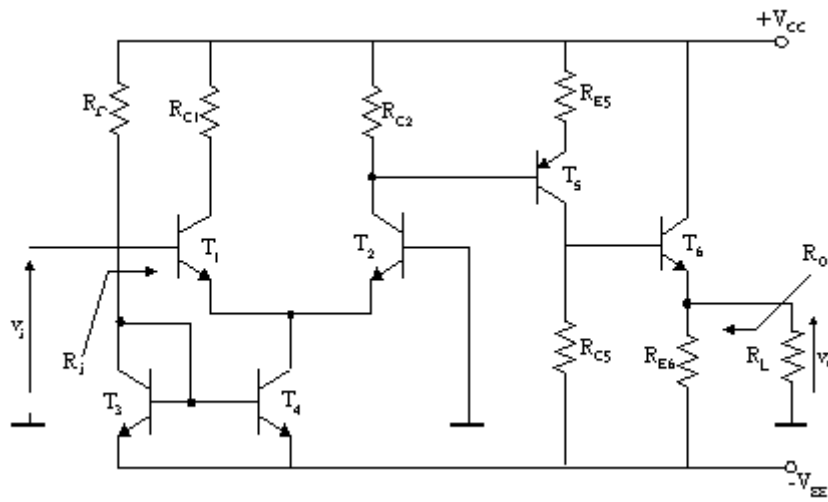


Fig. G-9

d) Analizar las diferencias en los valores de los puntos de reposo al tener en cuenta el valor de V_A en el cálculo. Extraer conclusiones. Podría entenderse esta diferencia en el valor de la tensión de salida como debida a una señal perturbadora existente en algún punto del circuito. En este caso, la variación de i_{C4} debida al efecto Early, respecto a su valor calculado originalmente (al que llamaremos I_{CQ4}), puede representarse como el incremento en la corriente de la fuente T_3 - T_4 : $\Delta i_{C4} \cong I_{CQ4} \cdot (V_{CE}/V_A)$ provocado por una *señal de modo común equivalente*.

G-10.

Para cada uno de las fuentes de corriente de la Fig. G-10, se conoce:

$\beta = 100$, $r_x = 0$ y $V_A = 130$ V para todos los transistores.

$|V| = 10$ V.

En caso de ser necesario, admitir que la polarización de la fuente de corriente se realiza mediante una tensión V_r , en serie con una resistencia genérica de valor R_r .

Admitir que existe una fuente de tensión ideal de valor " V " entre el terminal de salida y común.

a) Para cada una determinar:

a₁) Los puntos de reposo de todos los transistores indicando las respectivas tensiones de todos los electrodos a común. Suponiendo que en la salida del circuito se colocara una fuente de tensión ideal, cual sería su mínimo valor de tensión de manera que todos los transistores continúen trabajando en modo activo directo? Despreciar, al sólo efecto de los cálculos de este punto, la corrección por efecto Early.

a₂) El factor de copia, definido como I_o/I_r .

a₃) La resistencia incremental vista desde el terminal por donde ingresa la corriente de referencia I_r .

a₄) La resistencia incremental de salida. Esto es, la resistencia incremental vista desde el terminal por donde drena la corriente I_o , R_o .

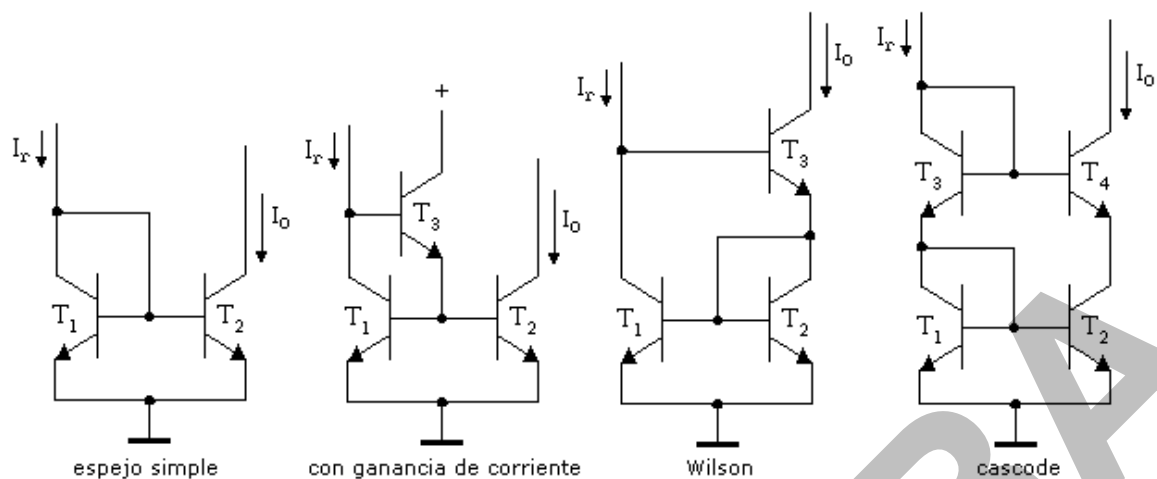


Fig. G-10

- b)** Comparar los resultados obtenidos en a) y extraer conclusiones.
- c)** Dibujar el circuito complementario correspondiente a la fuente de corriente espejo simple - suponiendo que se utilizan transistores PNP laterales con una ganancia de corriente de 50. Para el circuito obtenido, cómo se modifican los valores calculados en el punto a)? Extraiga conclusiones.
- d)** Analizar la posibilidad de implementar los circuitos anteriores mediante transistores JFET y MOSFET.

G-11.

a) Se supone que se conoce la relación estática entre $V_{id} = V_{B1} - V_{B2}$ y la corriente de colector de cada transistor de los circuitos de la Fig. G-11a. El bloque que carga al AD representa una fuente espejo de copia "a". Determinar para ellos, las características estáticas de I_o en función de I_p y V_{id} . Obtener, además, la expresión de $g_{md} = dI_o / dV_{id}$. Para ambos casos, Suponer "a" igual y distinto a la unidad. ¿Que valor convendría tomar?. ¿Por qué?.

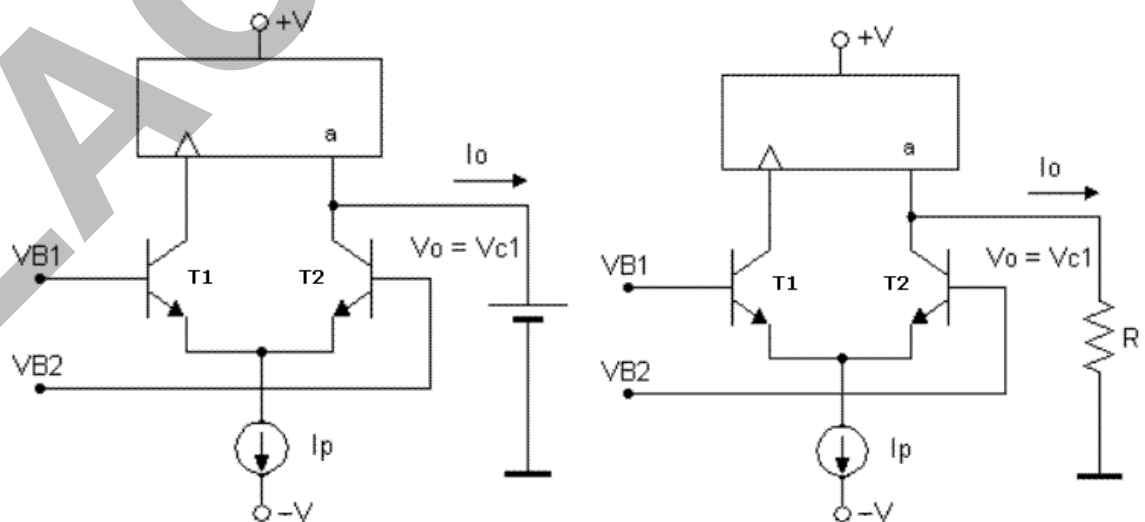


Fig. G-11a

b) Considere el circuito de la Fig. G-11b. Repetir los cálculos realizados en el ítem anterior, y comparar los resultados. ¿Que ventajas y desventajas presenta una configuración respecto a la otra?

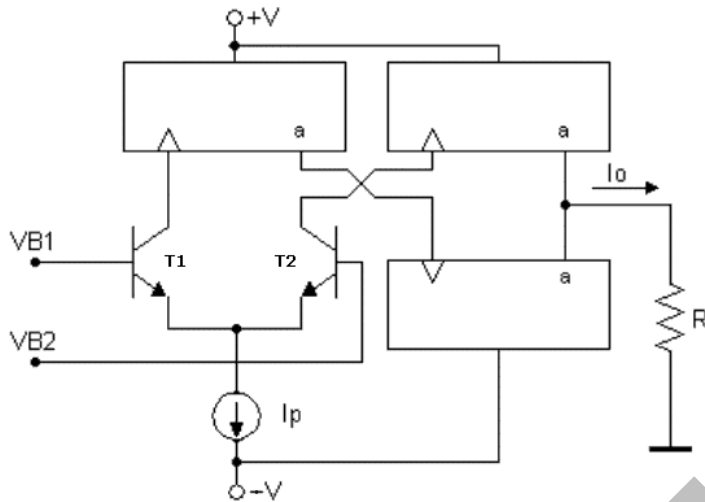


Fig. G-11b

c) Suponiendo conocido en el circuito de la Fig. G-11c el valor de la fuente de corriente ideal I_o y los parámetros de los transistores $T1=T2$ y $T3=T4$, explicar para qué se incluye $T5$. Obtener las relaciones de I_{S5} y β_5 con I_o , y los parámetros del resto de los TBJ, para que dicho transistor pueda cumplir con la finalidad para la que se lo incluyó.

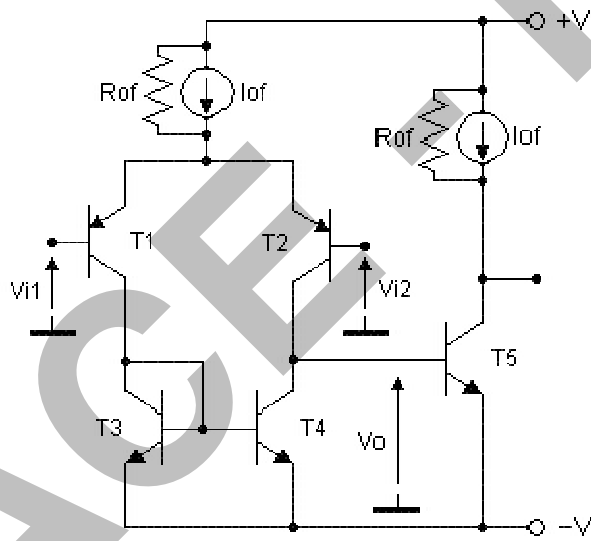


Fig. G-11c

G-12.

El circuito de la Fig. G-12a representa el esquema simplificado de un amplificador operacional integrado (OPAMP) con CMOS, mientras que la Fig. G-12b representa el modelo para señal, considerándolo como una red bipuerta, donde en general puede admitirse que idealmente:

$R_i \rightarrow \infty$, $R_o \rightarrow 0$ y $A_{vo} \rightarrow \infty$ (en el modelo real, en general serán: $R_i > 1\text{M}\Omega$, $R_o < 10\Omega$ y $A_{vo} > 10^4$).

a) Mediante un análisis de incrementos, justificar la ubicación de los terminales de entrada inversor y no inversor indicados.

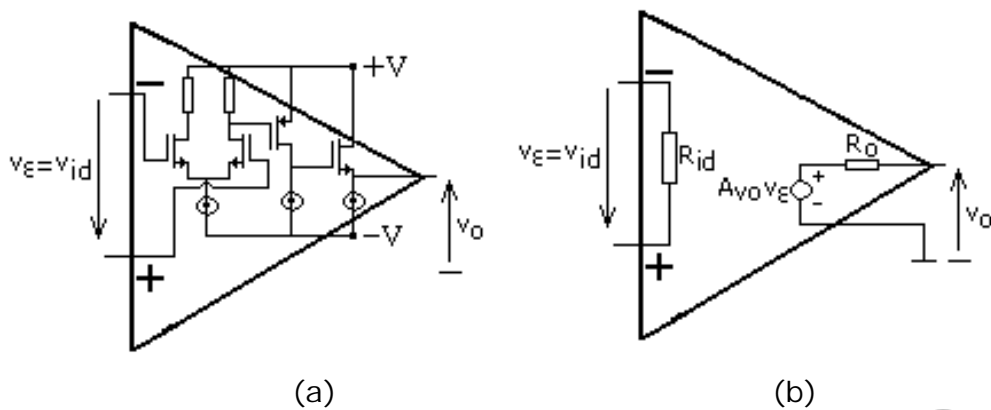


Fig. G-12

- b)** ¿Cómo se comporta el circuito de la Fig. G-12c? ¿Puede asegurarse $V_{OQ} \cong 0V$ si v_i es una senoidal de pequeña amplitud?

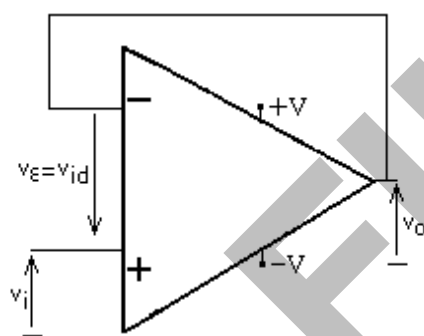


Fig. G-12c

G-13.

Al OPAMP del ejercicio anterior, se lo utiliza en los circuitos indicados en las Figs. G-13a y b. Analizar el tipo de realimentación que se tiene en cada caso, determinando los bloques: generador, carga, amplificador y realimentador "k". ¿Qué muestrea?, ¿qué suma?, ¿qué parámetro del amplificador estabiliza?, ¿cómo se define "k"? ¿por qué la realimentación es negativa?, ¿cuál es el valor de k?, ¿cuál es el valor del parámetro estabilizado si se admite $|A_o k| \gg 1$? ¿Se cumple esta última condición?.

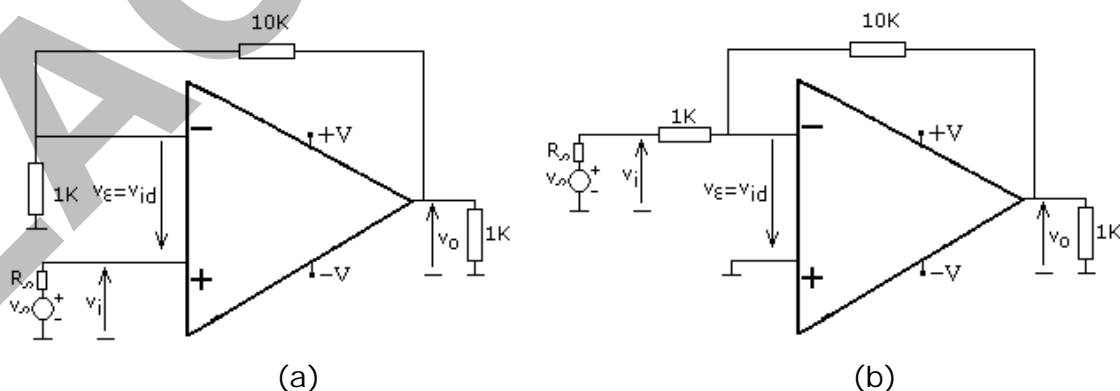


Fig. G-13

G-14.

Al OPAMP del ejercicio anterior, se lo utiliza en los circuitos indicados en las Figs. G-14a y b, (se omitieron las fuentes de alimentación en el

esquema). Demostrar que se comportan como amplificadores diferenciales. Compararlos entre sí y justificar por qué al segundo se lo conoce como amplificador de instrumentación.

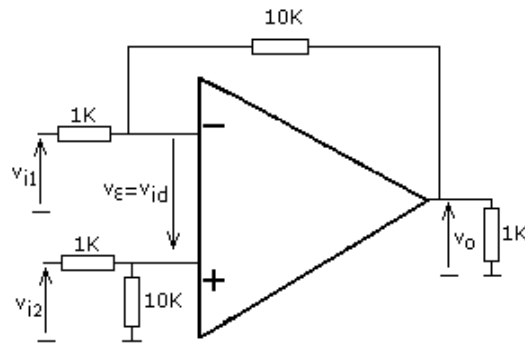


Fig. G-14a

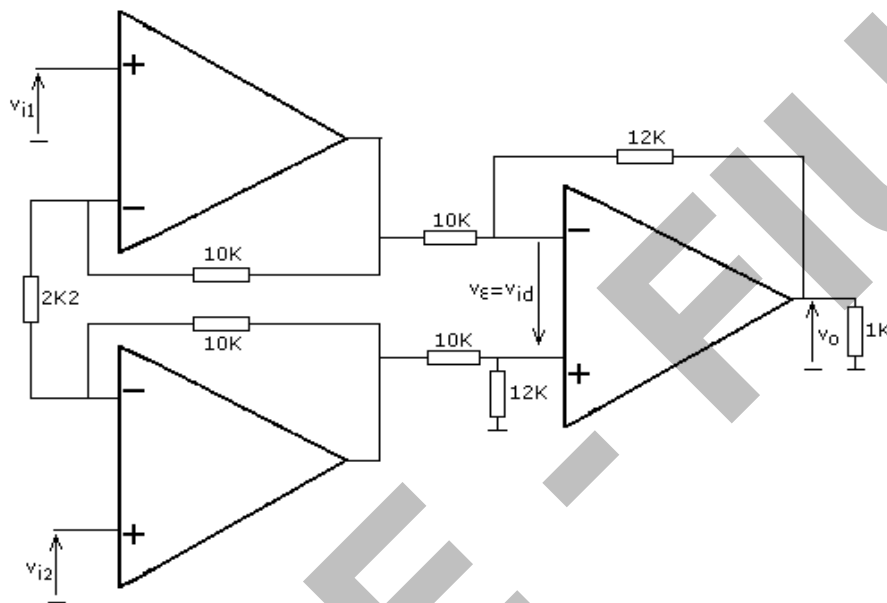
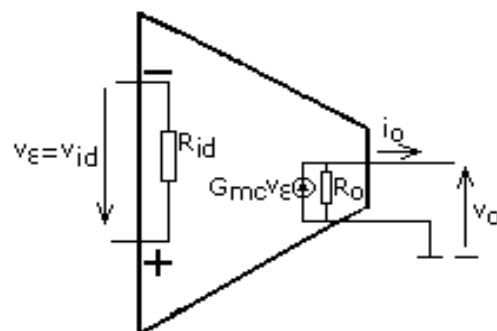


Fig. G-14b

G-15.

El circuito de la Fig. G-11b, se lo denomina amplificador de transconductancia (¿por qué?) u OTA. Se lo simboliza como se indica en la Fig. G-15a. Analizar el comportamiento de este amplificador conectado como se indica en la Fig. G-15b, respecto al circuito con un OPAMP de la Fig. G-15c. Extraer conclusiones.



(a)

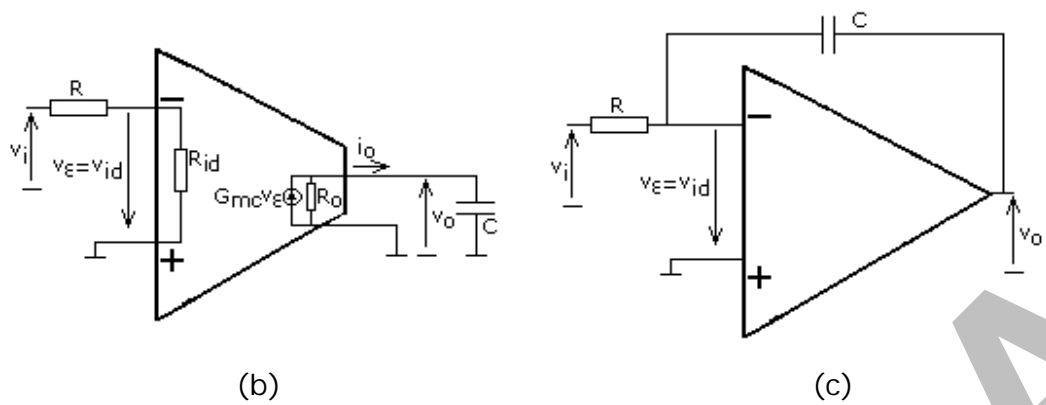


Fig. G-15

G-16.

Justificar por qué al circuito de la Fig. G-16 se lo denomina integrador diferencial.

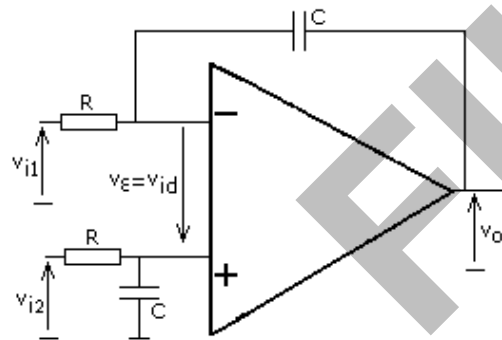


Fig. G-16

G-17.

Obtener por inspección la expresión de R_i . Justificar por qué a este circuito se lo denomina girador. Analizar la realimentación.

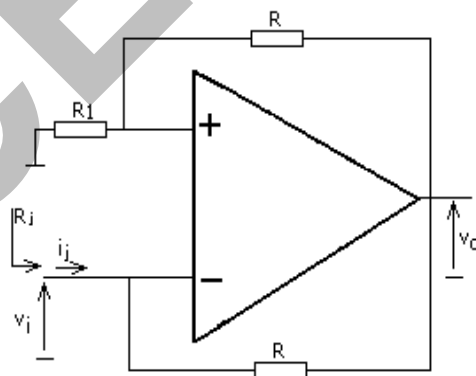


Fig. G-17

G-18.

Para el circuito de las Fig. G-18: Analizar el tipo de realimentación que se tiene, determinando los bloques: generador, carga, amplificador y realimentador "k". ¿Qué muestrea?, ¿qué suma?, ¿por qué la realimentación es negativa?, ¿cuál es el valor de k?, ¿cuál es el valor del parámetro estabilizado si se admite $|A_0 k| \gg 1$? Obtener I_o .

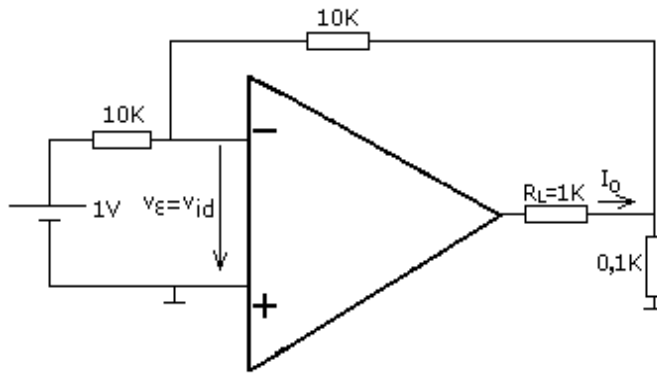


Fig. G-18

G-19.

¿Cómo se comporta el circuito de la Fig. G-19a para valores de $R_L < 5K$? ¿Qué función cumple el TBJ en el circuito de la Fig. G-19b, ¿Cuál es el valor de V_{OQ} ?

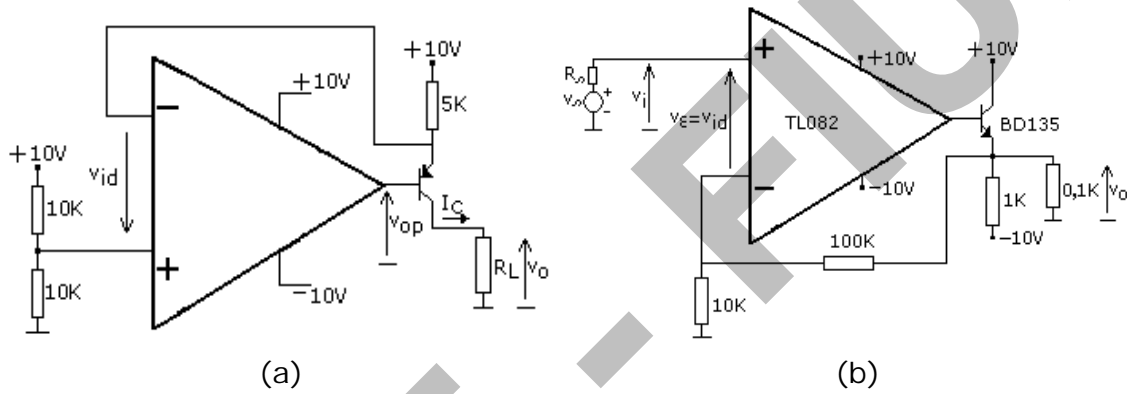


Fig. G-19