

LACE - FUUBA

Complementos

A0.1- Polarización y funcionamiento con señal en circuitos de un transistor.	163
A0.2- Análisis en pequeña señal de circuitos con un solo transistor y sus distintas configuraciones.	199
A0.3- Etapa con un transistor bipolar en emisor común con acople directo de la resistencia de carga.	227
A0.4- Etapa con dos generadores de excitación.	239
A0.5- Limitaciones en el uso de transistores bipolares.	245
A0.6- Principios básicos de amplificadores con varios transistores.	259
A0.7- Estudio de circuitos R-C.	269
A0.8- Respuesta en frecuencia de circuitos amplificadores.	291
A0.9- Amplificadores diferenciales y fuentes de corriente.	309
A0.10- Amplificadores diferenciales con carga activa.	335
A0.11- Amplificadores operacionales: Conceptos básicos.	357

LACE - FUUBA

**A0.1 - Polarización y funcionamiento
con señal en circuitos con un transistor**

1.- Polarización y funcionamiento con señal en circuitos con un transistor

De acuerdo con el estudio realizado en el análisis de los principios básicos de funcionamiento de los dispositivos de control de señal, será necesario proveerlos de una potencia de continua para su operación como amplificadores de señal. Esto hace que deba alimentarse al dispositivo desde una fuente de continua, fijándose un punto de trabajo estático que determinará la potencia de entrada de continua al transistor. Para operación en modo analógico con funcionamiento lineal, este punto de trabajo deberá elegirse de modo tal que permita aproximar la característica de transferencia del dispositivo mediante el primer término del desarrollo en serie de Taylor, para la señal de trabajo, siempre que su amplitud sea suficientemente pequeña.

Polarizar el dispositivo significa fijar un punto de reposo definido por el par de valores de corriente y tensión de salida. Esto equivale a definir un punto específico sobre el plano de las características de salida. Se sobreentiende que para ello, habrá que imponer valores convenientes a las variables de entrada, es decir que deberá polarizarse adecuadamente al electrodo de control. Las condiciones a tener en cuenta para ubicar el punto de reposo pueden incluirse en dos grupos:

1. Aquellas que dependan de limitaciones de funcionamiento del dispositivo.
2. Las que correspondan a los requerimientos del funcionamiento con señal.

Las primeras incluyen tensión y corriente máximas que admite el dispositivo, tanto a la salida como a la entrada, así como la máxima potencia que puede disipar. El otro grupo tiene en cuenta la amplificación de tensión requerida, amplificación de corriente, impedancia de entrada, impedancia de salida, ganancia de potencia, respuesta en frecuencia, distorsión por alinealidad, máxima amplitud de señal requerida a la salida y algunas otras consideraciones en aplicaciones particulares.

Se comenzará el estudio centrado en el análisis de circuitos con transistores bipolares de juntura y se irán extendiendo las conclusiones obtenidas a los transistores de efecto de campo. Posteriormente, en los temas que resulte conveniente, se tratarán los circuitos con los distintos tipos de transistores simultáneamente.

1.1. Amplificadores de pequeña y gran señal y de baja y alta potencia

Para que el uso de los modelos incrementales sea válido, el dispositivo en cuestión deberá operar con pequeña señal. Resulta simple demostrar, basándose en el desarrollo en serie de Taylor, que la condición

de pequeña señal exige que la amplitud de la tensión alterna aplicada entre base y emisor, sea mucho menor que $V_T = kT/q$. Desarrollando la expresión (1.1) alrededor de un punto Q, se tiene (1.2):

$$i_C = I_S e^{V_{BE}/V_T} \quad (1.1)$$

$$i_C = I_{CQ} + \frac{I_{CQ}}{V_T} \Delta V_{BE} + \frac{I_{CQ}}{2V_T^2} \Delta V_{BE}^2 + \dots \quad (1.2)$$

Para obtener una expresión lineal deberá ser:

$$\frac{\Delta V_{BE}^2}{2V_T^2} \ll \frac{\Delta V_{BE}}{V_T} \quad (1.3)$$

de donde: $\Delta V_{BE} \ll 2V_T$ (1.4)

Admitiendo una tolerancia del 5%, la amplitud de señal alterna a aplicar no debería ser mayor de 2,5 mV (5mV pico a pico).

En todo equipo habrá un cierto número de etapas amplificadoras interconectadas entre sí. La etapa de salida es la que entregará la señal elaborada para su uso a la carga y generalmente deberá hacerlo a un nivel de potencia elevado, en relación con las restantes etapas. Así, la etapa de salida y eventualmente la anterior, o etapa excitadora, trabajarán en un nivel de potencia más alto y generalmente con señales de gran amplitud. Para el análisis y diseño de estas etapas, no serán válidos los modelos incrementales de pequeña señal y deberán aplicarse técnicas específicas, correspondientes a amplificadores de potencia. Las etapas previas trabajan normalmente con bajos niveles de potencia.

A falta de una definición más rigurosa, consideraremos que una etapa funciona con bajo nivel de potencia si puede admitirse que la temperatura de la juntura colector-base es prácticamente igual a la del ambiente para cualquier valor de la amplitud de entrada. Esta definición no implica en absoluto funcionamiento lineal para amplitudes grandes de señal.

Estrictamente, el uso de los modelos circuitales deducidos en este texto, es válido para etapas amplificadoras con pequeña señal. Sin embargo, para simplificar el análisis y diseño de circuitos, dentro de tolerancias aceptables, se acostumbra admitir la validez de los modelos para cualquier amplificador de bajo nivel de potencia, aunque no trabaje con pequeña señal, siempre que se opere en modo activo directo.

En lo que sigue, a menos que se aclare lo contrario, se supondrá que las frecuencias de las señales alternas son tales, que todos los efectos reactivos del transistor y su circuito asociado son despreciables.

1.2. Circuito básico de bajo nivel con un solo transistor

Utilizaremos como punto de partida para nuestro estudio el circuito de la Fig. 1.1. Para simplificar el análisis, usaremos por el momento fuentes de alimentación separadas para proveer la polarización de base y colector. Un primer paso para el estudio consiste en dividir el circuito en uno de continua -Fig. 1.2a - y otro de alterna - Fig. 1.2b -.

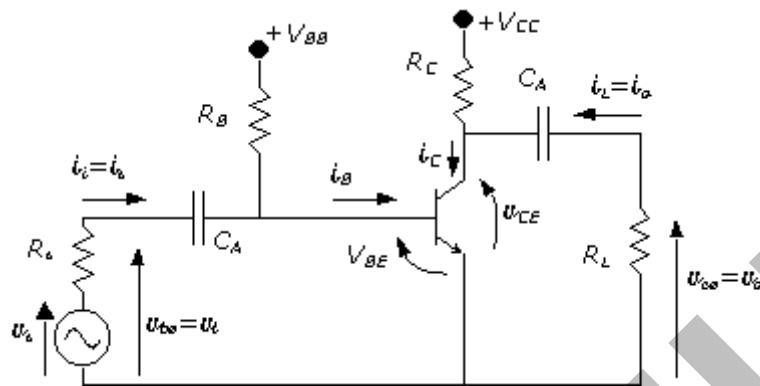


Fig. 1.1

Mediante el circuito de continua se podrá determinar el punto de reposo, y utilizando el circuito de alterna se podrá evaluar el comportamiento del amplificador frente a señales alternas. Si bien, en este último circuito los valores de las componentes continuas no aparecen explícitamente, quedan implícitas en los parámetros de alterna del circuito equivalente del transistor.

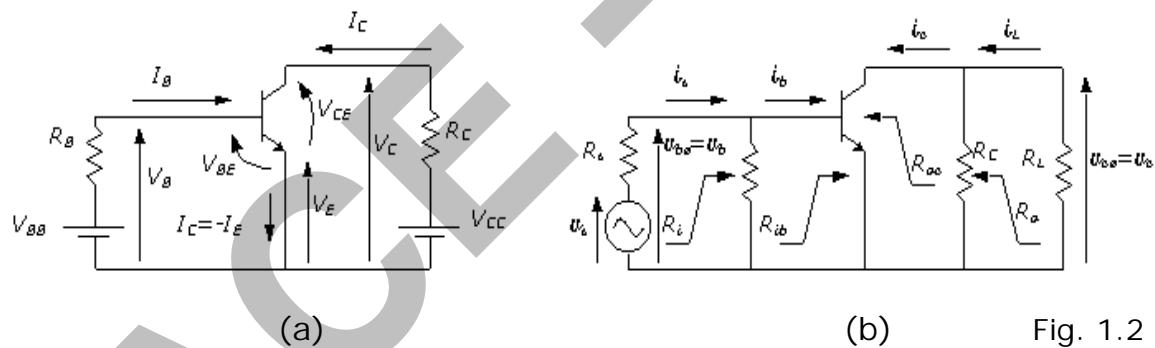


Fig. 1.2

1.3. Función de los componentes del circuito

V_{BB} y R_B constituyen el circuito de polarización de base. La misión de R_B es limitar la corriente de base y conviene que sea de valor elevado con el objeto de cargar mínimamente a la fuente de la señal a amplificar.

V_{CC} y R_C polarizan al circuito de colector. V_{CC} suministra la potencia que el dispositivo convertirá en potencia útil de señal en la carga. El valor de R_C deberá elegirse de modo tal que sea suficientemente elevada para que por R_L circule una fracción suficiente de corriente alterna de colector y por otro lado, su valor no debe ser tan alto como para que el transistor trabaje con un valor de tensión de polarización entre colector

y emisor reducido, lo que limitaría la máxima amplitud de señal obtenible a la salida.

R_L representa la resistencia equivalente de la carga a conectar al dispositivo, sobre la que se desea obtener la potencia útil de señal de salida. R_s y v_s constituyen el equivalente Thévenin de la fuente de la señal a elaborar.

Los capacitores de acople, cuando se los utiliza, tienen por objeto eliminar la componente continua a través del generador de señal y de la carga (o separar los circuitos de continua del transistor, la carga y la fuente de señal). Serán considerados como cortocircuitos para la señal alterna.

1.4. Determinación del punto de reposo

El problema consiste en, dados el circuito, el transistor y el valor de todos los elementos que intervienen, determinar el punto de polarización en el plano I_C - V_{CE} :

DATOS: V_{CC} ; V_{BB} ; R_C ; R_B ; T_r (β_F ; V_{BE} ; I_{CO})

INCÓGNITAS: Q (I_{CQ} ; V_{CEO})

Para hallar el punto de reposo se utilizará exclusivamente un método analítico aproximado, en donde se supondrá que la característica de entrada del transistor puede aproximarse a una recta vertical cuya ecuación es $V_{BE} = \text{cte.}$ (Tensión de barrera o umbral del diodo sólido, $V_{BE} = V_{BE(on)}$) - Fig. 1.3 -.

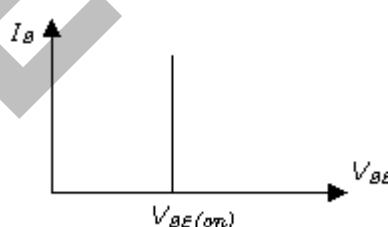


Fig. 1.3

Se acepta como válida la expresión;

$$I_{CQ} = \beta_F \cdot I_{BQ} + (\beta_F + 1) \cdot I_{CO} \quad (1.5)$$

Es decir, se supone que I_C es independiente de la tensión colector-emisor.

Circulando por las mallas de entrada y salida, tenemos:

$$V_{BB} = I_B \cdot R_B + V_{BE} \quad (1.6)$$

$$V_{CC} = I_C \cdot R_C + V_{CE} \quad (1.7)$$

Admitiendo $V_{BE} = \text{cte.}$, de la ecuación (1.6) se puede despejar el valor de la corriente de base, que resultará:

$$I_B = \frac{V_{BB} - V_{BE}}{R_B} = I_{BQ} \quad (1.8)$$

Conocida la I_B del punto de polarización puede hallarse I_C a partir de (1.5), donde I_{CO} se despreciará en transistores de silicio.

$$I_{CO} = \beta_F * I_{BQ}$$

con lo que se tendrá: $I_{CO} = (V_{BB} - V_{BE}) / (R_B / \beta_F)$ (1.9)

Obtenido el valor de I_{CO} basta reemplazarlo en la ecuación (1.7) para obtener el valor de la tensión colector-emisor del punto de trabajo:

$$V_{CEO} = V_{CC} - I_{CO} R_C \quad (1.10)$$

Calculados los valores de I_{CO} y V_{CEO} , deben indicarse además las tensiones de los tres electrodos contra el punto común, dado que son los valores más fácilmente medibles en un circuito. En el caso del circuito básico, serán:

$$\begin{aligned} V_{EQ} &= 0 \\ V_{BQ} &= V_{BE} \\ V_{CO} &= V_{CEO} = V_{CC} - I_{CO} R_C \end{aligned} \quad (1.11)$$

En general, los cálculos se realizan con una tolerancia del orden del 5% al 10%. No tiene sentido, en la mayoría de los circuitos reales, encontrar valores con mayor precisión debido a la tolerancia con que se conocen los parámetros de los transistores y el resto de los componentes del circuito.

1.5. Rectas de carga estática y dinámica

De la circulación por la malla de continua de colector, despejando I_C en función de V_{CE} , surge la ecuación de la *recta de carga estática*. La ecuación (1.12) representa el lugar geométrico de los pares de valores I_C ; V_{CE} compatibles con las condiciones impuestas por los componentes del circuito exterior de continua, de la malla de salida (entre colector y emisor).

$$I_C = \frac{V_{CC}}{R_C} - \frac{V_{CE}}{R_C} \quad (1.12)$$

Los parámetros característicos son los indicados en la Fig. 1.4.

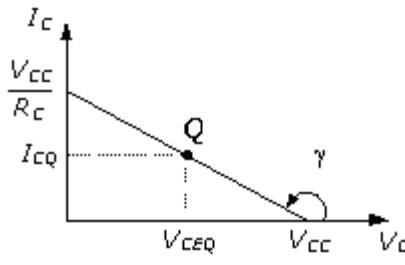


Fig. 1.4

La componente de corriente alterna de colector circula por el paralelo de R_C y R_L , al que llamaremos R_{ca} , *resistencia de carga de colector para la señal alterna*.

De acuerdo al circuito de la Fig. 1.4, las variaciones de la corriente de colector causarán una variación en la tensión entre colector y emisor dada por:

$$\Delta V_{CE} = -\Delta i_C \cdot R_{ca} \quad (1.13)$$

donde $R_{ca} = R_C || R_L$ y el signo surge de los sentidos de referencia adoptados.

Esta es la condición a cumplir por la diferencia entre los valores instantáneos totales de la corriente de colector y de la tensión colector-emisor i_C y V_{CE} , y los correspondientes valores del punto de reposo I_{CQ} y V_{CEO} . De este modo:

$$V_{CE}(t) - V_{CEO} = -(i_C(t) - I_{CQ}) \cdot R_{ca} \quad (1.14)$$

Si se despeja $i_C(t)$ en función de $V_{CE}(t)$, se obtiene la ecuación de una recta que pasa por el punto de reposo Q, cuya pendiente es $-1/R_{ca}$.

$$i_C(t) = -\frac{V_{CE}(t)}{R_{ca}} + I_{CQ} + \frac{V_{CEO}}{R_{ca}} \quad (1.15)$$

Esta recta representa el lugar geométrico del punto de trabajo instantáneo o dinámico en su trayectoria en el plano i_C-V_{CE} y se denomina *recta de carga dinámica*. Su pendiente tendrá mayor valor absoluto que la de la recta de carga estática y valdrá:

$$m_d = -1/R_{ca} \quad (1.16)$$

Para la intersección con el eje horizontal, el incremento de la tensión V_{CE} corresponderá a un incremento de la corriente de colector.

$$\Delta i_C = -I_{CQ} \cdot R_{ca} \quad (1.17)$$

de donde:

$$\Delta V_{CE} = -(-I_{CQ} \cdot R_{ca}) = I_{CQ} \cdot R_{ca} \quad (1.18)$$

La abscisa al origen será por lo tanto:

$$a_d = V_{CEO} + I_{CO} \cdot R_{ca} \quad (1.19)$$

Para la intersección con el eje vertical, el Δi_C a partir de I_{CO} será:

$$\Delta V_{CE} = -V_{CEO} \quad (1.20)$$

resultando:

$$\Delta i_C = \frac{-(-V_{CEO})}{R_{ca}} = \frac{V_{CEO}}{R_{ca}} \quad (1.21)$$

y la ordenada al origen:

$$b_d = I_{CO} + \frac{V_{CEO}}{R_{ca}} \quad (1.22)$$

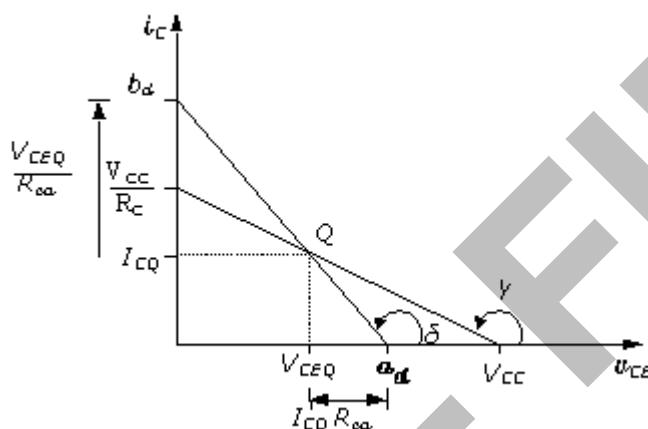


Fig. 1.5

1.6. Funcionamiento con señal

Si se admite linealidad en el circuito de entrada para la señal alterna, suponiendo que la fuente de señal entrega en vacío una tensión:

$$v_s = \hat{V}_s \sin(\omega t) \quad (1.23)$$

la corriente total de base será:

$$i_B = I_{BQ} + \hat{I}_b \sin(\omega t) \quad (1.24)$$

A partir de la forma de onda de la corriente de base, se podrían obtener las correspondientes formas de onda de salida por medio de un análisis gráfico que permitiría visualizar la trayectoria del punto de trabajo instantáneo sobre las características de colector - Fig. 1.6 -, donde se ha utilizado para el gráfico el plano I_C-V_{CE} con I_B como parámetro, pero es equivalente a hacerlo en este plano con V_{BE} como parámetro.

Las componentes alternas de la tensión y corriente de salida están en contrafase de acuerdo con los sentidos de referencia empleados. Si los efectos reactivos no fuesen despreciables, la diferencia de fase entre

las señales no sería de 180° y la trayectoria del punto de trabajo instantáneo en el plano $I_C - V_{CE}$ resultaría una elipse, tal como surge de la composición de las dos señales senoidales en ejes perpendiculares.

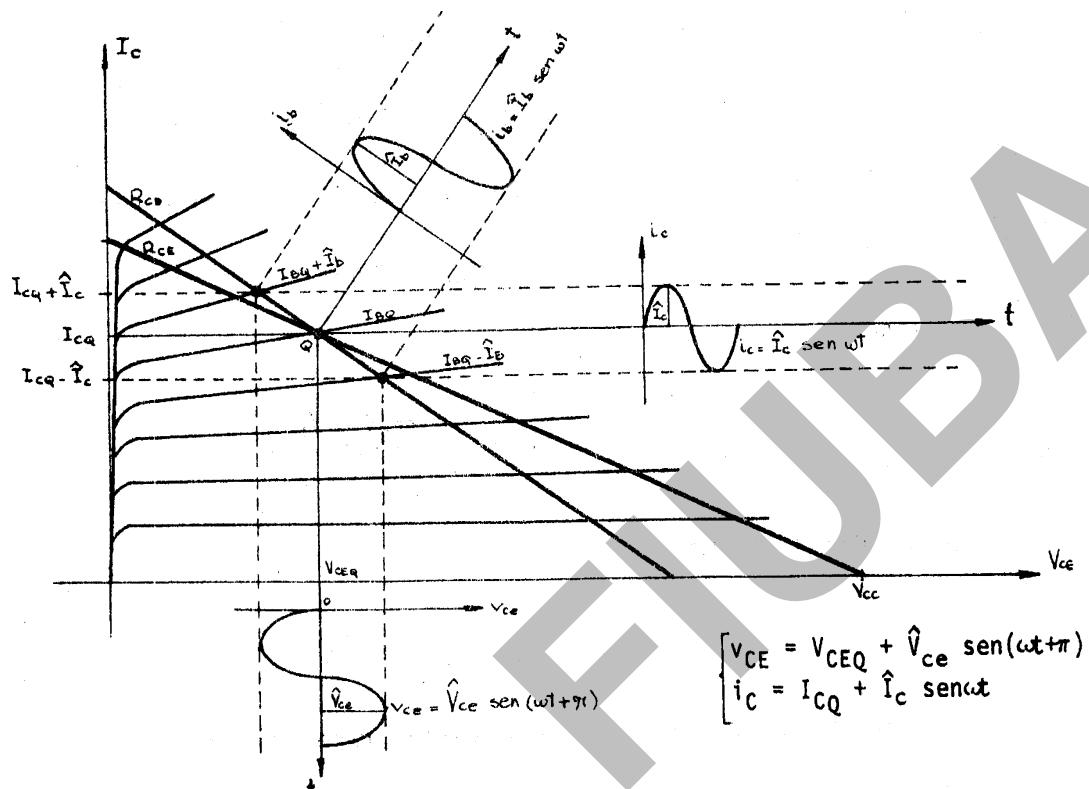


Fig. 1.6

1.7. Recorte de la señal de salida

Si el punto de reposo Q no está convenientemente elegido en relación con la amplitud de la señal de entrada, puede ocurrir que ésta no sea reproducida apropiadamente, resultando un recorte en uno o ambos semicírculos de la señal de salida. Si el punto de reposo se encontrara ubicado cerca de la zona de saturación, el circuito de entrada no vería alteradas sus condiciones de funcionamiento y la forma de onda de la corriente de base reproduciría muy aproximadamente la de la tensión del generador de señal. Sin embargo, puede ocurrir que a partir de un determinado valor instantáneo de la corriente de base, la corriente de colector deje de aumentar por efectos de la saturación. Cuando se produzca este efecto se dirá que el transistor recorta por saturación. De la Fig. 1.7 se puede observar que este fenómeno no se produciría si se aumentara el valor de V_{CEQ} , esto significa que el recorte por saturación se produce por *falta de tensión continua disponible entre colector y emisor* para reproducir correctamente la señal de entrada.

Es necesario notar que para operación lineal, el punto de funcionamiento instantáneo no debería tener un valor de V_{CE} inferior a V_{CEK} . Este valor, denominado *tensión de codo*, define el punto a partir del

cual puede considerarse que para cualquier v_{CE} mayor que este valor, las características de salida son aproximadamente horizontales.

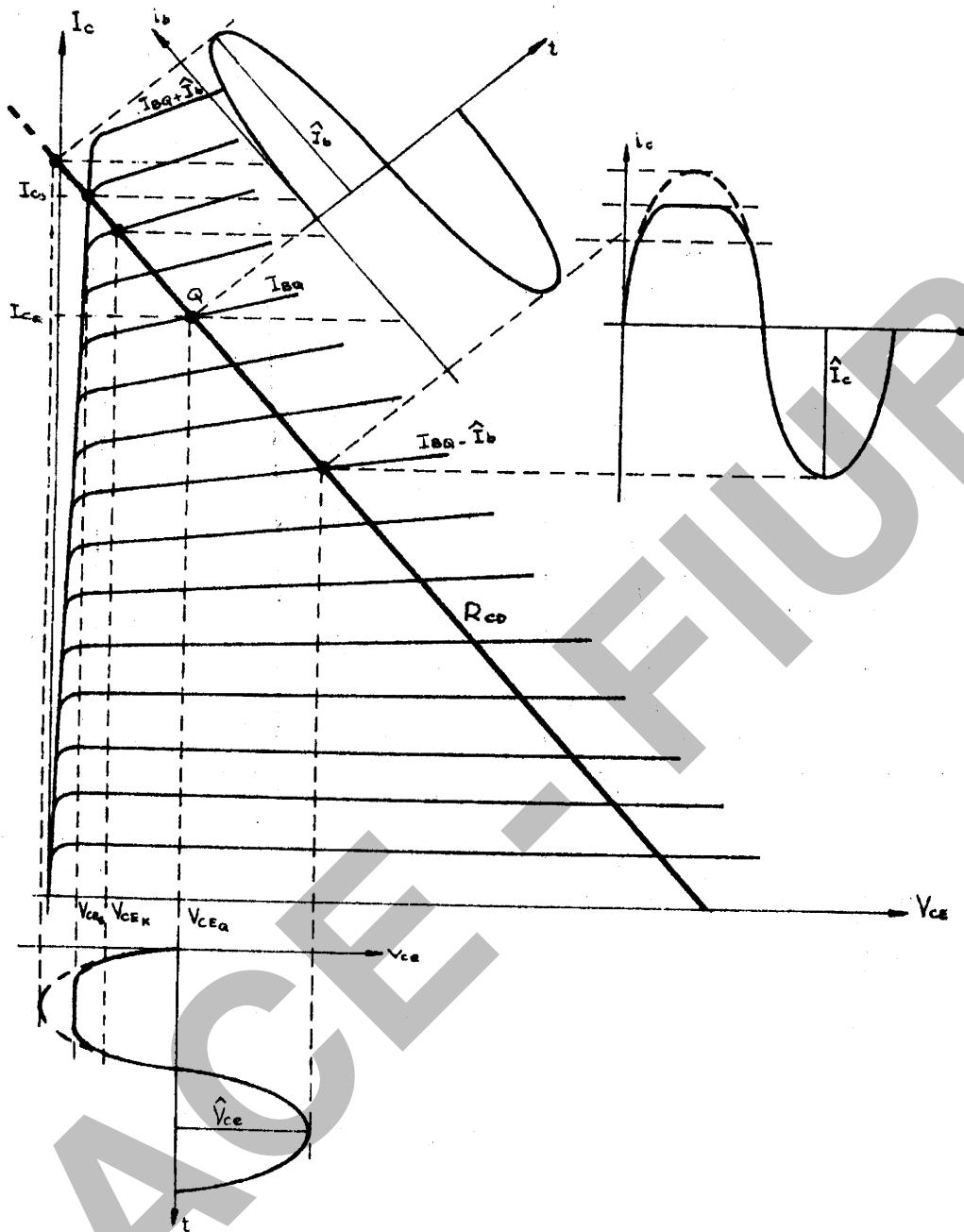


Fig. 1.7

Si la corriente de polarización de base fuera muy pequeña podría suceder que durante parte de la señal alterna de entrada la tensión sobre el diodo base emisor fuera inferior a la tensión de barrera, con lo que la corriente de base prácticamente se anularía. Cuando esto suceda la corriente de colector también resultará prácticamente nula, con lo que se produce un recorte en el semicírculo negativo de la corriente de colector. Cuando aparezca este efecto, se dirá que el transistor recorta por corte - Fig. 1.8 -. Debe observarse, que hasta alcanzar un recorte neto, la tensión instantánea total v_{BE} tiene que tomar valores bastante

inferiores a lo que hemos denominado tensión de barrera V_{BE} , debido a la alta curvatura de la curva $I_B = f(V_{BE})$ en esa región (se comienza a notar un recorte aproximadamente mas neto cuando el valor instantáneo total v_{BE} toma valores inferiores a alrededor de 450 mV).

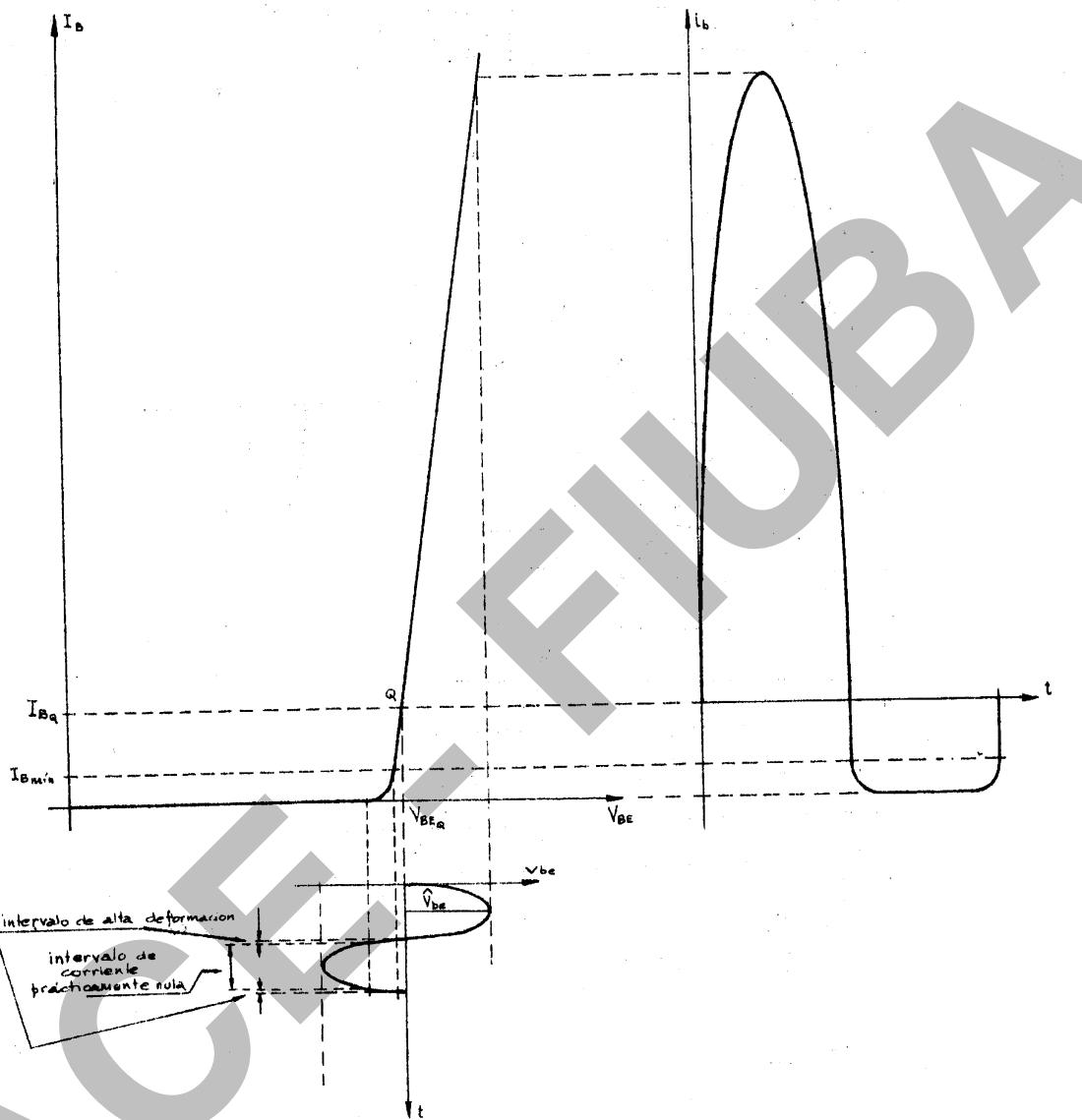


Fig. 1.8

Puede observarse, que la Fig. 1.8 resulta de la misma forma si se la grafica en un plano $I_c = f(V_{BE})$, con la diferencia que la función exponencial en este último plano tendría una pendiente del orden de β veces mayor. En este caso la función representada correspondería a la ecuación de transferencia fundamental del transistor bipolar de juntura:

$$I_c = I_s (e^{V_{BE}/VT} - 1) \approx I_s e^{V_{BE}/VT} \text{ para valores de } V_{BE} \text{ tales que, } V_{BE} > 4V_T$$

De la Fig. 1.9 se desprende que para eliminar este recorte deberá aumentarse la corriente de polarización de colector. Esto muestra que el recorte por corte se produce por *falta de corriente de polarización suficiente*.

ciente. Notar que durante el recorte por corte se anula la corriente que circula por el colector, pero no la que circula por R_C y R_L . Obsérvese que al haber recorte en la señal de salida, el valor medio o continuo de la corriente de colector i_c , no coincide con la corriente de polarización de continua I_{CO} , siendo mayor que esta cuando hay recorte por corte ($\bar{I}_c > I_{CO}$) y menor cuando hay recorte por saturación ($\bar{I}_c < I_{CO}$).

Si se observa la señal de salida mediante un osciloscopio para una u otra forma de recorte, se notará que la transición desde la zona aproximadamente senoidal hasta la que corresponde a corriente de colector prácticamente constante, se produce pasando por una zona curva que resulta más abrupta en el caso de saturación que en el de corte debido, en este último caso, a la importante curvatura de la característica del diodo de entrada con corrientes de base muy pequeñas. Para evitar deformación excesiva en parte del semicírculo negativo de la corriente de colector, la corriente de base no debería disminuir por debajo de un cierto nivel, indicado como I_{Bmin} en la Fig. 1.8. Por este motivo se considera normalmente que el valor instantáneo de la corriente de colector no debe ser inferior a un cierto valor I_{Cmin} que se elige como una dada fracción de I_{CO} .

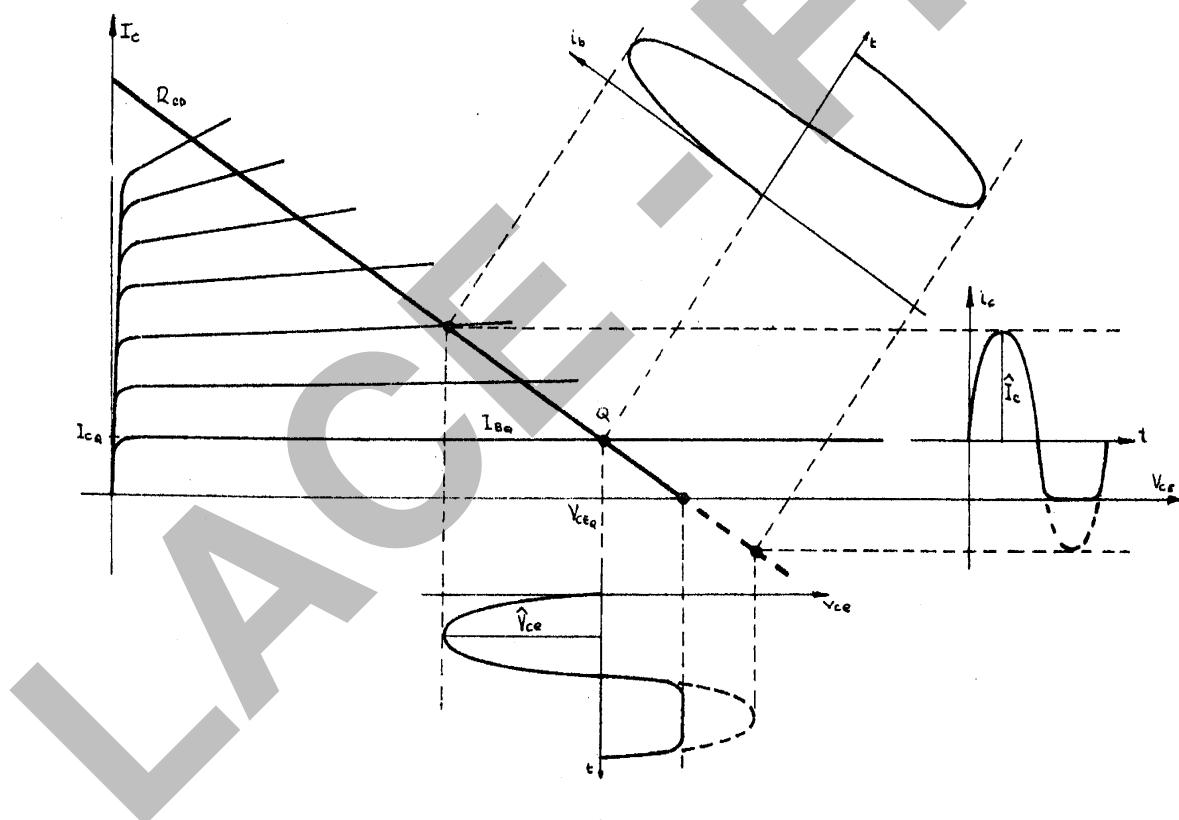


Fig. 1.9

1.8. Clases de operación de un amplificador

Según la ubicación del punto de reposo en el plano de las características de colector, se definen para un amplificador distintas clases de operación que se designan con el nombre de clases A, AB, B y C.

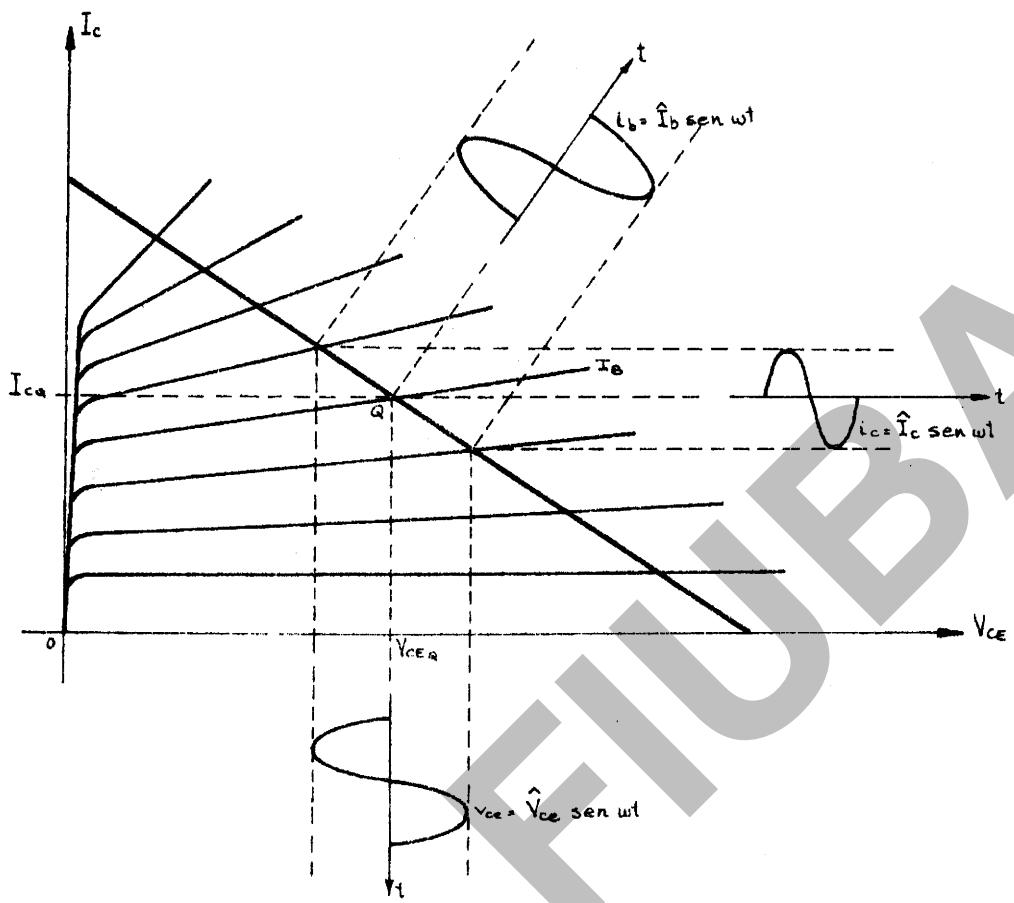


Fig. 1.10

Clase A: Se dice que un amplificador trabaja en clase A cuando su punto de trabajo estático está ubicado de modo tal que para cualquier amplitud de las posibles señales de excitación, el transistor nunca entra a trabajar en las zonas de corte o saturación. Esto equivale a decir que no haya limitación o recorte en ambos semiciclos de la corriente de colector. Por lo tanto siempre, en el punto de trabajo, habrá una corriente de reposo I_{CQ} distinta de cero, ya que el punto de reposo deberá estar en la zona central de las características (zona analógico-lineal) - Fig 1.10 -.

Clase AB: Si el punto de trabajo tiene una corriente de colector I_{CQ} , de valor tal que la forma de onda de salida esté limitada por efecto de corte, se dice que el transistor trabaja en clase AB. Esto indica que para señales de excitación muy débiles (pequeña señal) el amplificador trabajará en clase A y para señales fuertes (gran señal) el punto de trabajo instantáneo entrará en la zona de corte en los extremos negativos de la tensión V_{BE} . En este caso también siempre habrá una corriente de reposo I_{CQ} distinta de cero, pero si hay recorte se tendrá $-I_c > I_{CQ}$, Fig. 1.11.

Clase B: En este caso, el amplificador trabaja con su punto de reposo ubicado justo en corte. Es decir, que hay corriente de colector sólo durante medio período de la señal aplicada y la corriente de reposo es aproximadamente nula $I_{CQ} = 0$ (en realidad, si se polariza la base del

transistor con $I_B = 0$, la mínima corriente de colector que puede obtenerse es I_{CEO} aunque con transistores de silicio se admitirá $I_{CEO} = 0$). Se admite normalmente que $I_{CO} = 0$ y $V_{CEO} = V_{CC}$ – Fig. 1.12 -. Prácticamente sólo hay corriente variable en colector, durante el semiciclo positivo de la corriente de base, ya que, durante el negativo la corriente de colector se anula durante todo el semiciclo. Durante el semiciclo positivo, circula en colector una corriente media, que es aproximadamente igual a I_C/π , y durante el otro semiciclo la corriente es nula.

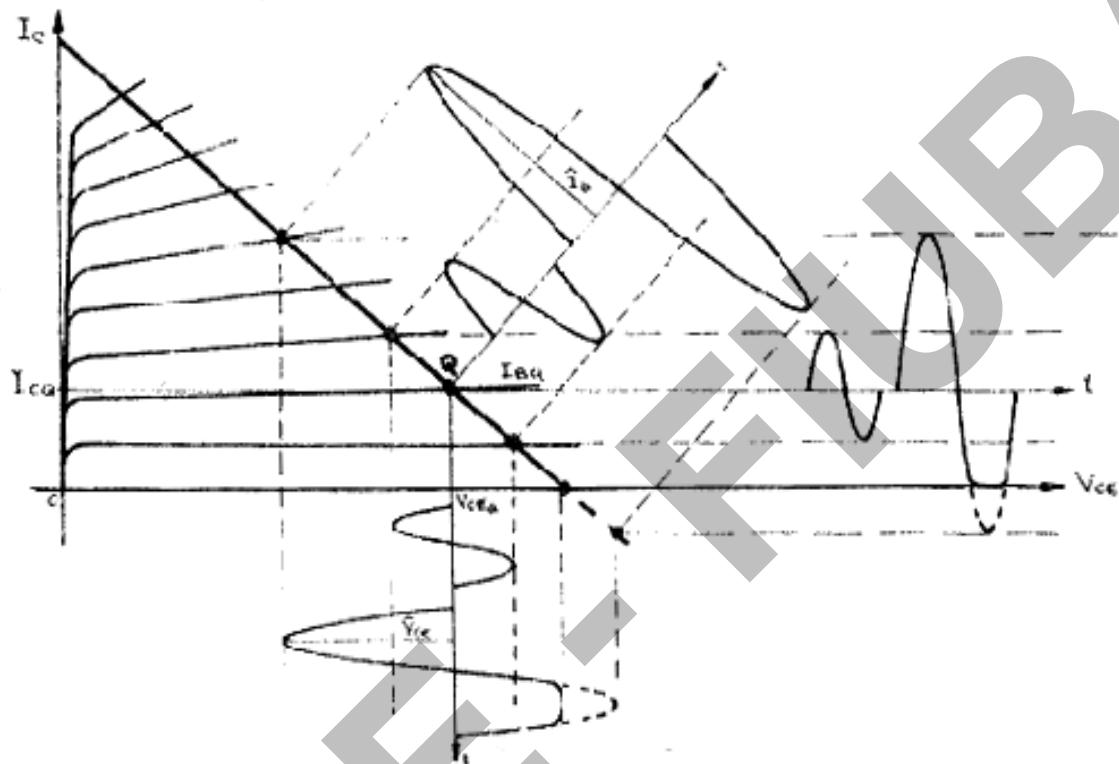


Fig. 1.11

Clase C: En esta forma de funcionamiento, el punto de reposo está ubicado de modo tal que sólo hay conducción en colector, durante una parte del semiciclo positivo de la tensión de señal. La corriente del punto de reposo es $I_{CO} = I_{CO} = 0$ y $V_{CEO} = V_{CC}$. Sobre la característica de transferencia i_C-V_{BE} (en escala semilogarítmica) el punto Q se ubica tal como se ve la en Fig 1.13. V_{BE}^* es la mínima tensión negativa base-emisor que se considera lleva a dicho diodo a polarización inversa. Para tensiones V_{BE} más negativas, la corriente de colector permanece prácticamente igual a I_{CO} y para $I_B=0$ será $I_C=I_{CEO}$. Ambas, $I_{CO} = I_{CBO}$ e I_{CEO} se admitirán prácticamente nulas, salvo en aplicaciones muy especiales que exijan considerarlas.

Si se comparan las cuatro clases de funcionamiento, puede verse que para un período de onda senoidal de tensión de base, la corriente de colector circula durante 360° en clase A. En clase AB hay conducción

en colector durante un ángulo θ tal que $180^\circ < \theta < 360^\circ$. En clase *B*, $\theta = 180^\circ$ y en clase *C*, $\theta < 180^\circ$.

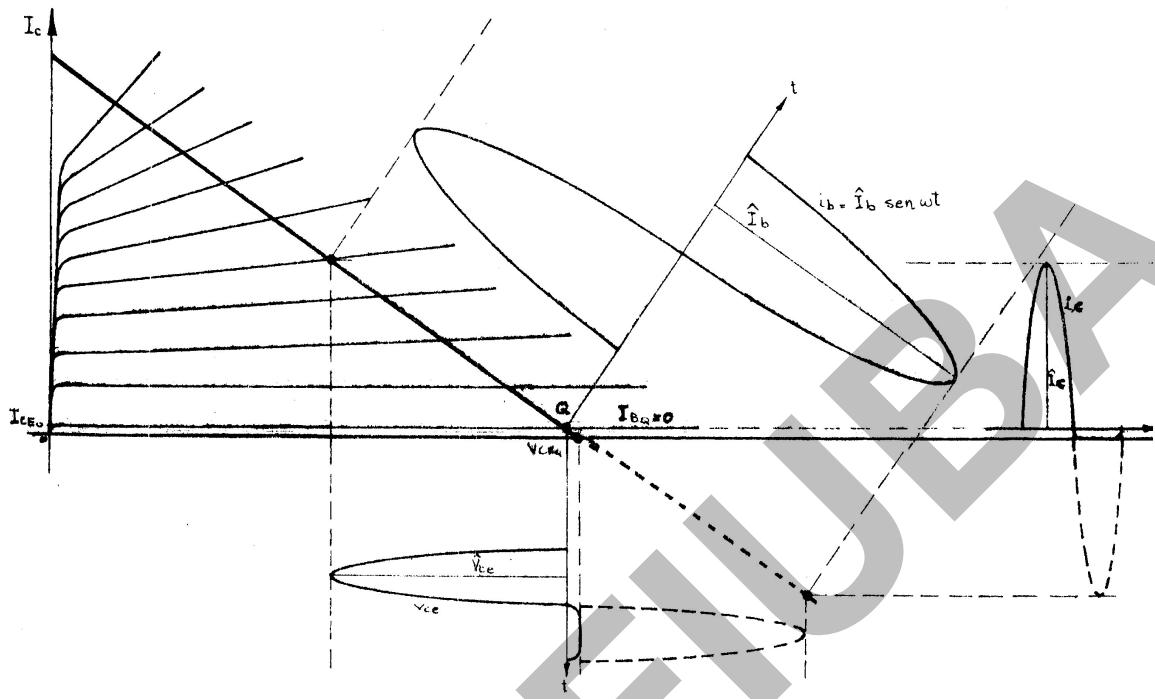


Fig. 1.12

Sólo se estudiara amplificadores trabajando en clase *A*, por lo cual, en adelante sólo se aclarará la forma de trabajo si se opera con alguna de las otras tres clases de funcionamiento.

1.9. Máxima amplitud de señal de salida sin recorte

Para evitar alta deformación en la zona de saturación, el valor instantáneo de la tensión colector-emisor, v_{CE} , no debe ser inferior a la tensión de codo V_{CEK} . En consecuencia, la máxima amplitud de la tensión alterna entre colector y emisor no debe superar el valor $V_{CEQ} - V_{CEK}$. Llamaremos \hat{V}_{ceMs} a la máxima amplitud de tensión de señal de colector sin deformación apreciable por saturación - Fig. 1.14 -.

$$V_{ceMs}: V_{ce} \text{ máxima de saturación } \hat{V}_{ceMs} = V_{CEQ} - V_{CEK} \quad (1.25)$$

En el otro extremo, para evitar alta deformación en la zona de corte, la corriente instantánea de colector no debe ser inferior a I_{Cmin} . De este modo, la máxima amplitud de corriente alterna de colector no debe superar el valor $I_{CQ} - I_{Cmin}$. Esta excursión de corriente producirá una variación de tensión de valor $(I_{CQ} - I_{Cmin})R_{ca}$. Denominaremos \hat{V}_{ceMc} a la máxima amplitud de tensión de señal de colector sin deformación apreciable por corte - Fig. 1.14 -.

$$\hat{V}_{ceMc} = (I_{CQ} - I_{Cmin})R_{ca} = \hat{I}_{cMc}R_{ca} \quad (1.26)$$

¿Qué es I_{Cmin} ?

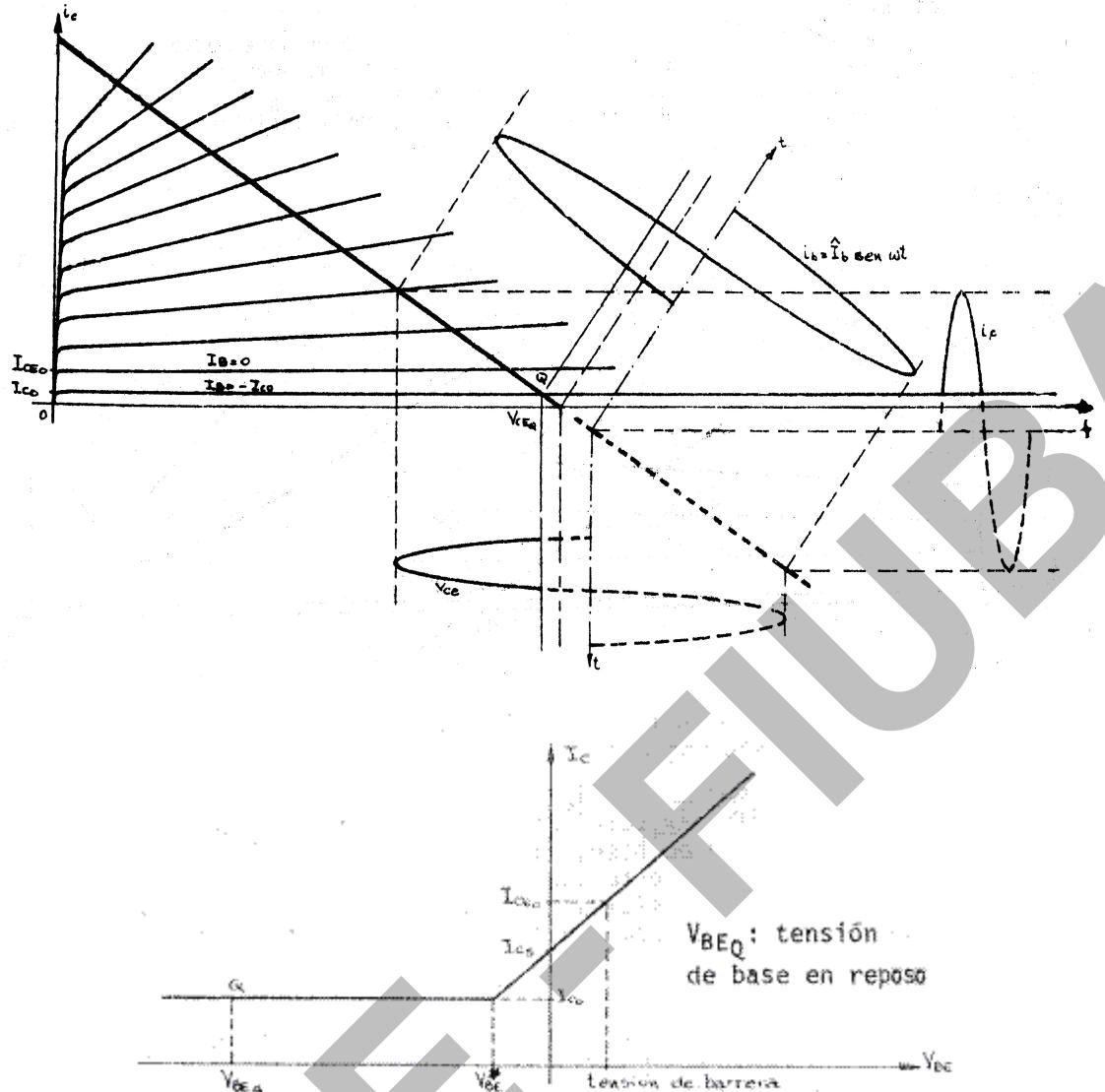


Fig. 1.13

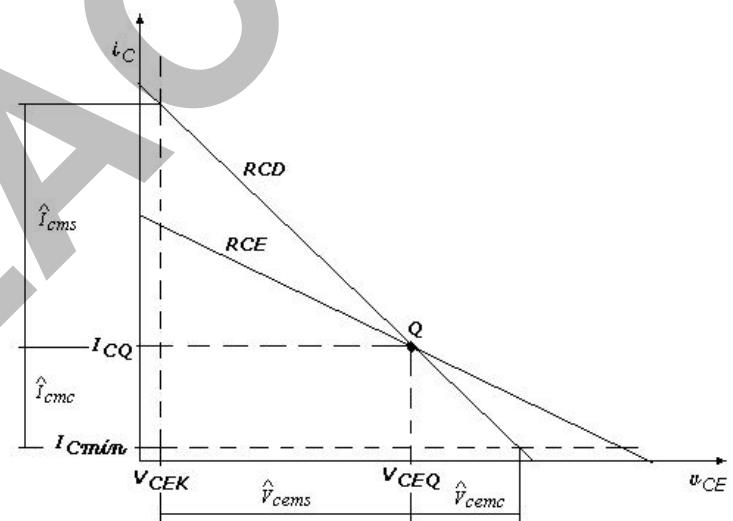


Fig. 1.14

Determinado el punto de trabajo, el menor de los dos valores de amplitud de tensión alterna entre colector y emisor, definidos de acuerdo con las condiciones (1.25) y (1.26), indicara el máximo valor de la tensión alterna de señal, \hat{V}_{ceM} , que el circuito puede entregar entre estos terminales sin recorte en ninguno de los dos semiciclos.

Notar que para minimizar la distorsión por saturación, el valor fundamental a tener en cuenta es V_{CEO} , ya que la limitación es por tensión y por lo tanto no depende de R_{ca} . Para evitar distorsión por corte, el parámetro a tener en cuenta es I_{CQ} , pues la limitación se efectúa por corriente y en consecuencia, \hat{I}_{ceMc} no depende de R_{ca} , pero \hat{V}_{ceMc} resulta dependiente de R_{ca} . **Para simplificar el proceso de cálculo en los diseños, se acostumbra a admitir V_{CEK} e I_{cmin} nulos**, teniendo en cuenta que el valor de la máxima amplitud obtenible sin recorte (ni deformación apreciable) resultará algo menor que el supuesto. En estas condiciones:

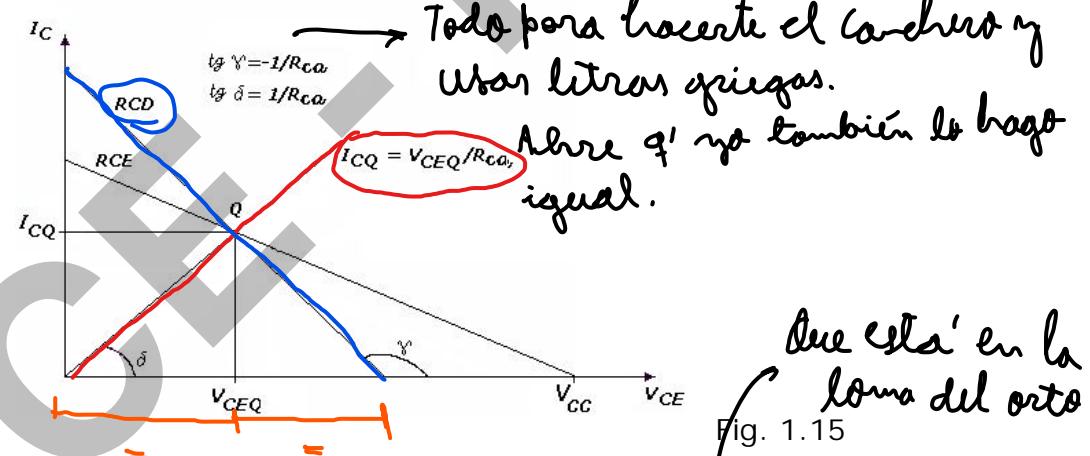
*Tiembalan los
mínos del Garraham*

$$\hat{V}_{ceMs} = V_{CEO}$$

$$\hat{V}_{ceMc} = I_{CQ} \cdot R_{ca} \quad (1.27)$$

1.10. Condición de máxima excursión simétrica

EJ#10



En un circuito amplificador como el de la Fig. 1.1, la máxima amplitud de señal a obtener a la salida sin recorte en ninguno de los dos semiciclos, esta dada por el menor de los valores definidos en el apartado anterior. Si se modifican las condiciones de polarización del circuito, de modo que el valor de la amplitud de señal para la cual se produce el recorte sea el mismo en los dos semiciclos, se obtendrá para ese circuito, la máxima excusión posible sin recorte de la señal de salida. Se dice entonces que el circuito puede entregar la *máxima excusión simétrica (MES)* posible. La condición de MES se cumplirá cuando:

$$\hat{V}_{ceMs} = \hat{V}_{ceMc} \quad (1.28)$$

De donde:

$$V_{CEO} - V_{CEK} = (I_{CQ} - I_{cmin}) \cdot R_{ca} \quad (1.29)$$

Dejando de lado V_{CEK} e I_{Cmin} para simplificar los cálculos, la expresión (1.29) se reduce a:

$$V_{CEQ} = I_{CO} \cdot R_{ca} \quad (1.30)$$

El punto de reposo para la condición de MES deberá hallarse en el medio de la recta de carga dinámica - Fig. 1.15 -.

Para ubicar el punto de reposo de modo que se cumpla la condición de MES, dados V_{CC} , R_C y R_L , bastará resolver el sistema de ecuaciones dado por la circulación a través de la malla de colector y la correspondiente a la condición de MES.

Tiene sentido: puedo ubicar el punto Q tanto por la RCE o por la RCD, es lo mismo

$$\begin{aligned} \text{RCE} & \leftarrow V_{CC} - I_{CO} \cdot R_C - V_{CEO} = 0 \\ \text{MES} & \leftarrow V_{CEQ} = I_{CO} \cdot R_{ca} \end{aligned} \quad (1.31)$$

De donde:

$$I_{CO} = V_{CC} / (R_C + R_{ca}) \quad (1.32)$$

Determinado I_{CO} de MES, podrá hallarse R_B de modo de cumplir con esta condición.

$$R_B = (V_{BB} - V_{BE}) / (I_{CO} / \beta_F) \quad (1.33)$$

Entonces, la máxima amplitud de señal alterna a obtener, \hat{V}_{ceM} , será algo menor que el valor de V_{CEO} correspondiente al punto de MES, teniendo en cuenta las deformaciones que se producen en la señal en los alrededores de la zona de saturación y corte.

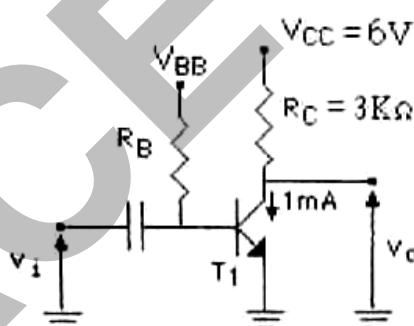


Fig. 1.16

1.11. Transistor cargado mediante otro transistor polarizado con $V_{BE} = \text{cte.}$ en lugar de R_C .

Dada una etapa amplificadora, en configuración emisor común – Fig. 1.17 -, donde $A_v = v_o/v_i = -g_m(r_o//R_C) = -40\text{mA/V} \cdot 3\text{K}\Omega = -120$, despreciando la influencia de r_μ en el modelo de señal (como se hará siempre de aquí en adelante presuponiendo $r_\mu \gg \beta r_o$), si se quisiera obtener un valor de ganancia mucho mayor, no solo debería aumentarse R_C , sino también V_{CC} . Por ejemplo: Para una $A_v = -240$ (manteniendo la misma corriente), $R_C = 6\text{K}\Omega$. En este caso, para no saturar al transistor, se de-

berá aumentar V_{CC} . Por ejemplo, $V_{CC} = 12V$. O sea que la potencia entregada por la fuente debe aumentar de 6mW a 12mW.

Para no modificar las condiciones de continua al querer aumentar la amplificación de señal, se deberá recurrir al uso de un transistor que actúe como carga de T_1 trabajando como una fuente de corriente y por lo tanto presentando una baja resistencia estática para la polarización y una alta resistencia dinámica para la señal en lugar de R_C - Fig. 1.17 -. En continua I_{ON} polariza a T_1 , mientras que frente a incrementos presenta al transistor una carga R_{ON} .

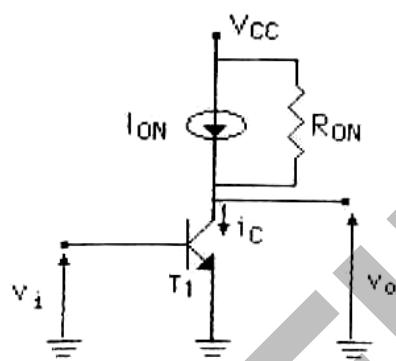


Fig. 1.17

I_{ON} y R_{ON} : corriente y resistencia del equivalente Norton de la carga, respectivamente.

$$\text{Continua: } I_{CO} = I_{ON} + \frac{V_{CC} - V_{CO}}{R_{ON}} \approx I_{ON} \text{ (si } R_{ON} \text{ es suficientemente elevada)}$$

$$\text{Alterna: } Av = v_o/v_i = -g_m(r_o//R_{ON}) \quad (1.34)$$

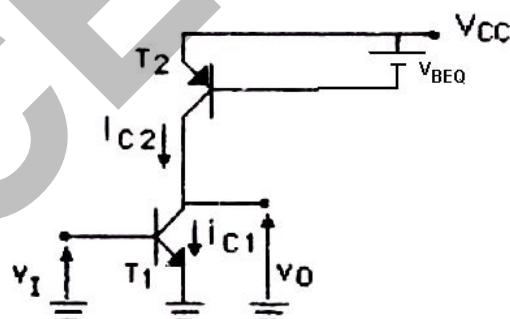


Fig. 1.18

Si implementamos la fuente de corriente con un transistor con $V_{BEQ} = \text{cte.}$ -Fig. 1.18 -, dado que fijar I_{C2} con una fuente $V_{BB} = V_{BEQ}$ resulta prácticamente imposible con una característica de transferencia exponencial por la sensibilidad que debiera tener V_{BB} , la polarización de base de T_2 se realiza mediante un diodo de igual I_S que T_2 . Este diodo se alimenta con una corriente I_r , denominada de referencia que fija su tensión V_{DQ} , la que polariza el diodo base-emisor de T_2 . Este diodo se implementa mediante un transistor, con lo que resulta más fácil igualar sus características, obteniéndose una fuente de corriente denominada

espejo, pues I_{C2} reproduce el valor de I_r , salvo las diferencias que surgen del efecto Early y las corrientes de base.

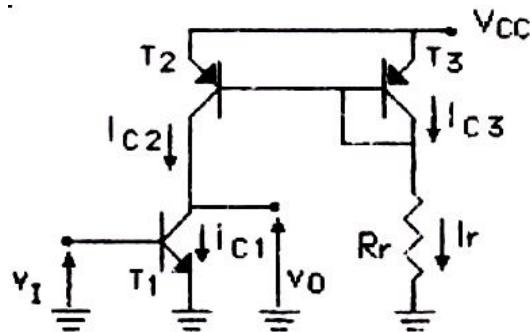


Fig. 1.19

Por ejemplo, implementando la fuente de corriente con una espejo simple, como se indica en la Fig. 1.19, la polarización quedará determinada por la corriente de referencia I_r y las características estáticas de salida de T_1 y T_2 , actuando las de este último como curvas de carga del primero – Fig. 1.20 -. En este caso, el punto de trabajo deberá ubicarse para cualquier valor de V_{BE1} sobre la característica de salida de T_2 , cuyo V_{EB2} está determinado por I_r y T_3 ⁽¹⁾.

El punto de polarización Q se encontrará en la intersección de las características de salida correspondientes a V_{EB2} de T_2 y a V_{BEQ1} de T_1 .

$$v_i = V_{IQ} + v_i = V_{BEQ1} + v_i \quad (1.35)$$

Resulta evidente que si no se considerara el efecto Early en la determinación de $I_{CQ1} = I_{CQ2}$, no resultaría posible determinar V_{OQ} , dado que las características de salida serían horizontales. Por ello necesario utilizar aquí la ecuación completa de I_C para la determinación de V_{OQ} .

$$I_C = I_s e^{\frac{V_{BE}}{V_T}} \left(1 + \frac{V_{CE}}{V_A} \right) \quad (1.36)$$

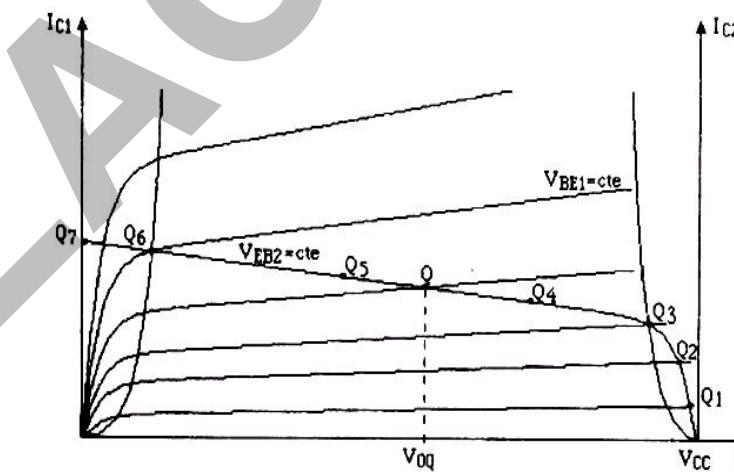


Fig. 1.20

⁽¹⁾ Para evitar el análisis de las curvas en distintos cuadrantes, se tomarán los valores absolutos de V_{BE} e I_C o, lo que es lo mismo, se considera $V_{EB} > 0$ e I_C entrante por emisor para los PNP.

Si V_{BE1} disminuye, T_1 tenderá al corte y el transistor de carga T_2 deberá saturar, moviéndose el punto Q hacia Q_1 . Si V_{BE1} aumenta, ocurrirá a la inversa, aproximándose el punto Q a Q_7 . Con señal v_i aplicada, superpuesta al V_{BEQ1} de polarización, el punto de trabajo instantaneo se moverá sobre la característica de T_2 a $V_{EB2} = \text{cte.}$, siempre que se puedan despreciar todos los efectos reactivos (la "curva de carga estática" coincidirá en este caso con la "dinámica").

En la zona de trabajo en que T_1 y T_2 están en MAD:

$$A_v = \frac{v_o}{v_i} = -g_m(r_{o1} // r_{o2}) = -\frac{I_{CQ1}}{V_T} \left(\frac{V_{A1} // V_{A2}}{I_{CQ1} // I_{CQ2}} \right) = -\frac{V_{A1}V_{A2}}{V_T(V_{A1} + V_{A2})} = -\frac{V_{Aef}}{V_T} \quad (1.37)$$

donde: $V_{Aef} = \frac{V_{A1}V_{A2}}{V_{A1} + V_{A2}}$

El valor de A_v será la pendiente de la curva de transferencia $v_o = f(v_i)$ en la zona lineal – Fig 1.21 -. Puede aceptarse con escaso error que el rango aproximado de linealidad se extiende hasta alcanzar valores de V_{CE} entre 0,2V y 0,4V, es decir algo menor a la condición de saturación incipiente ($V_{CB} = 0$).

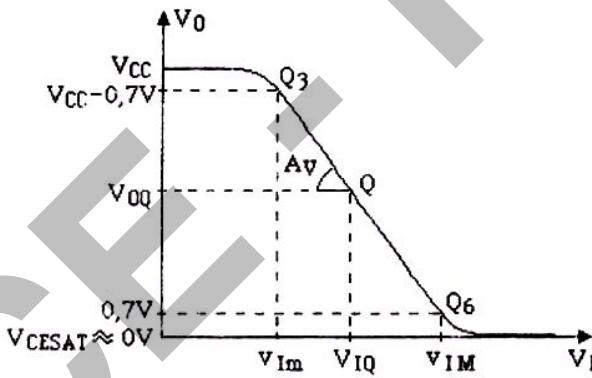


Fig. 1.21

1.12. Polarización en un JFET

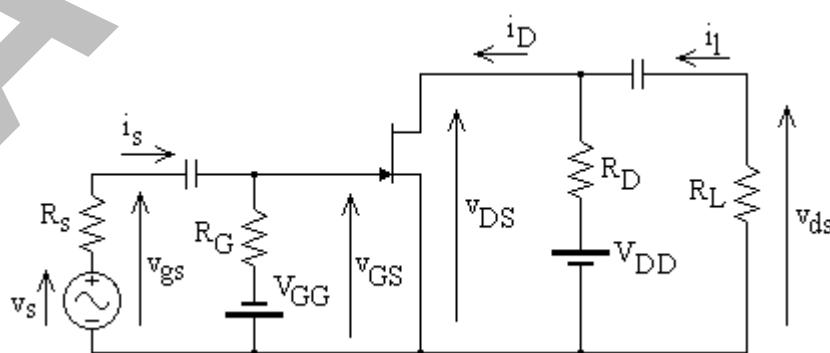


Fig. 1.22

Para hacer una analogía con el bipolar, partimos del circuito de polarización fija Fig. 1.22 -. Tomamos en principio un circuito en el que, entre gate y source polarizamos directamente con una fuente $V_{GG} = \text{cte}$.

$V_{GSQ} = -V_{GG}$ porque como admitimos que $I_{GQ} = 0$, no hay caída en R_G . El signo negativo se debe a que en un JFET canal N, la juntura gate-canal queda en inversa – Fig. 1.23 -.

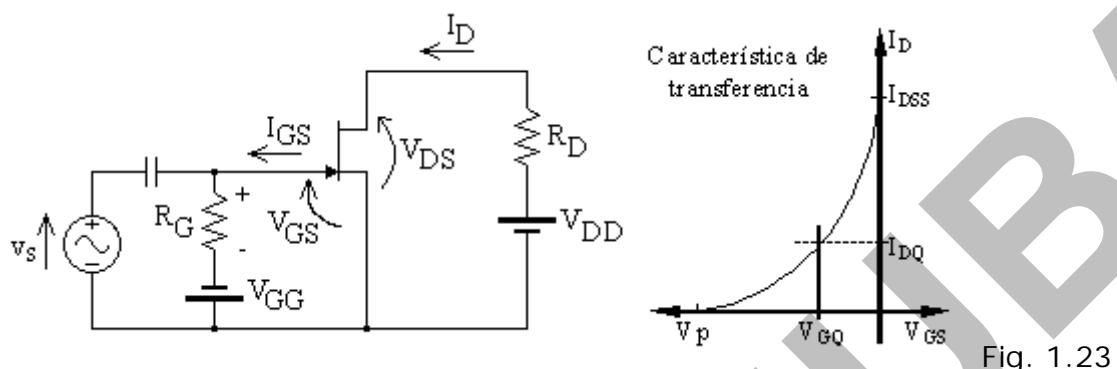


Fig. 1.23

El resistor R_G para la polarización podría no estar, ya que la tensión entre gate y source sería igualmente V_{GG} . Sin embargo, R_G impide que se cortocircuite la fuente de señal alterna del generador de excitación.

Desde el punto de vista de la polarización, $R_{Gmín}$ puede ser cero. El $R_{Gmín}$ es un valor determinado por la impedancia de entrada. No conviene un valor pequeño porque se pierde de ese modo una de las propiedades más importantes del FET, su elevada impedancia de entrada ($R_i = R_G//R_{ig}$, que en general será $R_i \approx R_G$). El problema es la determinación del valor de R_{GMAX} . Por la juntura gate - canal, al estar polarizada en inversa, debe circular la corriente I_{GS} que sale desde gate, pues debe ir del material N que forma el canal, al P que forma el gate. La corriente I_{GS} circula por R_G causando una caída de tensión con la polaridad indicada:

$$V_{GS} = -V_{GG} + I_{GS} \cdot R_G \quad (1.38)$$

Si $I_{GS} \cdot R_G \neq 0$ se podría pensar que se soluciona el problema aumentando V_{GG} , pero como I_{GS} es una corriente de saturación inversa de una juntura, tiene una gran inestabilidad térmica (se duplica cada 10°C de aumento de temperatura), lo que hace que el problema se agrave.

Si $I_{GS} \cdot R_G$ no es despreciable ($I_{GS} \approx \text{fA a nA}$), el punto de reposo se hace muy inestable por efectos de la temperatura; y por lo tanto, para lograr que Q sea estable, debe cumplirse que:

$$I_{GS} \cdot R_G \ll V_{GG} \Rightarrow R_{GMAX} \approx 3 \text{ a } 4 \text{ M}\Omega \quad (1.39)$$

Mientras no haya problemas térmicos o de dispersión, el circuito funciona perfectamente, pero se presenta una gran dificultad: se nece-

sitan dos fuentes y además de distinta polaridad. No se puede obtener V_{GG} a través de un divisor resistivo como en el caso de bipolares con V_{BB} , porque V_{DD} es positivo y V_{GG} es negativo (Se admite que la fuente de alimentación del circuito de drenaje posee una única polaridad).

De cualquier forma, el problema principal es la dispersión en las características del transistor JFET. El ancho del canal, t_o , es un parámetro muy variable de un ejemplar a otro. Los parámetros I_{DSS} y V_p son proporcionales a " t_o ". Por ejemplo, los datos del fabricante pueden ser: $4\text{mA} < I_{DSS} < 16\text{mA}$ y $2\text{V} < |V_p| < 6\text{V}$. Se podría lograr " t_o " más estable haciendo el gate por implantación iónica, lo que tiene como desventaja un costo más alto y la disminución de la movilidad del canal. Lo normal es hacer el gate por difusión, con lo que " t_o " tiene una gran dispersión.

Se utiliza un circuito realimentado en continua, no sólo para estabilizar Q , sino también para no tener que usar dos fuentes de alimentación. Si bien en bipolares se puede utilizar polarización fija, en JFET nunca se usa dada la simplicidad del circuito de la Fig. 1.24.

1.13. Determinación del punto de reposo

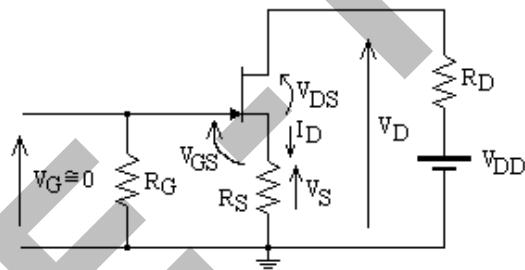


Fig. 1.24

En los circuitos de polarización con transistores bipolares, la determinación del punto de reposo se simplifica mucho al admitir $V_{BE} = \text{cte}$. En los circuitos con JFET, la relación entre la corriente de salida y la tensión de entrada responde a una ecuación cuadrática, lo que hace mucho más incómoda la resolución algebraica a menos que se recurra a un programa de computadora o calculadora programable – Fig. 1.24 -.

Para realizar cálculos rápidos del punto de reposo, excepto en los circuitos de polarización fija, resulta simple recurrir a un método de tanteo, en el cual deben seguirse ciertas pautas para lograr una rápida convergencia. Para encarar la resolución por tanteo es necesario tener presente la forma de la característica del JFET que se indica en la figura; en la que se han marcado valores de V_{GS} que proporcionan algunos valores de I_D que son fracciones enteras de I_{DSS} .

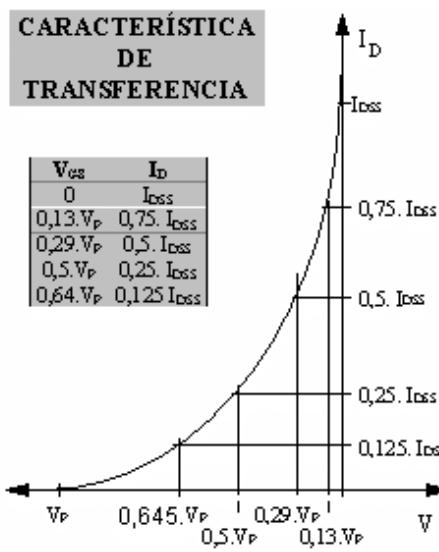


Fig. 1.25

Para el circuito de la Fig. 1.25, para obtener el punto de reposo $Q(I_{DQ}; V_{DSQ})$ deben plantearse tres ecuaciones. Dos de ellas permitirán encontrar I_{DQ} y la tercera, circulando por la malla de salida, permitirá hallar V_{DSQ} .

Para hallar I_{DQ} se debe plantear la ecuación de circulación de Kirchoff por la malla de entrada, que contenga a los terminales de compuerta (gate) y fuente (source) y la ecuación de transferencia del transistor, que supondremos en la zona de características saturadas (zona activa del FET).

$$V_{GS} = -I_D R_S \quad (1.40)$$

$$I_D = I_{DSS}(1 - V_{GS}/V_P)^2$$

En el sistema de ecuaciones (3.3), la primera ecuación determina las condiciones impuestas por el circuito y la segunda, las correspondientes al dispositivo. La resolución analítica surge de reemplazar una en otra y resolver la ecuación cuadrática resultante para obtener I_{DQ} , tomando siempre la solución correspondiente a la rama de la parábola de la función de transferencia de JFET que corta al eje vertical para $|V_{GSQ}| \leq |V_P|$.

La resolución por tanteo deberá tener en cuenta esta última condición, lo que implica que deberá cumplirse siempre que los valores de I_{DQ} y V_{GSQ} se encuentren entre los límites correspondientes:

$$0 \leq |I_{DQ}| \leq |I_{DSS}| ; 0 \leq |V_{GSQ}| \leq |V_P| \quad (1.41)$$

Para el circuito de la Fig. 1.26, el sistema de ecuaciones para hallar I_{DQ} resulta ser el siguiente:

$$V_{GS} = V_{GG} - I_D R_S$$

$$I_D = I_{DSS}(1 - V_{GS}/V_P)^2 \quad (1.42)$$

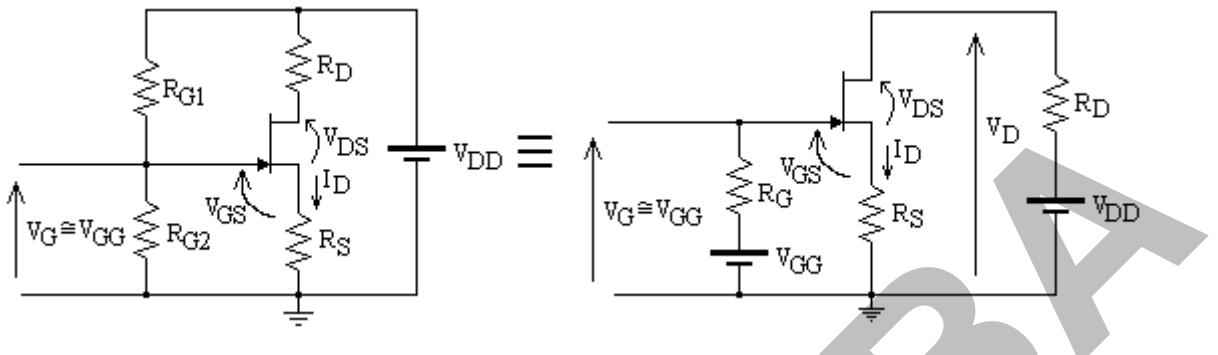


Fig. 1.26

En base a la condición $0 \leq |V_{GS}| \leq |V_P|$, resulta de (1.42), que el valor de I_D en el circuito estará acotado entre:

$$|I_{Dmin}| = |V_{GG}|/R_S \text{ (para } V_{GS} = 0\text{)} \text{ e } |I_{Dmax}| = (|V_{GG}| + |V_P|)/R_S \text{ (para } V_{GS} = V_P\text{)} \quad (1.43)$$

Debiendo cumplirse además con la condición $|I_D R_S| \geq |V_{GG}|$, de modo de asegurar que la juntura gate - source quede polarizada en inversa. Al obtener la polarización resolviendo analíticamente la ecuación cuadrática resultante de reemplazar la ecuación del circuito en la de transferencia del JFET, tanto en (1.40) como en (1.43), conviene igualmente obtener los valores extremos dentro de los cuales estará acotada la corriente I_{DQ} , de modo de verificar la validez del resultado obtenido de la ecuación cuadrática.

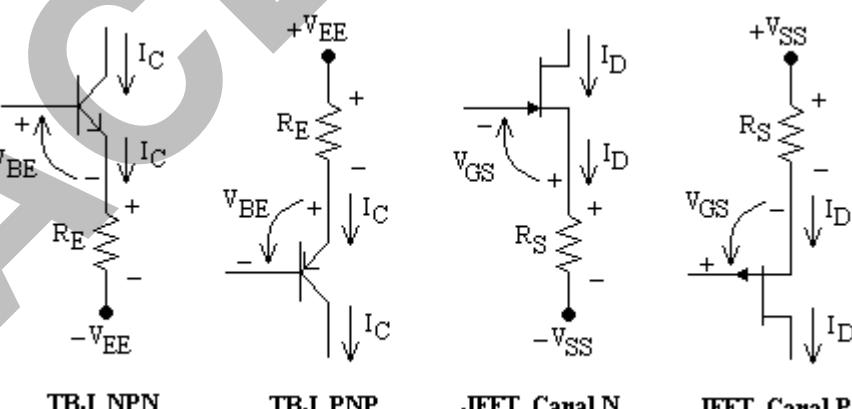


Fig. 1.27

En todos los casos, ya sea para transistores bipolares o FET – MOSFET o JFET- (aunque se ha utilizado el símbolo de JFET) , para encontrar la corriente del punto de reposo deberá tenerse en cuenta la polaridad de la caída de tensión en R_E o R_S y la correspondiente V_{BE} o V_{GS} . Las mismas se indican en la Fig. 1.27, donde se han considerado el

sentido real de las corrientes de colector y drenaje y además se supuso que en el bipolar $I_E = I_C$.

2.- Conclusiones generales del análisis del funcionamiento de un amplificador con transistor bipolar en emisor común

La característica estática de transferencia de un TBJ trabajando en la zona de modo activo directo, será la indicada en la Fig. 2.1.

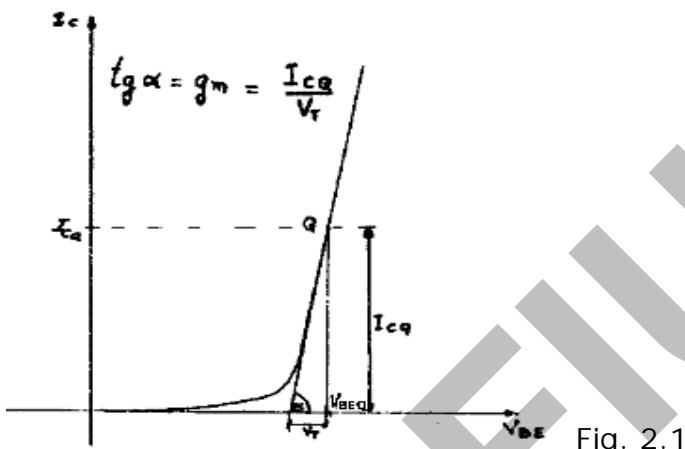


Fig. 2.1

$$I_C = I_S (e^{VBE/VT} - 1) \approx I_S e^{VBE/VT} \quad (2.1)$$

Si g_m fuese constante, la máxima amplitud \hat{V}_{be} que podría aplicarse antes de entrar en la zona de corte sería $V_T = 25 \text{ mV}$.

Dado que g_m no es constante, desarrollando en serie de Taylor la expresión de $I_C = f(V_{BE})$ se obtiene:

$$\hat{V}_{be} \ll 2V_T \quad (2.2)$$

Para que el modelo circuitual equivalente sea válido dentro de un error predeterminado, deberá fijarse una relación entre \hat{V}_{be} y $2V_T$. Que en la condición (2.2) aparezca $2V_T$ en lugar de V_T significa considerar que el corte del dispositivo se produce con $2V_T$. Esto equivale a utilizar un g_m medio entre los puntos $i_C = I_{CQ}$ e $i_C = 0$ que, obviamente, será $g_m/2$.

Se deben distinguir dos formas de trabajo de una etapa amplificadora:

- **Bajas o pequeñas señales:** Debe cumplirse la condición (2.2). En este caso, la transconductancia g_m tiene un valor constante igual a la pendiente de la característica de transferencia en el punto Q .

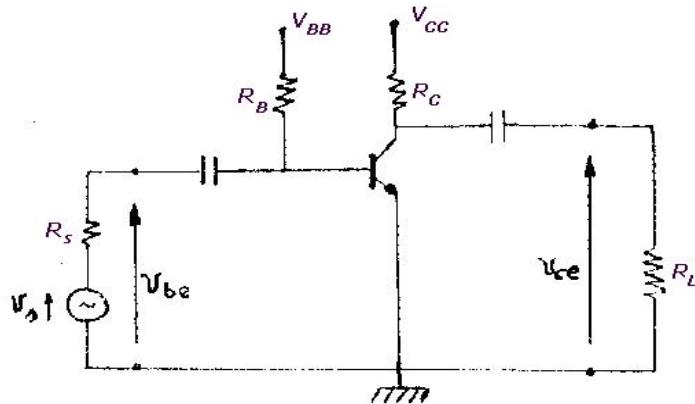


Fig. 2.2

- **Altas o grandes señales:** Cuando se trabaja de extremo a extremo de la recta de carga dinámica. En este caso, no puede considerarse un valor fijo de g_m y, por lo tanto, de *ningún parámetro del circuito equivalente*. De cualquier modo, en la práctica se admite la validez del modelo aún para señales relativamente grandes, siempre que el transistor trabaje en *bajo nivel de potencia*, es decir que la potencia disipada por el dispositivo sin señal esté muy por debajo del valor máximo que puede disipar de acuerdo a sus características constructivas. Esta es una aproximación válida para cálculos rápidos y no muy precisos (trabajaremos con un error entre el 5% y el 10% según lo que se requiera).

2.1. Etapa básica

Para el estudio de la etapa indicada en la Fig. 2.2, en principio es conveniente explicitar los circuitos equivalentes de continua y de alterna:

- Circuito de continua – Fig. 2.3 -:

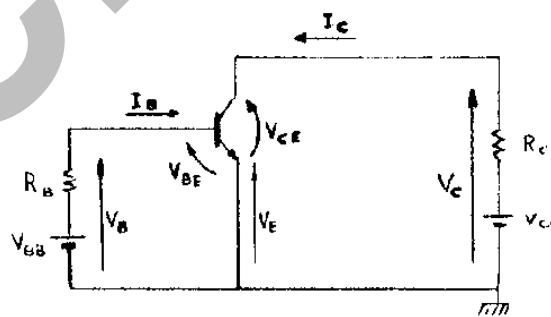


Fig. 2.3

V_C , V_B , V_E son las tensiones de los electrodos contra común. En este caso:

$$V_B = V_{BE}$$

$$V_C = V_{CE}$$

$$V_E = 0$$

Determinar el valor de Q significa determinar: $Q = (I_{CQ}; V_{CEO}; V_{CO}; V_{BO}; V_{EQ})$.

Las ecuaciones a plantear serán:

- Circulación por la malla de entrada: $V_{BB} = I_B \cdot R_B + V_{BE}$
- Circulación por la malla de salida: $V_{CC} = I_C \cdot R_C + V_{CE}$ (2.3)
- Ecuación del dispositivo: $I_C = \beta_F \cdot I_B$

La corriente I_{CQ} se obtiene del planteo de una malla que contenga el diodo base-emisor:

$$I_{CQ} = \beta_F \cdot \frac{V_{BB} - V_{BE}}{R_B} \quad (2.4)$$

$$V_{CEO} = V_{CC} - I_{CQ} R_C$$

La tensión V_{BE} en directa se supondrá prácticamente constante e igual a $V_{BE} \approx 0,7V$. La R_{CE} sobre las características de salida será:

$$I_C = -\frac{1}{R_C} V_{CE} + \frac{V_{CC}}{R_C} \quad (2.5)$$

Notar que el valor de I_{CQ} bajo condiciones de modo activo *siempre queda determinado por la malla de entrada que debe contener al diodo base-emisor*. Si se elige I_{CQ} de modo de cumplir con alguna condición impuesta por el circuito de salida, su valor deberá fijarse mediante el circuito de polarización del diodo base-emisor.

b) Circuito de alterna – Fig. 2.4 -:

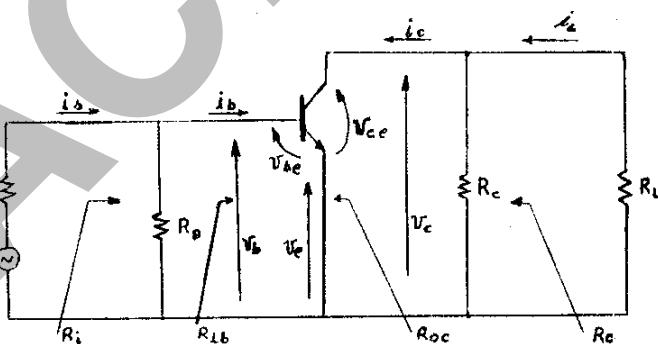


Fig. 2.4

Los capacitores de acople sirven para que no circule corriente continua por la carga y por el generador de excitación. La resistencia $R_{ca} = R_C // R_L$ representa la carga total para la señal alterna. El lugar geométrico de los puntos de trabajo *instantáneos o dinámicos* Q_i es la recta de carga dinámica $-RCD-$, y se obtiene a partir de:

$$v_{ce} = -i_c \cdot R_{ca} \quad (2.6)$$

Siendo las señales alternas, incrementos a partir de un punto de reposo Q, (2.6) será:

$$v_{ce} - V_{ceQ} = -(i_c - I_{cq}) \cdot R_{ca} \quad (2.7)$$

Despejando i_c de (2.7), se obtiene la RCD:

$$i_c = -\frac{1}{R_{ca}} v_{ce} + \frac{V_{ceQ}}{R_{ca}} + I_{cq} \quad (2.8)$$

La expresión (2.8) representa la ecuación de una recta de pendiente $-1/R_{ca}$ que pasa por el punto Q. Siendo:

$$\Delta i_c = -\Delta v_{ce}/R_{ca} \quad (2.9)$$

$$\text{Cuando } i_c = 0: \Delta i_c = -I_{cq} \Rightarrow \Delta v_{ce} = I_{cq} \cdot R_{ca} \quad (2.10)$$

$$\text{Cuando } v_{ce} = 0: \Delta v_{ce} = -V_{ceQ} \Rightarrow \Delta i_c = V_{ceQ}/R_{ca} \quad (2.11)$$

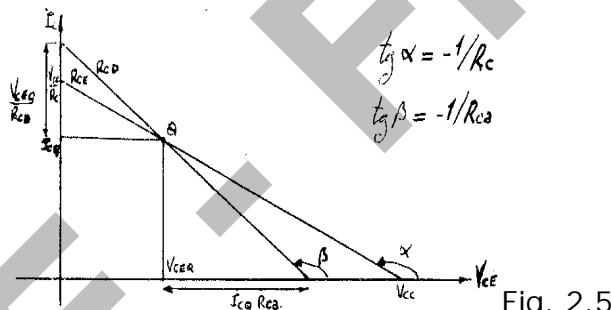


Fig. 2.5

Por lo tanto:

$$\text{Para } i_c = 0: v_{ce} = V_{ceQ} + I_{cq} \cdot R_{ca} \quad (2.12)$$

$$\text{Para } v_{ce} = 0: i_c = I_{cq} + V_{ceQ}/R_{ca} \quad (2.13)$$

La representación de RCE y RCD será la indicada en la Fig. 2.1.

La RCD coincidirá con la RCE si el camino de la señal alterna coincide con el camino de la continua (sin capacitores en la malla de salida).

2.2. Comportamiento en gran señal

Supongamos que en el semiciclo negativo de v_{be} se lleve al dispositivo de la Fig. 2.6 al corte para $t = 3.T/4$, donde $\hat{I}_L = \hat{V}_{ce}/R_L$. Como vemos, a pesar de encontrarse en ese instante el dispositivo al corte, existe sobre R_L una caída \hat{V}_{ce} que exige una corriente \hat{I}_L , si bien $i_c = 0$ - Fig. 2.7 -.

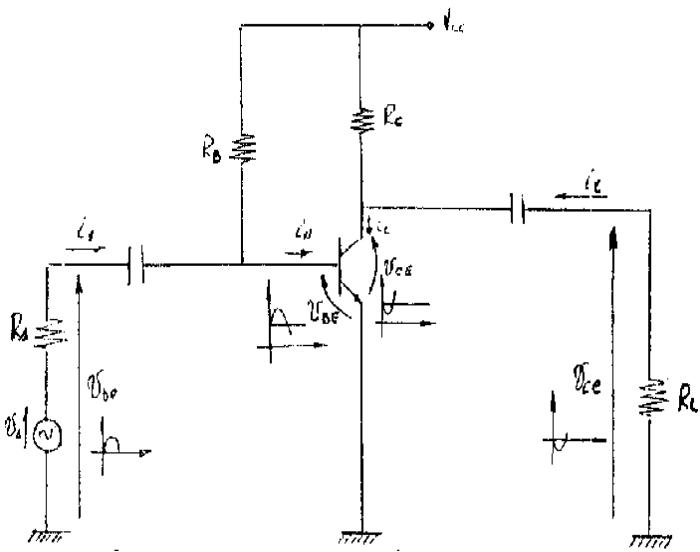


Fig. 2.6

Siendo el transistor cortado una llave abierta, el circuito correspondiente al instante $t = 3T/4$ será el indicado en la Fig. 2.7, siendo la caída sobre el capacitor V_{CEO} .

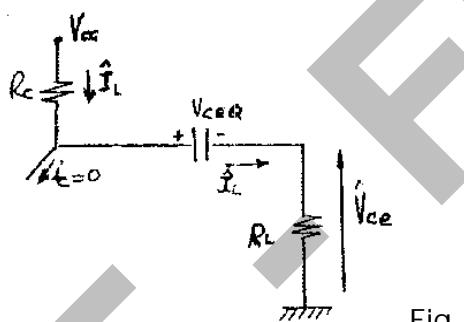


Fig. 2.7

$$\text{La tensión } V_{CE} \text{ será: } V_{CE} = V_{CEO} + V_{ce} \quad (2.14)$$

$$\text{Circulando por la malla de salida: } V_{CC} - V_{CEO} = \hat{I}_L (R_C + R_L) \quad (2.15)$$

$$\hat{V}_{ce} = \hat{I}_L \cdot R_L$$

$$\text{Siendo: } \hat{V}_{ce} = \frac{V_{CC} - V_{CEO}}{R_C + R_L} \cdot R_L \quad (2.16)$$

$$\text{Multiplicando y dividiendo por } R_C: \hat{V}_{ce} = \frac{V_{CC} - V_{CEO}}{R_C} \cdot R_C // R_L \quad (2.17)$$

Recordando que:

$$\left. \begin{aligned} \frac{V_{CC} - V_{CEO}}{R_C} &= I_{CQ} \\ R_C // R_L &= R_{ca} \end{aligned} \right\} \Rightarrow \hat{V}_{ce} = I_{CQ} R_{ca} \quad (2.18)$$

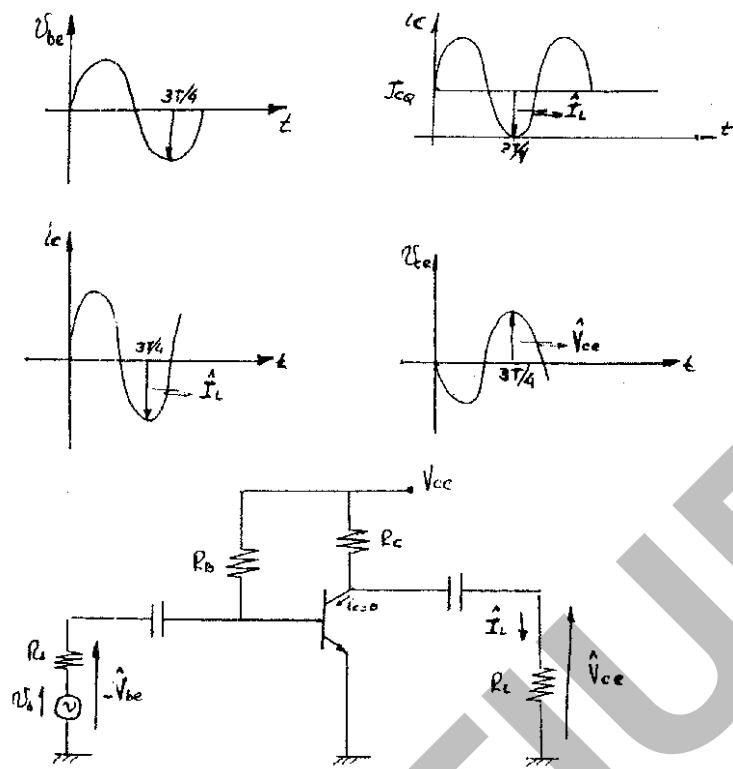


Fig. 2.8

Supongamos ahora que durante el semiciclo positivo de v_{be} se lleva al dispositivo a saturación para $t = T/4$, donde: $I_L = \hat{V}_{ce} / R_L$. Como vemos, a pesar de encontrarse el dispositivo en dicho instante en saturación ($v_{ce} = 0$), existe sobre R_L una caída \hat{V}_{ce} - Fig. 2.9 -.

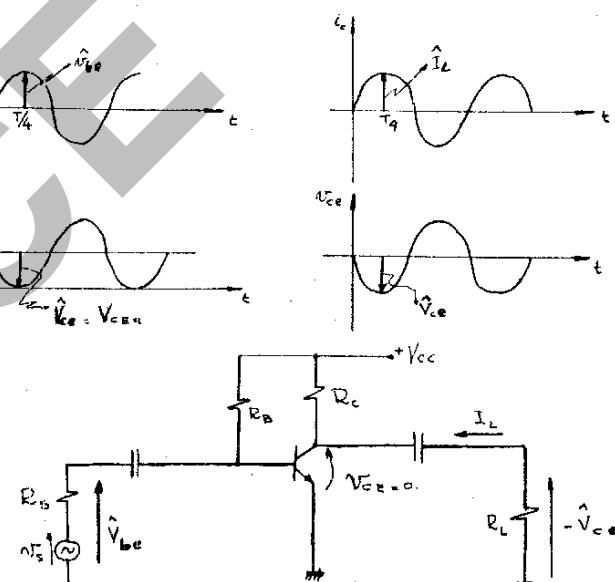


Fig. 2.9

Comportándose el transistor en saturación como una llave cerrada, el circuito correspondiente al instante $t = T/4$ será el de la Fig. 2.10.

Siendo la tensión sobre el capacitor V_{CEQ} : ($\hat{V}_{ce} = V_{CEQ}$)

Por lo tanto: $\hat{I}_L = V_{CEQ} / R_L$

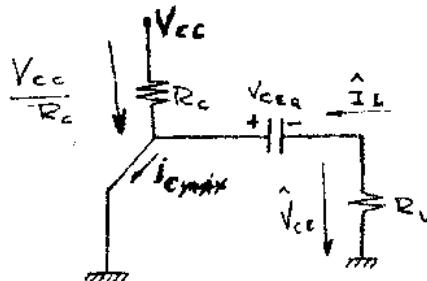


Fig. 2.10

La corriente que circula en dicho instante será:

$$i_{Cmáx} = \frac{V_{CEQ}}{R_L} + \frac{V_{CC}}{R_C} \quad (2.19)$$

Sumando y restando V_{CEQ} / R_C :

$$i_{Cmáx} = \frac{V_{CC} - V_{CEQ}}{R_C} + \frac{V_{CEQ}}{R_C // R_L} \quad (2.20)$$

Recordando que:

$$\left. \begin{array}{l} \frac{V_{CC} - V_{CEQ}}{R_C} = I_{CQ} \\ R_C // R_L = R_{ca} \end{array} \right\} i_{Cmáx} = I_{CQ} + \frac{V_{CEQ}}{R_{ca}} \quad (2.21)$$

Si el transistor se mantiene durante un lapso en saturación, el capacitor comienza a descargarse y las condiciones de funcionamiento varían. Admitiendo que la constante en tiempo del capacitor de acople con R_L es suficientemente grande frente al período de la señal, de forma tal que mientras exista recorte no se descarga, existirá un recorte abrupto de la señal de salida.

Cuando hay recorte, en estado estacionario, si la constante de tiempo asociada al capacitor es mucho mayor que el período de la señal, este se cargará con V_{CE} (valor medio) en lugar de V_{CEQ} corriendose la recta de carga dinámica de modo de cortar a la estática en el punto $I_C - V_{CE}$.

En estas condiciones, la tensión de recorte por corte será $V_{CE} + I_C R_{ca}$ y la corriente de recorte por saturación resultará $I_C + V_{CE}/R_{ca}$. Si el transistor entra en corte en una parte del semicírculo negativo de la señal de entrada, se tendrá – Fig. 2.11 y Fig. 2.12-:

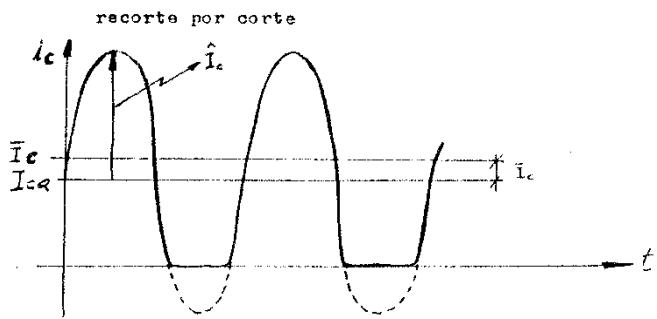


Fig. 2.11

La corriente I_{CO} no alcanza para tener una I_c como la que exige el circuito de entrada (el transistor recorta por "falta de corriente"). Por lo tanto se elevará la corriente del punto de reposo.

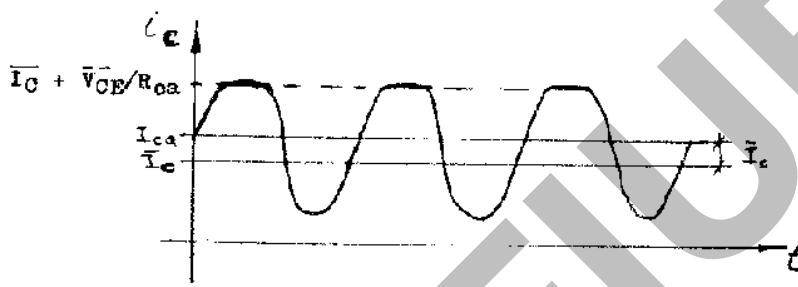


Fig. 2.12

Supongamos que el transistor entra en saturación en una parte del semicírculo positivo de la señal de entrada – Fig. 2.13 y Fig. 2.14 -.

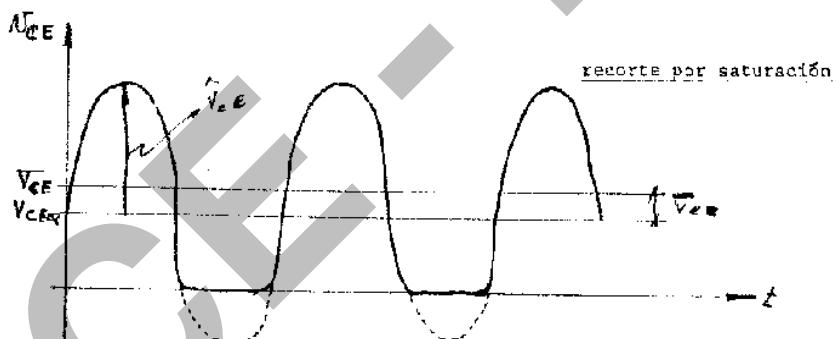


Fig. 2.13

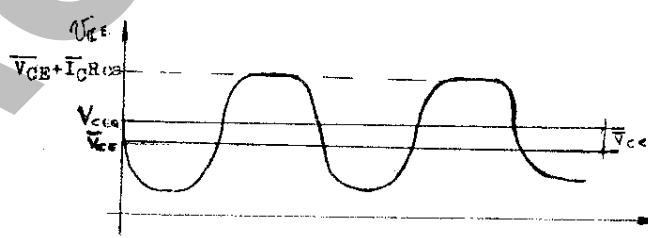


Fig. 2.14

La tensión V_{CEO} no alcanza para dar una tensión \hat{V}_{ce} como la que exige la señal de entrada (el transistor recorta por "falta de tensión"). Por lo tanto se elevará la tensión de punto de reposo.

Para medir la corriente de colector sin "levantar el circuito", es decir desoldarlo de la placa donde esté montado, Se procederá de forma indire-

cta, tomando tensión sobre una resistencia. Midiendo tensión continua con un voltímetro de continua sobre R_C :

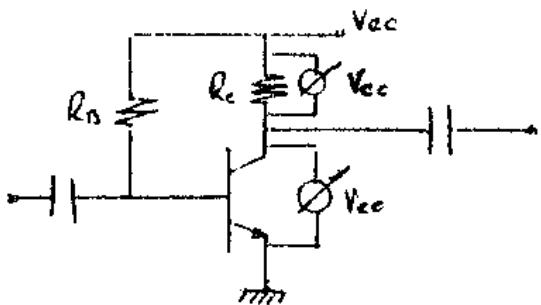


Fig. 2.15

Sin señal $\rightarrow I_{CQ}$; Con señal $\rightarrow \bar{I}_c$

$$\bar{I}_c = I_{CQ} + \bar{i}_c$$

\bar{I}_c : valor medio total ; \bar{i}_c : valor medio de la componente alterna superpuesta.

Midiendo tensión continua con un voltímetro de continua entre colector y emisor:

Sin señal $\rightarrow V_{CEQ}$; Con señal $\rightarrow \bar{V}_{CE}$

$$\bar{V}_{CE} = V_{CEQ} + \bar{V}_{ce}$$

\bar{V}_{CE} : valor medio total ; \bar{V}_{ce} : valor medio de la componente alterna superpuesta. Por lo tanto:

$$\begin{aligned} & \text{corte: } \begin{cases} \bar{I}_c > I_{CQ} \\ \bar{V}_{CE} < V_{CEQ} \end{cases} \\ & \text{saturación: } \begin{cases} \bar{I}_c < I_{CQ} \\ \bar{V}_{CE} > V_{CEQ} \end{cases} \end{aligned} \quad (2.22)$$

Puede suceder que:

- Aumentando la señal desde cero, el voltímetro no cambie el valor indicado. Es decir, el punto Q se encuentra en el centro de la RCD.
- Aumentando la señal, la lectura aumente y luego disminuya. O sea, comienza a recortar por la variación de la carga de los capacitores.

Utilizando un osciloscopio – Fig. 2.16 -, si se va elevando la señal de entrada desde cero muy lentamente pueden observarse dos casos:

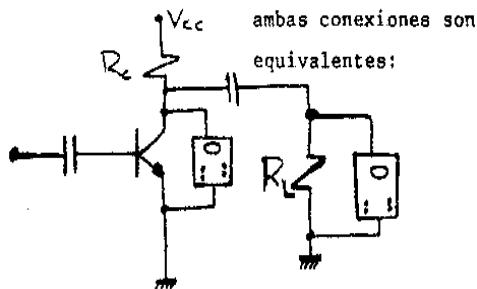


Fig. 2.16

- El recorte por corte, donde la onda se va achatando lentamente (debido a la curvatura de la característica del diodo de entrada) hasta que luego de un aumento aceptable de la amplitud de onda comienza a recortar en forma neta.
- El recorte por saturación, donde el recorte neto se produce apenas se aumenta la señal.

El límite de linealidad o gran deformación debe preverse un poco antes de la saturación o el corte para asegurar una señal sin deformaciones apreciables (aunque en la práctica, generalmente se desprecie inicialmente V_{CEK} e I_{Cmin}), es decir:

$$I_{Cmin} = 5\% \text{ o } 10\% \text{ de } I_{CQ} \text{ y } V_{CEK} \approx 0,6V$$

$$\begin{aligned}\hat{V}_{cem_s} &= V_{CEQ} - V_{CEK} \\ \hat{V}_{cem_c} &= (I_{CQ} - I_{Cmin})R_{ca}\end{aligned}\quad (2.23)$$

La máxima tensión sin recorte será la menor de ambas. Por otro lado, la condición de *máxima excursión simétrica* será:

$$\hat{V}_{cem_s} = \hat{V}_{cem_c} \Rightarrow V_{CEQ} - V_{CEK} = (I_{CQ} - I_{Cmin})R_{ca} \quad (2.24)$$

LACE' - FIUBA

LACE - IUNUBA

A0.2 - Análisis en pequeña señal de circuitos con un sólo transistor y sus distintas configuraciones

3.- Análisis en pequeña señal de circuitos con un transistor de Efecto de Campo

El análisis del funcionamiento con señal utilizando estos transistores (JFET o MOSFET) es idéntico al efectuado para bipolares – Fig. 3.1 -. Lo que cambia es el estudio de la continua de polarización.

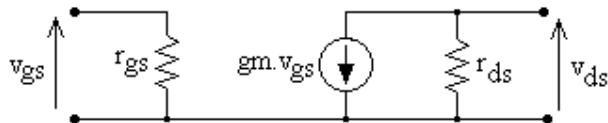


Fig. 3.1

Si se definiera para la señal, una amplificación de corriente en bajas fre-cuencias con la salida en cortocircuito β_{FET} , similar al β_o del transistor bipolar, suponiendo en principio un valor finito de r_{gs} (en el límite se lo hará tender a infinito cuando corresponda) de modo de facilitar la utilización del teorema de reducción por relación de corrientes, resulta:

$$\beta_{FET} = i_d / i_g |_{v_{ds}=0} = g_m r_{gs}$$

Donde: $g_m = -(2/V_p) \cdot \sqrt{I_{DQ} \cdot I_{DSS}}$ en un JFET

y $g_m = 2 \sqrt{k \cdot I_{DQ}}$ en un MOSFET

Los restantes parámetros del modelo incremental básico serán:

$r_{ds} = 1/\lambda I_{DSE} \approx 1/\lambda I_{DQ}$ que resulta en muchos casos despreciable.

r_{gs} que en general no se incluye en el modelo pues su valor es del orden de decenas de $M\Omega$ en un JFET y $G\Omega$ en el MOSFET.

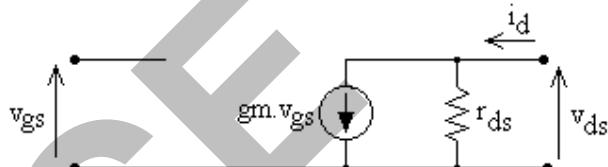


Fig. 3.2

Las expresiones finales no deben quedar en función del β_{FET} , ya que, si bien es útil para el análisis operativo al obtener las expresiones, en los FETs no existe amplificación de corriente en continua (tener en cuenta que en señal esta amplificación existirá y será función de la frecuencia, debido a la capacitancia C_{gs} , pudiéndose despreciar su efecto en frecuencias medias y bajas). Las ecuaciones finales deberán quedar en función de g_m y r_{ds} (si fuese necesario) – Fig. 3.2 -.

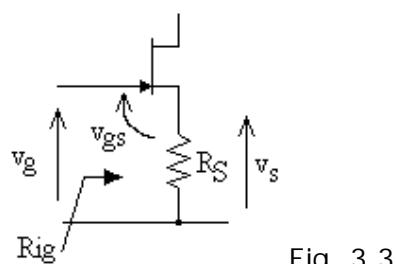


Fig. 3.3

Debe observarse que la caída v_{gs} de alterna no siempre va a ser despreciable frente a la caída que pudiera haber en el terminal de fuente (source), ya que v_s/v_g resulta normalmente inferior a v_e/v_b debido a la diferencia en los valores de g_m .

Para el análisis de la expresión de la resistencia de entrada en una etapa amplificadora realimentada por source o seguidora, con FET – Fig. 3.3 -, de acuerdo a lo dicho, resulta fácilmente obtener por inspección la expresión siguiente:

$$\text{En un FET: } R_{ig} = r_{gs} + \beta_{FET}R_S = r_{gs}(1 + g_m R_S) \rightarrow \infty \quad (3.1)$$

Notar la similitud con TBJ : $R_{ib} = r_\pi(1 + g_m R_E) > r_\pi$ pero finito.

Para igual orden de valores de R_S y R_E y de corriente de polarización, el g_m en el bipolar es mucho mayor que en un FET (del orden de 10 veces). Es decir, $g_m R_E >> 1$, en tanto que $g_m R_S$ puede no serlo.

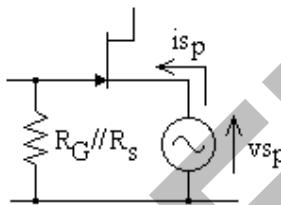


Fig. 3.4

En el caso de la resistencia de salida de un seguidor por fuente – Fig. 3.4 -:

$$R_o = \frac{r_{gs} + R_G // R_S}{\beta_{FET}} = \frac{r_{gs} + R_G // R_S}{g_m r_{gs}} \cong \frac{1}{g_m} \quad (3.2)$$

La impedancia de salida en una configuración drain común, es $1/g_m$ –salvo algún caso muy particular- (que por equivalencia con el TBJ la denominaremos r_d). Debe tenerse en cuenta que en los FET siempre será $r_d = 1/g_m$, en tanto que en los TBJ resulta estrictamente $r_d = \alpha/g_m$, aunque en la mayoría de los casos bastará considerar $r_d \approx 1/g_m$.

3.1. Estudio de circuitos FET en sus tres configuraciones

Para la determinación de los parámetros de alterna se siguen exactamente los mismos procedimientos vistos para transistores bipolares, utilizándose normalmente los teoremas de reducción y trabajando con un β_{FET} de bajas frecuencias definido como $\beta_{FET} = g_m r_{gs}$, debiéndose colocar las expresiones finales en función de g_m , que es el obtenible para el caso de un FET en forma directa.

- Configuración en fuente (source) común – Fig. 3.5 -:

A partir del circuito completo deberá dibujarse primero el circuito de alterna, sin reemplazar al transistor por su modelo equivalente; y los distintos parámetros de alterna se obtendrán por inspección en forma inmediata, pues r_{dg} resultará casi siempre despreciable.

Siendo $i_d = g_m v_{gs}$ resultará:

$$A_v = \frac{v_{ds}}{v_{gs}} = -g_m (r_{ds} // R_D // R_L)$$

$$\text{Si } r_{ds} \gg R_D // R_L = R_{Da} \Rightarrow A_v = \frac{v_{ds}}{v_{gs}} = -g_m R_{Da}$$

$$R_{ig} = \frac{v_{gs}}{i_g} = r_{gs} \Rightarrow R_i = \frac{v_{gs}}{i_s} = R_G // R_{ig} \quad (3.3)$$

Como normalmente $r_{gs} \gg R_G$, será $R_i \approx R_G$

$$A_{vs} = \frac{v_{ds}}{v_s} = A_v T_i = -g_m R_{Da} \frac{R_i}{R_s + R_i}$$

$$R_{od} = r_{ds} \text{ (o } R_{od} \rightarrow \infty \text{ si se desprecia } r_{ds}) \Rightarrow R_o = R_D // R_{od} \approx R_D$$

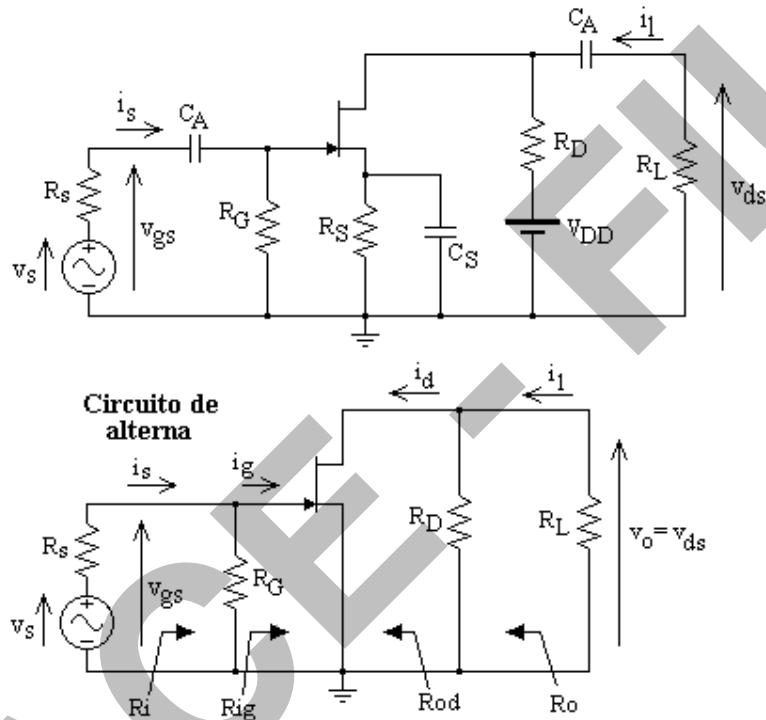


Fig. 3.5

Si en el circuito de source común hay un resistor sin desacoplar para la señal alterna se tendrá:

$$R_{ig} = \frac{v_g}{i_g} = r_{gs} + \beta_{FET} R_s = r_{gs} + g_m r_{gs} R_s = r_{gs} (1 + g_m R_s)$$

$$R_{od} = v_{dp}/i_{dp} = r_{ds} [1 + (g_m r_{gs} R_s)/(R_s + r_{gs} + R_G)] = r_{ds} (1 + g_m R_s) \quad (3.4)$$

$$A_v = \frac{v_d}{v_s} = -g_m R_{Da} \frac{r_{gs}}{r_{gs} + g_m r_{gs} R_s} = \frac{-g_m R_{Da}}{1 + g_m R_s}$$

En este caso, como para igual corriente de reposo $g_{mFET} \ll g_{mTBJ}$, debe analizarse para cada caso particular si puede o no despreciarse la unidad frente a $g_m R_s$.

- Configuración en compuerta (gate) común – Fig. 3.6 -:

La resistencia dinámica vista desde el terminal de source, mirando hacia el transistor entre este terminal y el de gate resulta ser análoga a la que se tiene en el transistor bipolar entre emisor y base mirando desde el emisor; es decir g_m^{-1} (obviamente en el FET el factor α_o es igual a la unidad). Este hecho se debe a que, al aplicar un incremento de tensión entre gate y source, la corriente circulante por el terminal de fuente será β_{FET} veces mayor que la que circule por r_{gs} , de manera que su efecto sobre el terminal de source será equivalente al de una resistencia de valor: $r_{gs}/\beta_{FET} = r_{gs}/g_m r_{gs} = g_m^{-1}$.

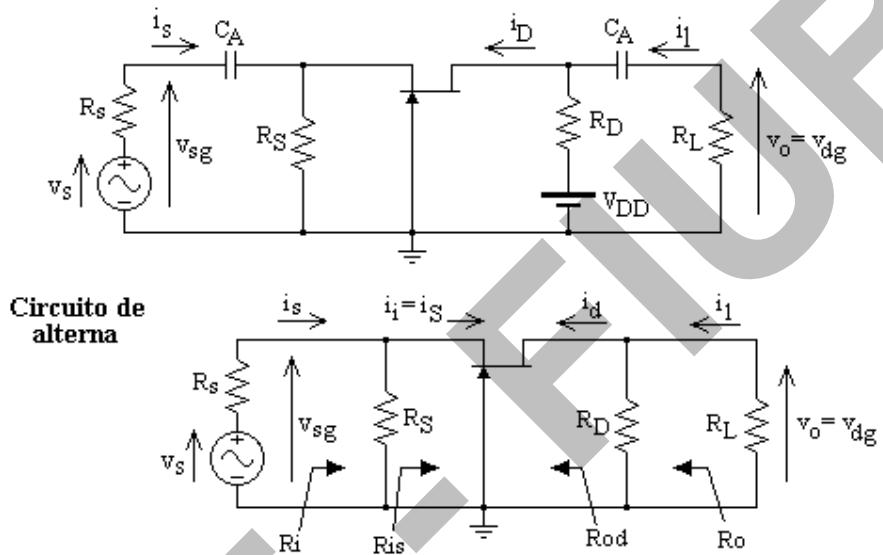


Fig. 3.6

$$A_v = \frac{v_{dg}}{v_{sg}} = g_m R_{da} \quad (3.5)$$

Si $r_{ds} \gg R_{da}$: $R_{is} = \frac{v_{sg}}{i_s} = \frac{1}{g_m} \Rightarrow R_i = R_s // R_{is}$; en caso contrario ($R_{da} \rightarrow \infty$):

$$R_{is} = r_{gs} \rightarrow \infty$$

$$A_{vs} = \frac{v_{dg}}{v_s} = g_m R_{da} \frac{R_i}{R_s + R_i}$$

$$R_{od} \rightarrow \infty \text{ (si se desprecia } r_{ds}) \Rightarrow R_o = R_D // R_{od} \approx R_D$$

De lo contrario será válida la ecuación de R_{od} :

$$R_{od} = v_{dp} / i_{dp} = r_{ds} [1 + (g_m r_{gs} R_s) / (R_s + r_{gs} + R_G)] = r_{ds} (1 + g_m R_s)$$

que se obtiene en base a la reducción analizada en el Cap. IV.

En ella deberá reemplazarse R_s por $R_s // R_s$, la que se reducirá a r_{ds} si se excita al gate común con un generador de tensión cercano a uno ideal, ya que en ese caso el valor de R_{od} a obtener será con la entrada entre source y gate en cortocircuito:

$$R_{od} = v_{dp} / i_{dp} \mid v_{gs}=0 = r_{ds}$$

Si la resistencia del terminal de gate quedara sin desacoplar para la alterna, llamando v_s a la tensión de fuente contra común (distinguirlo de la tensión de vacío del generador de excitación v_s), los parámetros característicos de alterna serán:

$$R_{is} = \frac{v_s}{i_s} = \frac{1}{g_m} + \frac{R_G}{\beta_{FET}} = \frac{1}{g_m} + \frac{R_G}{g_m r_{gs}} = \frac{1}{g_m} \left(1 + \frac{R_G}{r_{gs}} \right) \cong \frac{1}{g_m}$$

Ya que normalmente será $r_{gs} >> R_G$.

- Configuración de seguidor por fuente (source) o drain común - Fig. 3.7 :-

$$R_{ig} = \frac{v_g}{i_g} = r_{gs} + \beta_{FET} (R_S // R_L) = r_{gs} + g_m r_{gs} R_{Sa} = r_{gs} (1 + g_m R_{Sa}) \quad (3.6)$$

$$R_i = \frac{v_g}{i_s} = R_G // R_{ig}$$

$$A_v = \frac{v_s}{v_g} = \frac{\beta_{FET} R_{Sa}}{r_{gs} + \beta_{FET} R_{Sa}} = \frac{g_m R_{Sa}}{1 + g_m R_{Sa}} \Rightarrow A_{vs} = \frac{v_s}{v_g} = \frac{g_m R_{Sa}}{1 + g_m R_{Sa}} \frac{R_i}{R_s + R_i}$$

$$R_{os} = \frac{v_{sp}}{i_{sp}} = \frac{1}{g_m} + \frac{R_s // R_G}{\beta_{FET}} \cong \frac{1}{g_m} \Rightarrow R_o = \frac{v_{sp}}{i_{lp}} \cong R_s // \frac{1}{g_m}$$

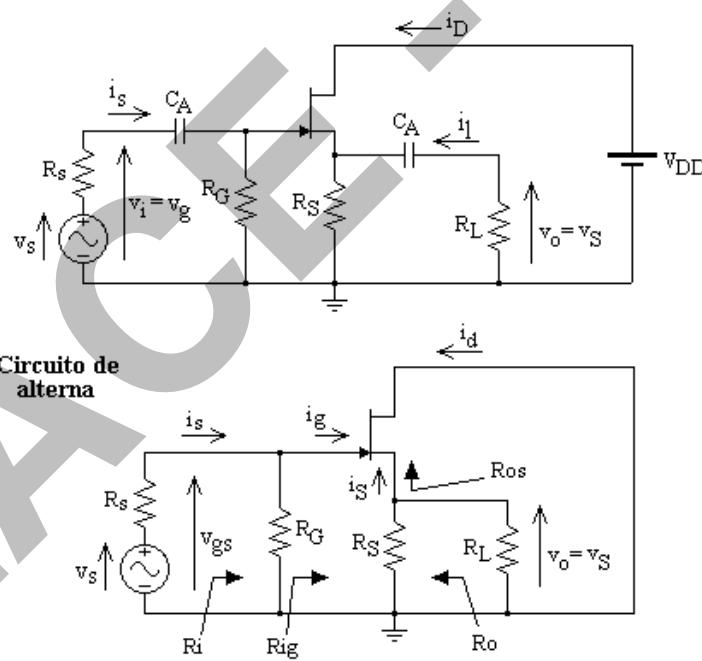


Fig. 3.7

4.- Análisis en pequeña señal de circuitos con un transistor bipolar

En teoría, podrían existir seis configuraciones diferentes de etapas amplificadoras con un transistor. Sin embargo, por la forma de funcio-

namiento del dispositivo, la base o emisor (gate ó source) corresponderán el electrodo no común de control (entrada) y el colector o emisor (drain ó source) al electrodo no común controlado (salida). Es decir, la tensión que controla la corriente de salida (V_{BE} ó V_{GS}) deberá encontrarse en la malla que se cierra a través del electrodo de entrada y el terminal común.

Por lo tanto, las tres configuraciones básicas serán:

- Emisor común (source común): Entrada por base (gate) – Salida por colector (drain)
- Base común (gate común): Entrada por emisor (source) – Salida por colector (drain)
- Colector común (drain común): Entrada por base (gate) – Salida por emisor (source)

4.1. Configuración en emisor común (source común)

En la Fig. 4.1 se indican el circuito completo, el equivalente de señal, sin reemplazar al transistor por su modelo y el equivalente de señal reemplazando al TBJ por su modelo de pequeña señal.

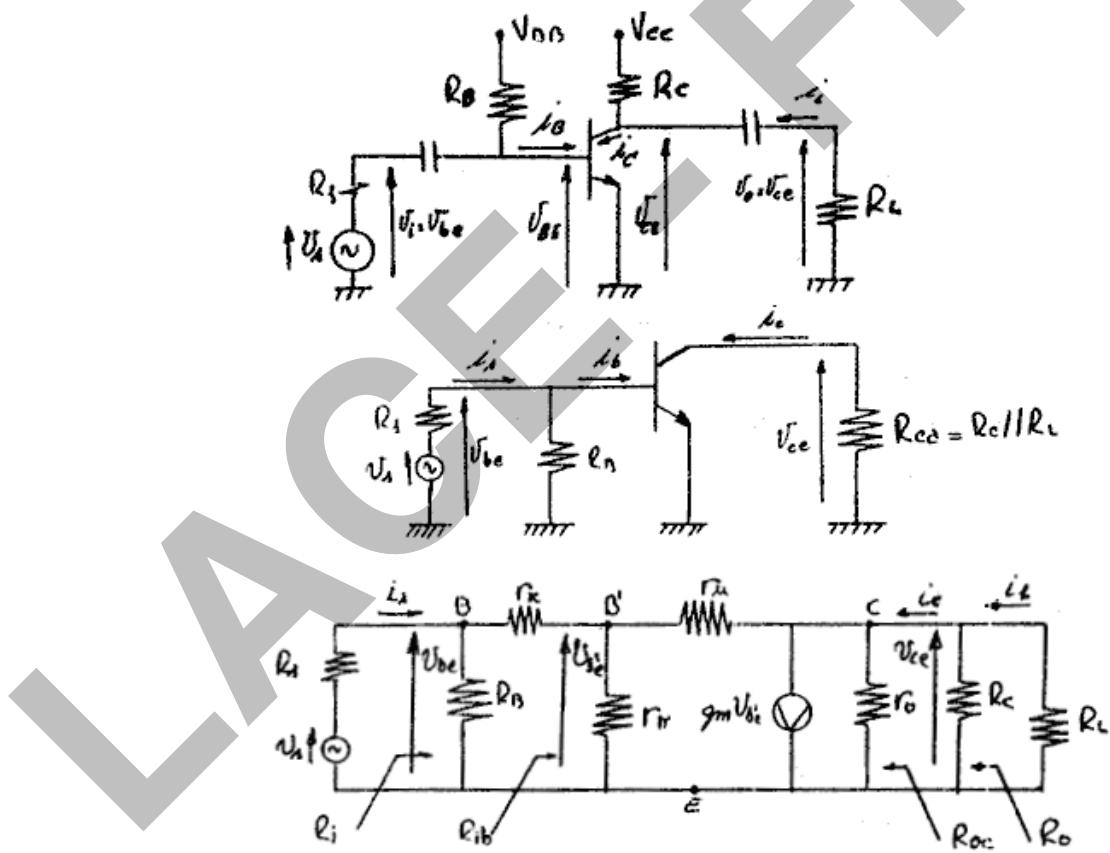


Fig. 4.1

Despreciando r_μ , la amplificación de tensión, la resistencia de entrada vista desde el terminal de base y la de salida vista desde el terminal de colector, serán respectivamente:

con $r_o \gg R_{ca}$:

$$A_v = \frac{v_{ce}}{v_{be}} = \frac{v_{ce}}{v_{b'e}} \cdot \frac{v_{b'e}}{v_{be}} = -g_m R_{ca} // r_o \frac{r_\pi}{r_x + r_\pi} = -\beta_0 \frac{R_{ca}}{r_x + r_\pi} \quad (4.1)$$

$$\left. \begin{array}{l} R_{ib} \Big|_{v_{ce}=0} = r_\pi // r_\mu \approx r_\pi \\ R_{ib} \Big|_{i_c=0} = r_\pi \end{array} \right\} \quad \left. \begin{array}{l} R_{oc} \Big|_{v_{be}=0} = r_\mu // r_0 \approx r_0 \\ R_{oc} \Big|_{i_b=0} = r_0 \end{array} \right\}$$

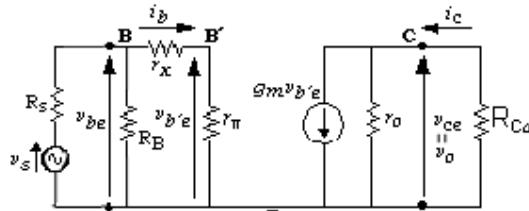


Fig. 4.2

A los efectos de la entrada, r_x podrá simplificarse si $r_x \ll r_\pi$ - Fig. 4.2 -. De esta forma, (4.1) se reduce a (4.2):

$$A_v = -g_m R_{ca} \quad (4.2)$$

En general, el valor de r_x no se conoce con exactitud, pero resulta del orden de decenas a cientos de ohms. Por lo tanto, mientras r_π sea de algunos $K\Omega$, r_x podrá despreciarse dentro de un 10% de error. Para valores menores de r_π , podrá despreciarse pero con un error mayor.⁽¹⁾

DESPRECiar
 $r_x \approx r_\pi$

El desprecio de r_μ resulta válido a partir de analizar que la corriente del generador controlado que se deriva a través de ella, resulta mucho menor que la que circula por $r_0 // R_{ca}$. Para simplificar r_0 , se analizará el circuito de la Fig. 4.4. Siendo la amplificación en vacío:

$$v_{ce} = -g_m v_{be} (r_0 // R_{ca}) \Rightarrow A_v = -g_m (r_0 // R_{ca}) \quad (4.3)$$

$$A_v \Big|_{i_c=0} = -g_m r_0 = -\frac{V_A}{V_T} = -\frac{1}{\mu} \quad (4.4)$$

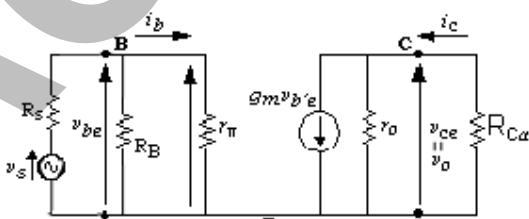


Fig. 4.3

Por lo tanto, la condición hallada para despreciar r_0 será $R_{ca} \ll r_0$:

⁽¹⁾ A frecuencias medias, r_x suele despreciarse, mientras su valor no resulte comparable a r_π . Sin embargo, la influencia de r_x se hace notar en altas frecuencias ya que, como se verá, puede llegar a limitar la respuesta en frecuencia de un amplificador con TBJ, determinando la constante de tiempo asociada a las capacitancias de base, especialmente en un base común.

$$|A_v| \ll \frac{1}{\mu} \quad (4.5)$$

En los transistores discretos NPN o PNP y en los integrados planares epitaxiales NPN, la influencia de r_μ se admitirá siempre despreciable ($r_\mu \gg \beta_0 r_o$).

En los PNP integrados de tipo lateral o vertical (de sustrato), r_μ se desprecia en una primera aproximación, sólo teniéndose en cuenta si existen valores de resistencias en el circuito que sean del orden de $\beta_0 r_o$. Obviamente, aún en el caso de los PNP integrados, siempre que se desprecie el efecto de r_o podrá hacerse lo mismo con r_μ , lo que significa que el efecto Early es despreciable. De acuerdo con (4.5), si $\mu = 2 \cdot 10^{-4}$ para despreciar r_o se deberá cumplir que $A_v \ll 5000$.

4.2. Configuración en base común

En la Fig. 4.4 se indican el circuito completo, el equivalente de señal, sin reemplazar al transistor por su modelo y el equivalente de señal reemplazando al TBJ por su modelo de pequeña señal (sin considerar r_x).

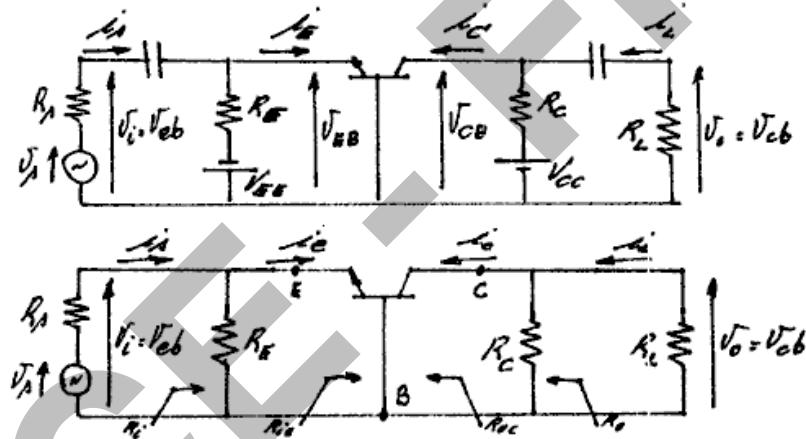


Fig. 4.4

La amplificación de tensión despreciando r_o y r_μ , la resistencia de entrada vista desde el terminal de emisor y la de salida vista desde el terminal de colector sin despreciarlas, serán respectivamente:

$$A_v = \frac{V_{cb}}{V_{eb}} = g_m R_{ca} \quad (4.6)$$

$$\begin{aligned} R_{ie} \Big|_{V_{cb}=0} &= v_{eb} / i_e \Big|_{V_{cb}=0} = r_d \parallel r_0 \cong r_d & R_{oc} \Big|_{V_{eb}=0} &= \frac{V_{cbp}}{i_{cp}} \Big|_{V_{eb}=0} \cong r_0 \\ R_{ie} \Big|_{i_c=0} &= v_{eb} / i_e \Big|_{i_c=0} \cong r_\pi & R_{oc} \Big|_{i_e=0} &= \frac{V_{cbp}}{i_{cp}} \Big|_{i_e=0} \cong \beta_0 r_0 \end{aligned} \quad (4.7)$$

4.3. Comparación entre base común y emisor común

$$A_v(E - \text{común}) = -A_v(B - \text{común})$$

$$r_d \leq R_{ie} \leq r_\pi = R_{ib}$$

$$r_0 = R_{oc}(E - \text{común}) \leq R_{oc}(B - \text{común}) \leq \beta_0 r_0$$
(4.8)

4.4. Configuración en colector común

En la Fig. 4.5 se indican el circuito completo, el equivalente de señal, sin reemplazar al transistor por su modelo y el equivalente de señal reemplazando al TBJ por su modelo de pequeña señal (sin considerar r_x).

La amplificación de tensión despreciando r_o y r_μ , la resistencia de entrada vista desde el terminal de base y la de salida vista desde el terminal de emisor, serán respectivamente:

$$A_v = \frac{v_e}{v_b} = \frac{\beta_0(R_E // R_L)}{r_\pi + \beta_0(R_E // R_L)}$$
(4.9)

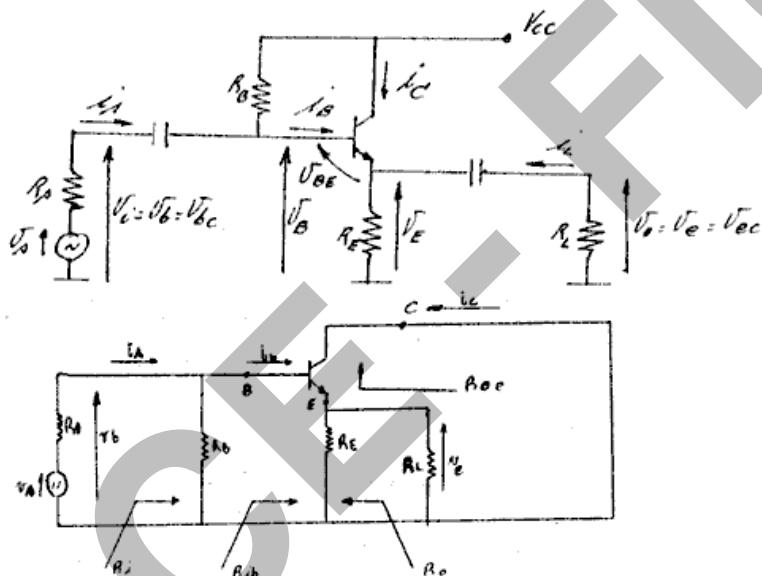


Fig. 4.5

$$R_{ib} = r_\pi + \beta_0(R_E // R_L // r_0)$$

$$\approx r_\pi + \beta_0(R_E // R_L)$$

$$R_{oe} = \frac{1}{g_m} + \frac{R_B // R_s}{\beta_0} = r_d + \frac{R_B // R_s}{\beta_0}$$

Puede llegarse a las expresiones (4.9) haciendo un **análisis por inspección** del circuito – Fig. 4.6-. Para hallar el circuito equivalente de entrada, por R_{Ea} circula en el circuito original una corriente i_e . Sin embargo, al reflejarla a la base (mirando desde la base) como una resistencia equivalente en serie con r_π , deberá circular por ella i_b . Para que los circuitos sean equivalentes a los efectos de la entrada, tiene que conservarse la tensión v_e . Por lo tanto, al circular una corriente (β_0+1) veces menor, la resistencia equivalente deberá ser $(\beta_0+1) \approx \beta_0$ veces mayor.

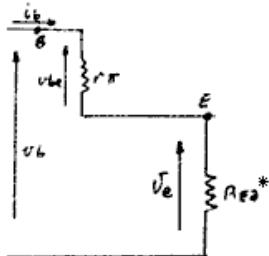


Fig. 4.6

De igual modo, para obtener la resistencia de salida – Fig. 4.7 –, debe notarse que en el semiciclo en que i_e es entrante i_b será saliente, por lo que $R_B//R_s$ aparece en serie con la resistencia del TBJ vista desde el emisor (r_d). Como por $R_B//R_s$ circula la corriente i_b , en tanto que al reflejarla en el circuito de emisor circulará i_e , al considerar una corriente (β_0+1) veces mayor la resistencia vista deberá ser (β_0+1) veces menor, de modo que conservar la caída de potencial v_b entre sus terminales.

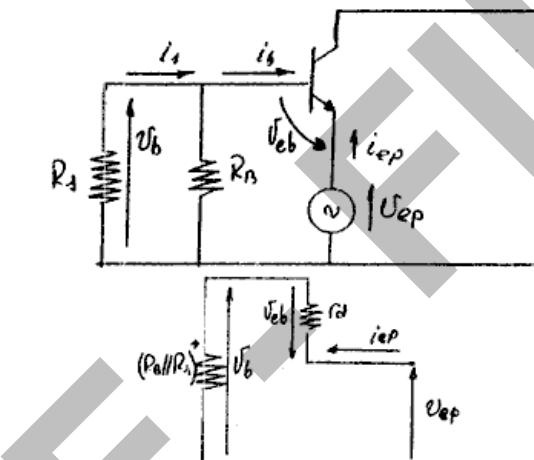


Fig. 4.7

¿? ¿De dónde habla
esta gente?

$$(R_B // R_A)^* = \frac{R_B // R_A}{\beta_0} \quad (4.10)$$

Al ser, en muchos casos $\beta_0 R_{Ea} \gg r_\pi$, la amplificación de tensión entre terminales resulta $A_v = v_e/v_b \approx +1$, razón por la cual este circuito suele denominarse *seguidor por emisor*, pues la tensión entre emisor y común sigue a la que se aplica entre base y común en amplitud y fase, pero las impedancias que se ven entre los terminales son muy distintas, ya que presenta alta impedancia al generador de excitación y baja impedancia a la carga.

4.5. Circuito de polarización con Bootstrap.

El circuito de colector-común se usa para obtener alta impedancia de entrada, lo mismo que un emisor común realimentado por emisor.

Siendo $R_i = R_{ib}//R_B$, muchas veces, por problemas de estabilidad se necesita R_B pequeño lo cual disminuye la resistencia de entrada del circuito, por ejemplo, poniendo un divisor resistivo –Fig. 4.8–. El pro-

blema, en particular si R_B debe ser pequeña, que presenta este circuito es que $R_B = R_{B1}/R_{B2}$ queda en paralelo con la entrada, bajando R_i .

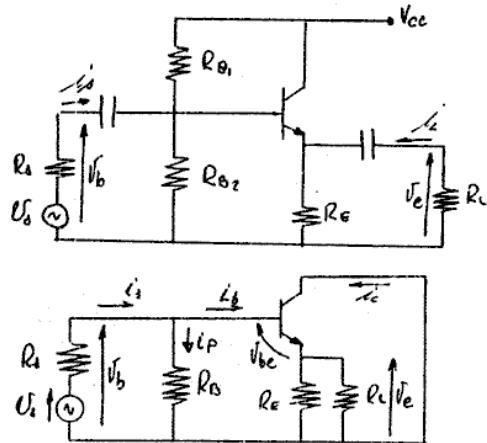


Fig. 4.8

Cuando se utiliza un seguidor o un Ec con realimentación por emisor, es porque R_s es muy alta y se busca R_i también muy alta de forma de obtener $A_{vs} \approx A_v$. Pero si R_B disminuye la resistencia de entrada, la ventaja del seguidor se pierde en la inclusión de R_B . Por ello se busca un circuito donde una R_i elevada pueda casi independizarse de R_B , es decir, de la red de polarización de base. Para ello se utiliza el circuito Bootstrap – Fig. 4.9 -.

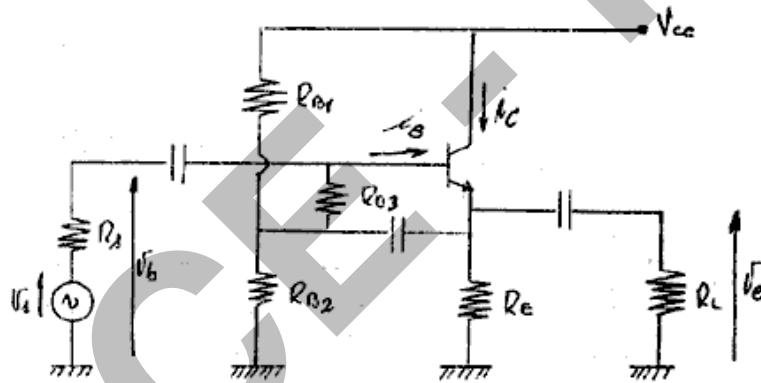


Fig. 4.9

El circuito de pequeña señal será el de la Fig. 4.4. Como vemos, R_{B3} queda en paralelo con r_π y $R_{B1}/R_{B2}=R_B$, en paralelo con R_E y R_L . La tensión entre los bornes de R_{B3} es la diferencia entre v_b y v_e y siendo:

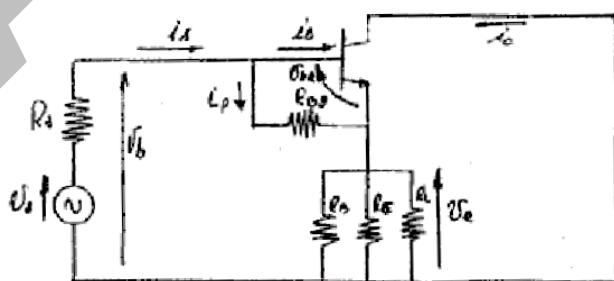


Fig. 4.10

$$v_b \approx v_e \Rightarrow i_p \approx 0$$

$$(4.11)$$



Para ver como influye R_{B3} en la R_i , reflejamos a la entrada por relación de tensiones y el equivalente de alterna es el de la Fig. 4.11.

Como A_v es muy próximo a la unidad, R_{B3} se refleja a la entrada como una resistencia muy alta de modo que influye poco sobre R_i .

De este modo el Bootstrap utiliza el efecto de reducir mediante relación de tensiones para eliminar la incidencia de polarización de base sobre la impedancia de entrada. Si reflejamos R_{B3} a la salida puede obtenerse una resistencia negativa, pero, en general, es tan grande en valor absoluto que no se considera pues:

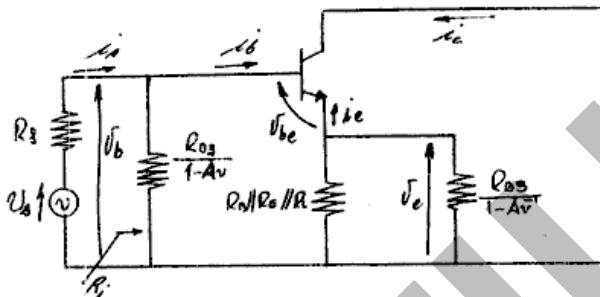


Fig. 4.11

$$R_1 // (-R_2) = \frac{-R_1 R_2}{R_1 - R_2} \rightarrow \text{si } |-R_2| \gg R_1 \Rightarrow (-R_2) // R_1 > 0$$

Como en general, R_{B3} reflejada a la salida es tan grande frente a $R_B // R_E // R_L$, no sólo será positivo el paralelo total sino que, en general, puede no considerarse R_{B3} reflejada. La R_{ib} será la misma que en el seguidor; solo que en lugar de aparecer $R_{Ea} = R_E // R_L$ aparecerá $R_{Ea} // R_B$.

$$R_{ib} = r_\pi + \beta_0 (R_B // R_{Ea}) \quad (4.12)$$

en general $R_B \gg R_{Ea}$ pudiéndose despreciar en el paralelo.

La resistencia de entrada R_i vista desde la fuente será:

$$R_i = \frac{R_{B3}}{1 - A_v} // R_{ib} \quad (4.13)$$

De esta manera se logra minimizar la influencia de la red de polarización reflejando una resistencia de valor mucho mayor. Otra forma de obtener la resistencia de entrada puede realizarse con un análisis por inspección. Comparando con el seguidor sin bootstrap –Fig. 4.12–:

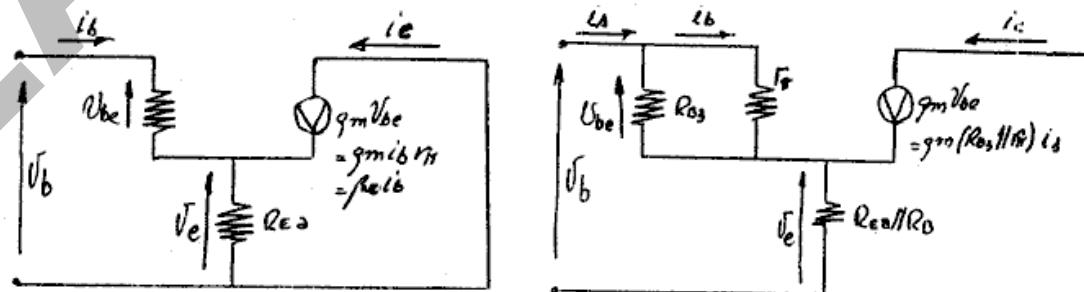


Fig. 4.12

Sin Bootstrap:

$$R_{Ea}^* = \frac{i_c}{i_b} \cdot R_{Ea} = \beta_0 R_{Ea}$$

$$\text{Siendo: } R_{ib} = r_\pi + \beta_0 R_{Ea}$$

Con Bootstrap:

$$R_{Ea}^* = \frac{i_c}{i_s} \cdot (R_{Ea} // R_B) = g_m (r_\pi // R_{B3}) (R_{Ea} // R_B)$$

$$\text{Siendo: } R_i = (R_{B3} // r_\pi) \cdot [1 + g_m (R_{Ea} // R_B)] = R_{ib}$$

Expresión a la que se llega si se reemplaza en (4.13) A_v por:

$$A_v = \frac{\beta_0 (R_{Ea} // R_B)}{r_\pi + \beta_0 (R_{Ea} // R_B)}$$

Por inspección del circuito de señal original, sin reemplazar al transistor por su modelo y despreciando r_o , se obtiene que:

$$A_i = - i_e / i_s = [g_m (R_{B3} // r_\pi) + 1] \approx i_c / i_s = g_m (R_{B3} // r_\pi)$$

tomando la referencia positiva de i_e entrante por emisor, y que es análoga a la expresión de:

$$A_i = - i_e / i_b \approx i_c / i_b \approx \beta = i_c / i_b |_{v_{ce}=0} = g_m r_\pi$$

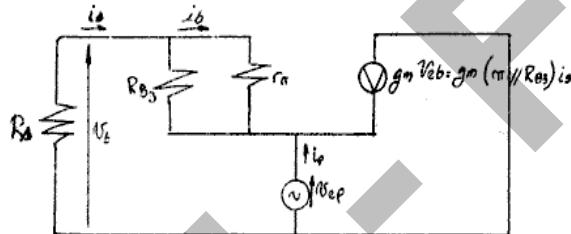


Fig. 4.13

Para obtener la resistencia de salida, R_{oe} , deberá colocarse un generador de prueba v_{ep} entre emisor y común – Fig. 4.13 -. Si se quiere reflejar R_{B3} al emisor, haciendo uso del teorema de reducción de Millar, deberá tenerse en cuenta que en este caso la amplificación a considerar será la amplificación inversa $A_{vINV} = v_b / v_{ep}$. Si se obtiene R_{oe} directamente por inspección, aplicando el teorema de reducción por relación de corrientes, se observa que:

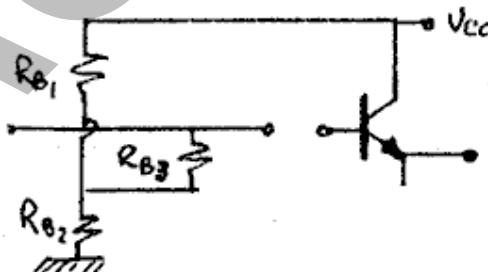


Fig. 4.14

$$R_{oe} = \frac{(r_\pi // R_{B3}) + R_s}{g_m (r_\pi // R_{B3})} \quad (4.14)$$

Donde se utilizó al producto $g_m(r_\pi // R_{B3})$ como la amplificación de corriente del circuito.

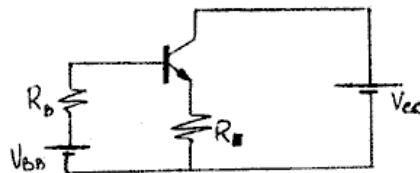


Fig. 4.15

Para obtener los valores de reposo (aplicando Thévenin) en la Fig. 4.14, la tensión V_{BB} será la tensión sobre R_{B2} pues, al abrir la base, no circula corriente por R_{B3} , resultando el circuito equivalente de la Fig. 4.15, donde:

$$V_{BB} = V_{CC} \frac{R_{B2}}{R_{B1} + R_{B2}}$$

$$R_B = R_{R3} + R_{B1} // R_{B2}$$
(4.15)

de modo que:

$$I_{CQ} = \frac{V_{BB} - V_{BE}}{(R_B / \beta_F) + R_E}$$

$$V_{CEQ} = V_{CC} - I_{CQ} R_E$$

Obtenida R_B de acuerdo a las necesidades de estabilidad de Q, se buscará, para llegar a expresiones simplificadas, que:

$$R_{B1} // R_{B2} \gg R_E // R_L \text{ y } R_{B3} \gg r_\pi .$$

4.6. Usos de las tres configuraciones

En general, la configuración más redituable desde el punto de vista de la potencia de señal es el emisor-común. Las otras dos configuraciones se utilizarán en casos particulares para adaptar impedancias de alta a baja (colector - común) o adaptar impedancias de baja a alta (base - común). En altas frecuencias, las capacitancias que quedan en paralelo con la señal (que presentan problemas en altas frecuencias) es conveniente que queden en paralelo con las resistencias más pequeñas posible, para que su reactancia sea comparable con la resistencia a la mayor frecuencia posible. El problema que presenta un emisor - común en altas frecuencias es C_μ , que aparece reflejada a la entrada por Miller. Siendo A_v grande, la capacitancia reflejada es elevada, disminuyendo mucho la impedancia de entrada en altas frecuencias. Por esta razón, se utilizan *combinaciones de las tres configuraciones*.

Para realizar un análisis cualitativo rápido a frecuencias medias, se supondrá que se construyen etapas de dos transistores iguales, con los resistores de polarización que no influyen en el funcionamiento en alterna y con iguales puntos de reposo:

- Emisor común – Emisor común – Fig. 4.16 :-

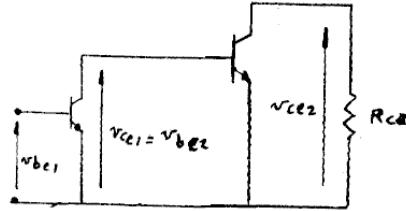


Fig. 4.16

$$A_v = \frac{v_{ce2}}{v_{be1}} = \frac{v_{ce2}}{v_{be1}} \cdot \frac{v_{be2}}{v_{be2}} = \frac{v_{ce1}}{v_{be1}} \cdot \frac{v_{ce2}}{v_{be2}} = A_{v1} \cdot A_{v2} = \\ = (-g_m r_{\pi 2})(-g_m R_{ca2}) = g_m \beta_0 R_{ca}$$

- Base común - Base común – Fig. 4.17 -:

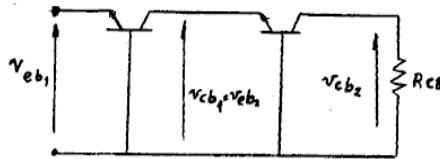


Fig. 4.17

$$A_{v1} = g_m r_{d2} \approx 1$$

$$A_{v2} = g_m R_{ca}$$

$$A_v = A_{v1} \cdot A_{v2} = g_m R_{ca}$$

Dos etapas en cascada en base-común, con las condiciones impuestas, no sirven pues la primera etapa no amplifica. Solo podría lograrse $A_{v1} > 1$ si la primera etapa posee una corriente de reposo mayor que la segunda.

- Base común- Emisor común – Fig. 4.18 -:

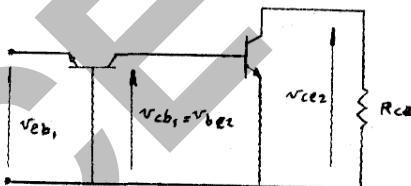


Fig. 4.18

El efecto es el mismo que un emisor común - emisor común:

$$A_{v1} = g_m r_{\pi 2}$$

$$A_{v2} = -g_m R_{ca}$$

$$A_v = A_{v1} \cdot A_{v2} = -g_m^2 r_{\pi} R_{ca} = -\beta_0 g_m R_{ca}$$

La diferencia reside en el signo (-) pues el base - común no invierte fase y el emisor - común sí invierte fase.

- Emisor común - Base común – Fig. 4.19 -:

$$A_{v1} = -g_m r_{d2} \approx -1$$

$$A_{v2} = g_m R_{ca}$$

$$A_v = A_{v1} \cdot A_{v2} = -g_m R_{ca}$$

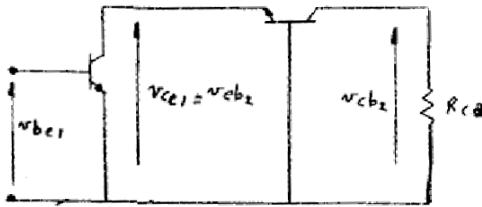


Fig. 4.19

Desde el punto de vista de A_v , una configuración como esta no tendría sentido pues la primera etapa no amplifica. Sin embargo, desde el punto de vista de la R_i , se trabaja con una resistencia de entrada β_0 veces mayor que en el caso de trabajar con la etapa de base - común únicamente. En conclusión, esta configuración permite una buena amplificación y alta resistencia de entrada, con la ventaja de que la reflexión de C_μ por Miller en la primera etapa no tiene importancia pues $A_v = -1$. Esta configuración se denomina *cascode*, donde el primer transistor solo tiene la función de adaptar impedancias.

5.- Etapas amplificadoras con un transistor en EC y BC realimentadas por emisor

5.1. Realimentación por emisor

Es el circuito del emisor común realimentado por emisor, en cualquiera de sus formas, sin desacoplar el resistor de emisor para la alterna. El circuito general, al cual puede reducirse cualquiera es el indicado en la Fig. 5.1.

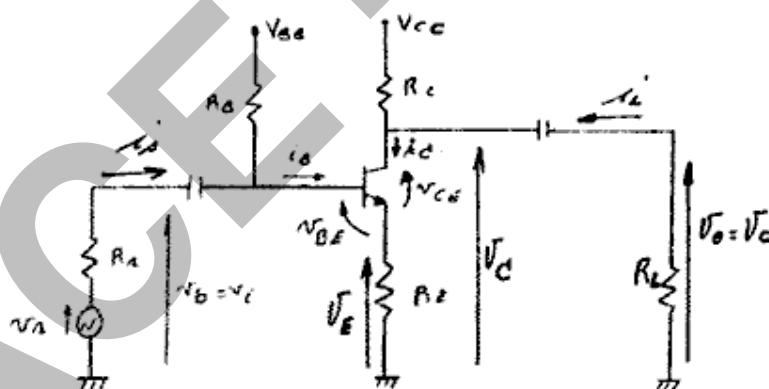


Fig. 5.1

El circuito equivalente de alterna será el indicado en la Fig. 5.2.

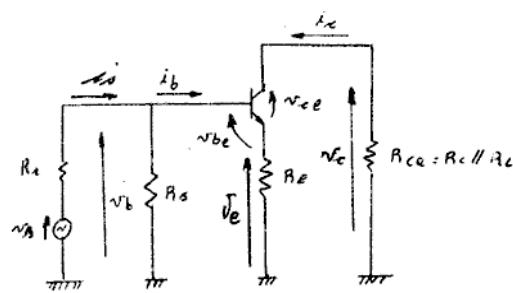


Fig. 5.2

La resistencia de entrada vista desde el terminal de base puede obtenerse por inspección despreciando r_o y r_μ - Fig. 5.3 -.

$$R_{ib} = \frac{v_b}{i_b} = r_\pi + \beta_o R_E = r_\pi (1 + g_m R_E) \quad (5.1)$$

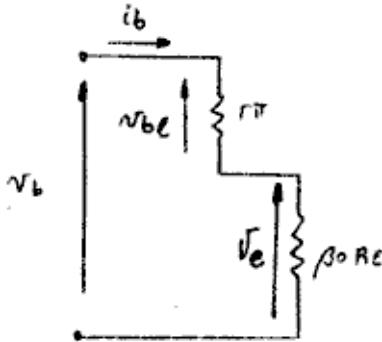


Fig. 5.3

Por otro lado, la amplificación de tensión será:

$$A_v = \frac{v_c}{v_b} = -\frac{g_m v_{be} R_{ca}}{v_b} \quad (5.2)$$

Pero v_b y v_{be} están relacionados por el divisor de tensión:

$$v_{be} = v_b \frac{r_\pi}{r_\pi + \beta_o R_E} \quad (5.3)$$

Por lo tanto, A_v será:

$$A_v = -g_m \frac{r_\pi R_{ca}}{r_\pi + \beta_o R_E} = \frac{-\beta_o R_{ca}}{r_\pi + \beta_o R_E} = -\frac{g_m R_{ca}}{1 + g_m R_E} = \frac{-R_{ca}}{r_d + R_E} \quad (5.4)$$

Si el sistema está muy realimentado:

$$v_{be} \ll v_b \Rightarrow r_\pi \ll \beta_o R_E \Rightarrow r_d \ll R_E \quad (5.5)$$

Por lo que A_v se reducirá a:

$$A_v = -\frac{R_{ca}}{R_E} \quad (5.6)$$

De (5.4) pueden obtenerse las expresiones del circuito realimentado A , A_o y β :

$$A_v = -\frac{g_m}{1 + g_m R_E} R_{ca} = -G_m R_{ca} \quad (5.7)$$

donde:

$$G_m = \frac{g_m}{1 + g_m R_E} \quad (5.8)$$

es la transconductancia total de la etapa. Por lo tanto:

$$A_o = g_m = \frac{i_c}{v_{be}}$$

$$A = G_m = \frac{i_c}{v_b} = \frac{g_m}{1 + g_m R_E} \quad (5.9)$$

$$\beta = \frac{v_e}{i_c} = R_E$$

$$\text{Si } g_m R_E (A_o \beta) \gg 1 \Rightarrow G_m \approx 1/R_E$$

La resistencia de salida vista desde el terminal de colector será $R_{oc} \rightarrow \infty$ si $r_o \rightarrow \infty$, pues la salida es una fuente de corriente ideal – Fig. 5.4 -. Para obtener el valor de R_{oc} , teniendo en cuenta r_o y r_μ , debe resolverse el circuito equivalente completo colocando una fuente de prueba entre colector y común. Si $(r_x + (R_B//R_s)) \rightarrow 0$, el procedimiento es muy sencillo y conduce a (5.10).

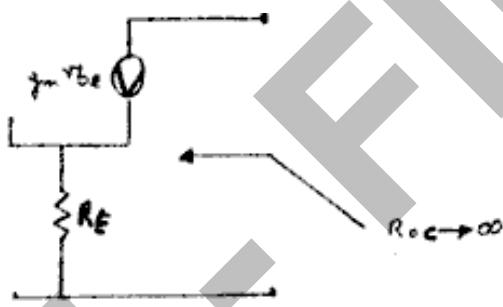


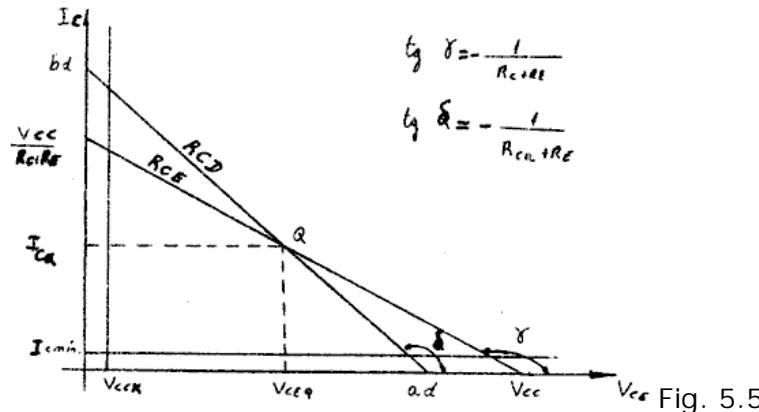
Fig. 5.4

$$R_{oc} = r_\mu // \{r_o [1 + g_m (R_E // r_\pi)]\} \quad (5.10)$$

Si se desprecia r_μ y se tiene en cuenta la resistencia total entre base y común al pasivar $v_s - R_B // R_s$, la expresión de R_{oc} será:

$$R_{oc} = r_o \{ 1 + (\beta_0 R_E) / [r_\pi + R_E + (R_B // R_s)] \} \quad (5.11)$$

Al realimentar para la señal alterna por medio de R_E se tiene un caso del tipo muestreo de corriente, suma de tensión, comprobándose que se estabiliza el valor de G_m ya que se disminuye sobre ella la incidencia de la carga y de la impedancia interna del generador de excitación dado que la realimentación eleva la R_i y la R_o , con lo que a la entrada se carga menos al generador de señal y a la salida el circuito se acerca más a un generador de corriente ideal.



Desde el punto de vista del análisis de la amplitud de señal a la salida, en el plano i_c - v_{ce} –Fig. 5.5–:

$$v_{ce} = -i_c [(R_C // R_L) + R_E] \quad (5.12)$$

$$\Delta v_{ce} = -\Delta i_c (R_{ca} + R_E) \quad (5.13)$$

La RCD será:

$$i_c = -\frac{1}{R_{ca} + R_E} v_{ce} + \frac{V_{CEQ}}{R_{ca} + R_E} + I_{CQ} \quad (5.14)$$

Siendo:

$$\begin{aligned} a_d &= V_{CEQ} + I_{CQ} (R_{ca} + R_E) \\ b_d &= I_{CQ} + \frac{V_{CEQ}}{R_{ca} + R_E} \end{aligned} \quad (5.15)$$

Y para obtener la máxima tensión de salida sin recorte:

$$\begin{cases} \hat{V}_{CeM} = (I_{CQ} - I_{c\min}) (R_{ca} + R_E) \\ \hat{V}_{CeMs} = V_{CEQ} - V_{CEK} \end{cases} \quad (5.16)$$

Evidentemente, interesa la tensión de salida \hat{V}_{CM} sin recorte; que se obtiene como un divisor de tensiones:

$$\hat{V}_{CM} = \hat{V}_{CeM} \frac{R_{ca}}{R_{ca} + R_E} \quad (5.17)$$

5.2. Transistor en base - común con R_B sin desacoplar

En el circuito de base - común, en general R_B se desacopla para la alterna con un capacitor a común. Desde el punto de vista de utilidad práctica en una etapa en base común es muy extraño que ocurra que R_B esté acoplado para la alterna como en este caso –Fig. 5.6–; pero en algunos casos, donde se combinan emisores comunes con bases comunes, etc., puede ocurrir que haya circuitos en base común donde la re-

sistencia de base no quede desacoplada (para la respuesta en frecuencia deberá tenerse en cuenta r_x).

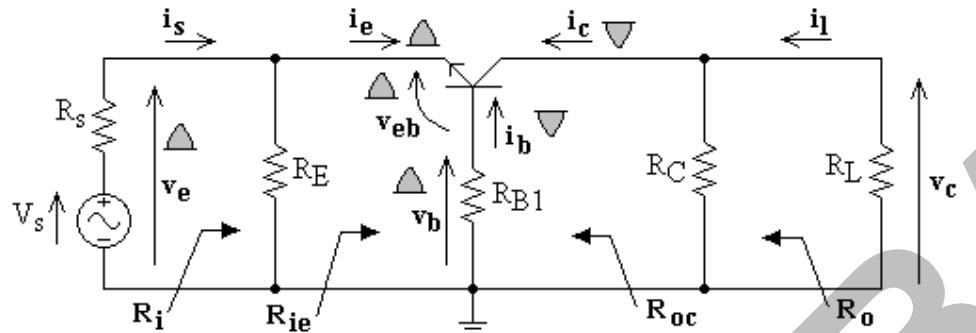


Fig. 5.6

La resistencia de entrada vista desde el terminal de emisor podrá calcularse por inspección (despreciando r_o y r_μ) – Fig. 5.7 -, reflejando todo lo que hay en la base al circuito de emisor:

$$R_{ie} = \frac{v_e}{i_e} = r_d + \frac{R_B}{\beta_o} = \frac{r_\pi + R_B}{\beta_o} = \frac{1}{g_m} \left[1 + \left(\frac{R_B}{r_\pi} \right) \right] \quad (5.16)$$

Si r_x no resulta despreciable, aún a frecuencias medias, habrá que sumarla a R_B .

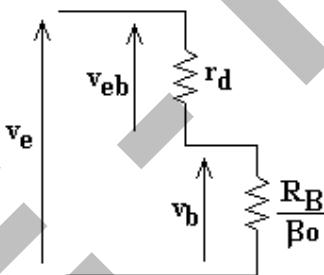


Fig. 5.7

La resistencia de salida en el base - común es relativamente muy alta ya que es la vista desde el terminal de colector. La corriente de señal i_c dependerá, en muchos casos, poco de la presencia de R_B . Por ello, R_B tendrá una influencia que podría ser apreciable sobre la entrada (aunque se refleja dividido por β_o), pero en general no sobre la salida.

Si es necesario considerarla, deberá obtenerse la R_{oc} teniendo en cuenta la realimentación interna del base común a través de r_o , dibujar el circuito de alterna reemplazando el transistor por su modelo incremental, colocar v_{cp} pasivando el generador de excitación v_s , de modo que en emisor quede una resistencia $R_s//R_E$, y obteniendo v_{cp} / i_{cp} .

Resulta fácil observar que la expresión obtenida será la misma que la de la ecuación 5.11, para un transistor en EC realimentado por emisor mediante una resistencia R_E , con la diferencia de considerar sólo a R_B o $(R_B + r_x)$ en lugar de $(R_B//R_s)$, y reemplazar R_E por $R_s//R_E$.

La amplificación de tensión será:

$$A_v = \frac{v_c}{v_e} = \frac{-i_c(R_C // R_L)}{v_e} = \frac{g_m v_{eb} R_{ca}}{v_e} = \frac{g_m v_{eb} \frac{r_d}{r_d + R_B/\beta_o} R_{ca}}{v_e} \approx \frac{R_{ca}}{r_d + R_B/\beta_o} \quad (5.17)$$

La A_v baja al considerar la caída en R_B . El efecto de R_B sobre i_c se va a dejar sentir porque produce una caída a la entrada, con lo cual para una dada tensión de entrada v_e , v_{eb} va a ser más chica por la caída en R_B . Desde el punto de vista de la alterna se tiene que comportar como un divisor resistivo porque es un circuito pasivo y cuando i_e está en el semiciclo positivo (entrante por emisor), i_b estará en el negativo (saliente por base), con lo que las tensiones v_{eb} y v_b se suman aritméticamente. De este modo, por inspección se "ve" que deberá ser:

$$v_{eb} = v_e [r_d / (r_d + R_B/\beta_o)]$$

habiendo "reflejado" R_B al emisor de la misma forma analizada en el seguidor por emisor.

6.- Influencia del circuito de emisor en la forma de onda de la señal de salida

Ya hemos analizado el emisor común realimentado por emisor para la señal, siendo uno de los circuitos realimentados más usados, debido a que produce un aumento considerable de la impedancia de entrada, ya que R_E se multiplica por el β_o cuando se refleja a la base. Nos quedaría por analizar lo que pasa con las formas de onda cuando se aplica señal alterna y, por ejemplo, se entra en corte o en saturación en alguno de los semiciclos; y la diferencia que puede haber si hay capacitor de desacople o no lo hay.

Cuando analizamos el efecto del capacitor de acople, habíamos llegado a la conclusión que si la constante de tiempo de ese capacitor y del circuito asociado al mismo era grande con respecto al período, el capacitor de acople mantenía su carga durante todo el tiempo en que existiera recorte, ya sea por corte o saturación, y de ese modo, la tensión sobre R_L se mantendría en el valor correspondiente según se entre en corte o saturación.

Cuando el circuito está realimentado para la continua en emisor, pero no para la alterna, en principio, la resistencia vista por el capacitor será R_E en paralelo con toda la resistencia vista desde el terminal de emisor $-R_E//[r_d + (R_B//R_s)/\beta_o]$ – Fig. 6.1.

Analizando sólo el efecto de C_E , es decir suponiendo que $C_A \rightarrow \infty$, el polo que C_E produce estará dado por la inversa del producto $\tau = C_E \cdot R_E//[r_d + (R_B//R_s)/\beta_o]$.

Si esa constante de tiempo, τ es mucho mayor que el período T de la señal, aunque haya recorte, ya sea por corte, es decir, aunque deje de

circular corriente por el transistor; o por saturación, si la corriente que circula por el transistor permanece constante; el capacitor va a mantener entre sus bornes prácticamente una tensión constante.

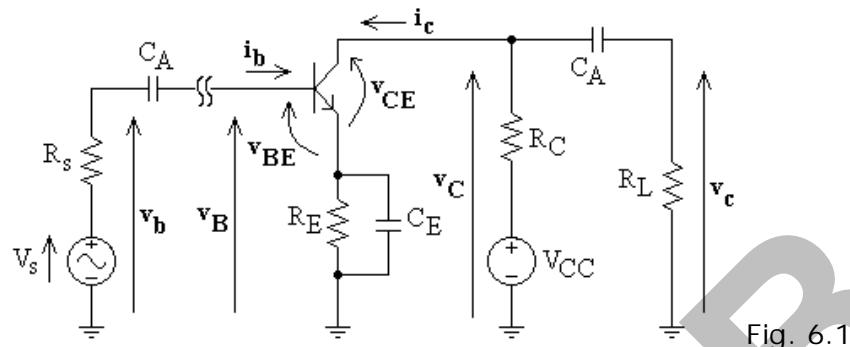


Fig. 6.1

En realidad, en condiciones estacionarias con recorte por corte o saturación, deberán considerarse los valores medios correspondientes \bar{I}_c , \bar{V}_c y \bar{V}_{CE} .

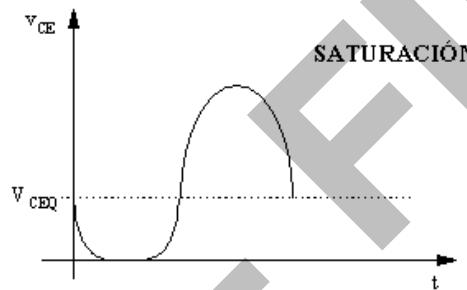


Fig. 6.2

$I_{CO} \cdot R_E$ será la caída de continua en el capacitor (o $\bar{I}_c R_E$). Admitiendo que el capacitor se comporta como un cortocircuito para la señal, podemos pensar que entre los extremos del mismo siempre hay esa tensión continua, es decir que aunque el transistor corte o sature, el capacitor va a mantener una tensión de continua entre sus bornes de valor $\bar{I}_c R_E$.

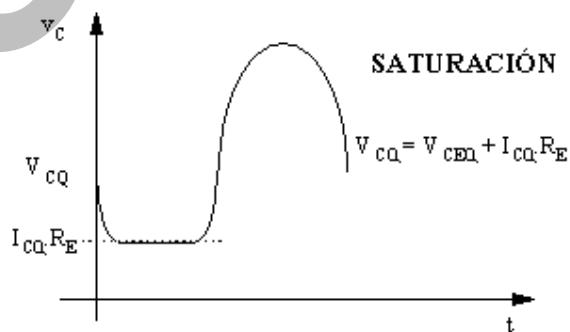


Fig. 6.3

Si el transistor satura, el exceso de la corriente de base causado por una mayor tensión de entrada va a quedar cortocircuitado a través del capacitor, y la corriente por el paralelo de R_C y R_L va a seguir siendo

la misma, admitiendo que el C_A también posee una constante de tiempo mucho mayor que el período de la señal.

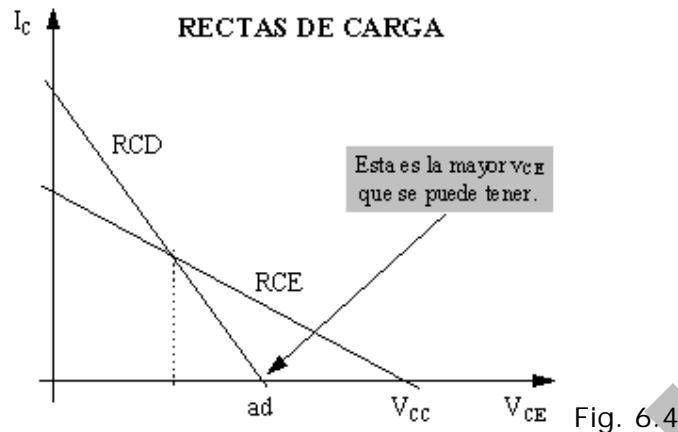


Fig. 6.4

Si el transistor corta, no habrá corriente por él, pero el capacitor C_E entregará corriente a R_E de manera de mantener la tensión entre sus bornes constante. Si admitimos que el tiempo de corte es relativamente chico con respecto a la constante de tiempo del capacitor, podemos aceptar que el capacitor prácticamente no se descarga y por lo tanto la tensión en R_E permanece constante. En la zona de corte ocurrirá lo mismo que en saturación –Fig. 6.4 -. Si se representa la tensión v_c , todos los valores estarán corridos hacia arriba en el valor de la caída en C_E , dado que $v_c = v_{CE} + v_{RE}$ y como estamos admitiendo que C_E mantiene su tensión, no habrá ningún problema – Fig. 6.5 -.

Hay que tener cuidado cuando se analizan las formas de onda porque es distinto pensar en v_{CE} que en v_c si nos refe-rimos a valores totales.

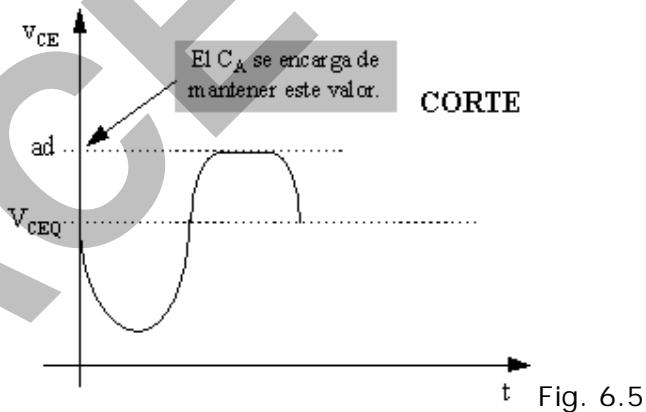


Fig. 6.5

Cuando el punto de reposo Q permanece fijo y varía la recta de carga dinámica, RCD, evidentemente la máxima tensión para la cual podemos llegar a tener saturación no cambia, pero la de corte sí (por la variación de la RCD). Obviamente, al cambiar la pendiente de la RCD también varía el producto de I_{CQ} por la resistencia correspondiente y entonces varía la máxima amplitud con la cual se alcanza el corte. En otras palabras, al variar la pendiente de la RCD, " $I_{CQ}.R_E$ " no varía, pero "ad" sí lo hará.

Debe tenerse en cuenta que en estado estacionario, el cruce de las RCE y RCD, ya no se produce en el punto de polarización Q, sino que estará corrido de acuerdo a las variaciones de los nuevos valores medios de I_c y V_{CE} .

Cuando no está C_E , ya no se puede admitir que en el emisor hay una fuente de tensión continua. Cuando se aplica la señal alterna en este caso, v_{CE} varía igual que antes, pero la tensión v_b a aplicar va a tener que ser ahora mayor que la v_{be} , porque estoy realimentando por emisor y entonces la tensión v_{be} necesaria para producir una dada variación de corriente de colector, ahora surge como la diferencia entre v_b y la tensión realimentada, es decir: $i_c = g_m(v_b - v_e) = g_m v_{be}$.

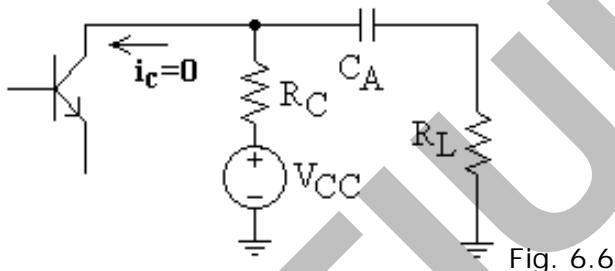


Fig. 6.6

En saturación, ahora, la situación va a cambiar; aunque en corte no. En corte, si la tensión de entrada es tan baja que lleva al transistor a esa situación, la tensión que vamos a alcanzar será la abscisa al origen de la RCD (ad).

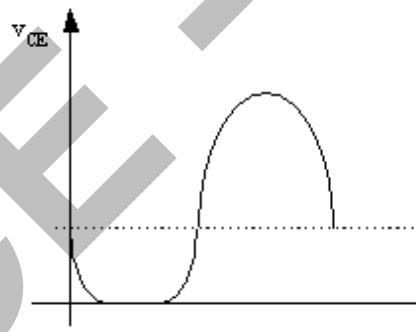


Fig. 6.7

Durante el tiempo en que haya corte, no hay corriente por el transistor, y por lo tanto el circuito se reduce al de la Fig. 6.6. Pero cuando el transistor satura, la situación cambia. A medida que avanzamos hacia saturación, la corriente de colector va aumentando y v_{CE} disminuye. Cuando se llega a $v_{CE} \approx 0$, el transistor no puede seguir bajando su tensión entre colector y emisor y las corrientes de colector y emisor deberán ser tales que la suma de las caídas correspondientes en R_C y R_E se va a tener que mantener constante e igual a V_{CC} . O sea que v_{CE} cuando se entra en saturación (ya sea con o sin capacitor) va a tener que ser como se indica en la Fig. 6.6.

Pero si tomamos la tensión entre colector y común, cuando la tensión de base aumente una vez producida la saturación, al actuar el

transistor entre base y emisor como un seguidor, aumenta la tensión y al mantenerse nula v_{CE} aumentará en el mismo valor la tensión de colector, por lo que la corriente de colector deberá disminuir.

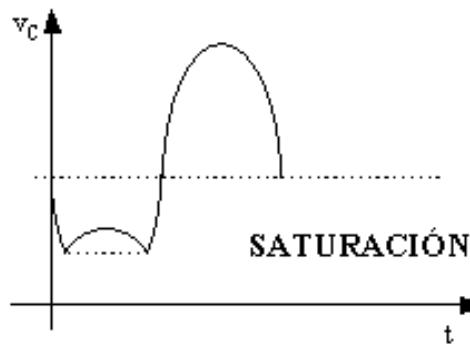


Fig. 6.8

Es evidente que la corriente de base va a seguir aumentando y que esa corriente de base va a circular por R_E . Mientras el transistor no satura, la corriente de base que circula por R_E se desprecia y se considera que por R_E circula sólo la corriente de colector. Pero apenas el transistor entra en saturación, la corriente de base llega a no ser despreciable frente a la de colector. Por lo tanto, si la tensión v_e tiene que aumentar siguiendo a la de base, v_{be} no puede incrementarse mucho (se mantiene aproximadamente en 0,7V, pudiendo aumentar como máximo 100mV). Evidentemente si v_b tiene un pico de 3V y el transistor satura a los 2V, el volt restante no puede caer en la juntura base - emisor pues esta sólo podrá absorber a lo sumo 100mV. Con lo cual, los 900mV que restan tendrán que aumentar la tensión en R_E . Si la tensión en R_E aumenta, forzadamente como $v_{CE} = 0$ en saturación, la caída en R_C tiene que disminuir, porque la suma de ambas tiene que ser igual a V_{CC} . Con lo cual la corriente de colector tiene que disminuir y el valor de v_C comienza a aumentar: $v_C = V_{CC} - V_{RC}$ – Fig. 6.8 –.

La tensión de salida entre colector y común, en vez de recortar totalmente va a comenzar a aumentar una vez que se alcanzó la saturación. Si se va aumentando lentamente la amplitud de una señal alterna senoidal aplicada en v_b , para amplitudes donde la saturación será pequeña, se va a ver una horizontal en la curva de $v_C = f(t)$, pero si se sigue aumentando 嵌 saturando más al transistor, se va a empezar a ver el efecto descrito debido a la realimentación que posee el circuito.

Con o sin capacitor no cambia la forma de onda de $v_C = f(t)$ en corte, pero sí el valor total de la tensión; mientras que en saturación cambia la forma de onda.

Al disminuir la frecuencia de la señal v_b , a determinada frecuencia se producirá el mismo efecto de realimentación que se produce cuando C_E no está.

6.1. Influencia del circuito de base en la configuración de base común

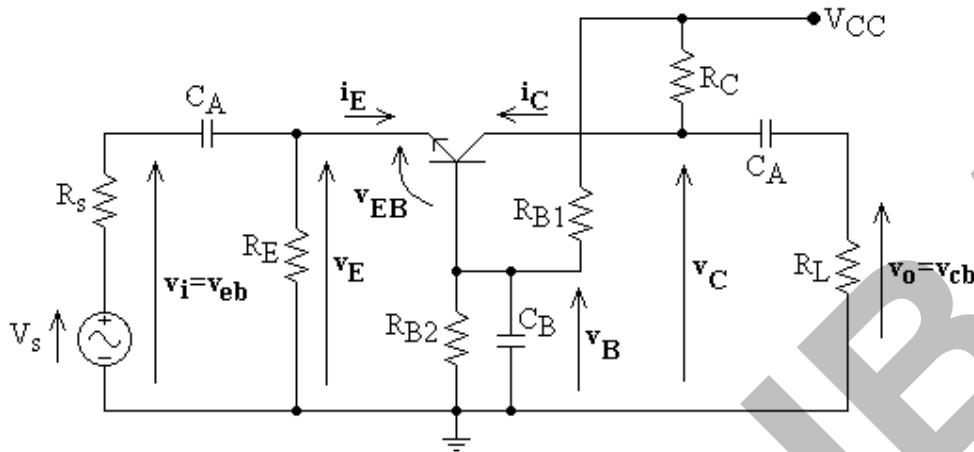


Fig. 6.9

Normalmente para el circuito de base común – Fig. 6.9 - las rectas de carga las vamos a trazar por comodidad en el plano colector-emisor, en lugar del plano colector-base – Fig. 6.10 -, realizando la circulación que corresponde para determinar la RCE en el plano I_c-V_{CE} y lo mismo para la RCD.⁽¹⁾

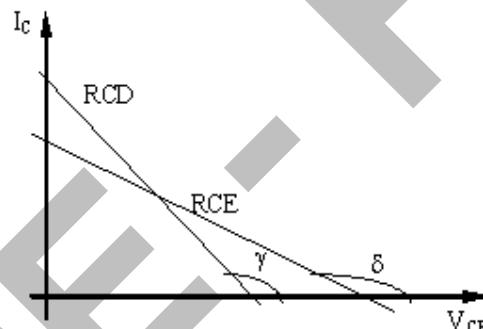


Fig. 6.10

La máxima tensión colector-emisor obtenible será aproximadamente igual a la tensión colector - base obtenible. No se calcula en forma estricta porque no interesa, ya que raramente se va usar una etapa en base común con una salida de tensión alta. La configuración de base común trabaja normalmente con señales de bajo nivel y por lo tanto las tensiones de salida de un base común están muy lejos de aproximarse a los valores extremos.

Siendo $\operatorname{tg} \delta = - (R_C + R_E)^{-1}$ y $\operatorname{tg} \gamma = - (R_C // R_L)^{-1}$, dado que generalmente $v_{eb} \ll v_{cb}$ por $A_v \gg 1$, podrá aceptarse que $v_{ce} \approx v_{cb}$.

⁽¹⁾Debe tenerse en cuenta que la circular por la malla que contiene la rama colector-emisor para determinar la RCD, se trabaja con valores totales de corriente de colector i_c y tensión colector-emisor v_{ce} , por lo que deben incluirse la fuente de alimentación de continua y el generador de excitación.

LACE . FIUBA

LACE - IUBA

**A0.3 - Etapa con un transistor bipolar
en emisor común con acople directo
de la resistencia de carga**

7.- Etapa con un transistor bipolar en emisor común con acople directo de la resistencia de carga

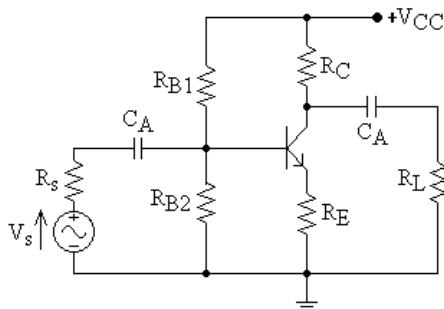


Fig. 7.1

En una etapa amplificadora de señal alterna a frecuencias medias, si no se quiere que circule corriente continua de polarización por R_L , este resistor tiene que quedar acoplado a través de un capacitor –Fig. 7.1-. Lo mismo ocurre con la fuente de señal. Si no se le colocase un capacitor de acople, para la continua de polarización R_s quedaría en paralelo con R_{B2} y por lo tanto el divisor estaría formado por R_{B1} y R_{B2}/R_s . En este caso, R_s intervendría en la ubicación del punto de reposo Q.

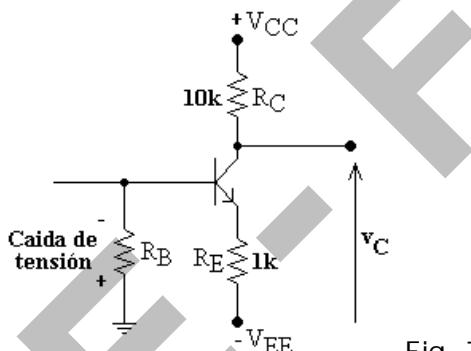


Fig. 7.2

Para lograr que la tensión de base sea cero para la continua de polarización y, de esa forma, poder acoplar el generador de excitación sin tener que colocar un capacitor en serie con él, se deberá usar dos fuentes de alimentación de distinto signo respecto a común, ($+ V_{cc}$) y ($- V_{ee}$) en el caso de la Fig. 7.2 -. Cuando se trabaja con esta configuración de dos fuentes de alimentación referidas a un terminal común, se suele decir que se polariza con doble fuente o, en el caso particular en que se tenga $|V_{cc}| = |V_{ee}|$, se suele llamar también *fuente partida* por considerarse que puede trabajarse con una fuente de alimentación “partida al medio” con una conexión a común.

En muchos casos se pretende tener un acople directo de la carga, en algunas ocasiones puede circular la corriente continua de polarización a través de la carga, en tanto que en otras se busca además, que sobre ese acople directo, no circule continua de polarización por la carga (podrá circular una señal continua, como ser un escalón de valor suficientemente pequeño de modo que se pueda admitir linealidad). Para este último caso, hay que lograr que $V_{cq} = 0$. Con una fuente única,

esta condición sería imposible de conseguir y la alternativa es el uso de una doble fuente –Fig. 7.3–.

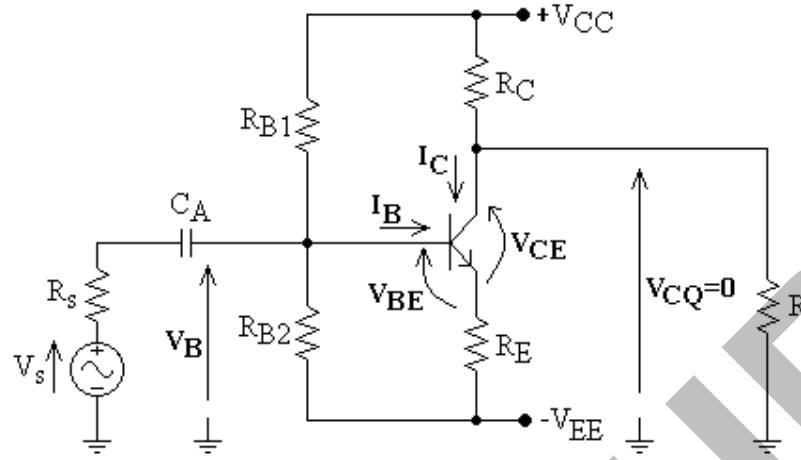


Fig. 7.3

Ahora bien, no se puede lograr tensión de reposo nula simultáneamente en la base y en el colector de un solo transistor. Es decir que el colector está a cero volt o la base lo está, pero nunca ambos a la vez.

En un etapa con dos o más transistores, la situación es diferente. En ese caso no habrá dificultad en lograr que la base del primer transistor y el colector del último estén simultáneamente a potencial nulo respecto a común, porque como se pueden combinar transistores NPN con PNP, puede lograrse corrimientos de niveles de la continua de polarización y perfectamente se puede tener la base de entrada y el colector de salida a potencial cero.

Si se utilizaran transistores de igual tipo, partiendo de 0,7V de continua en la base del primero, la tensión va aumentando en los colectores de los transistores que se van agregando – Fig 7.4 -. Como para la excitación de baja señal, ya sea de alterna o continua, un transistor tipo NPN es lo mismo que un PNP, la forma de solucionar este corrimiento de niveles de tensión continua de polarización en los colectores, es intercalar transistores NPN y PNP – Fig. 7.5 -.

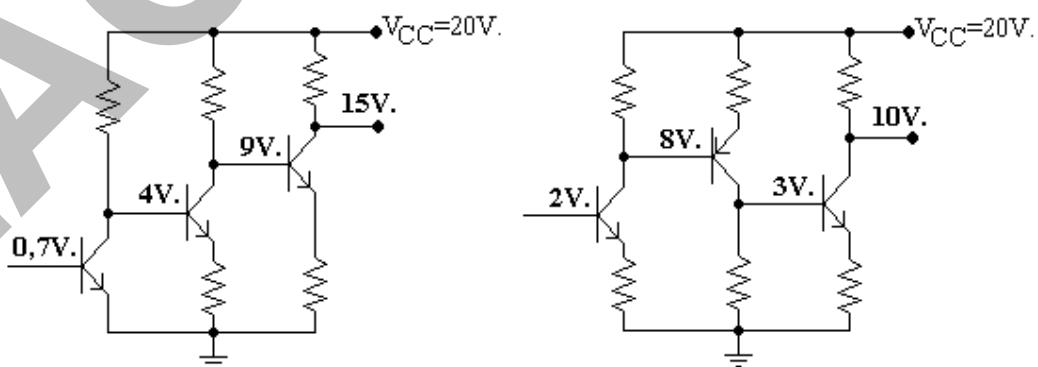


Fig. 7.4

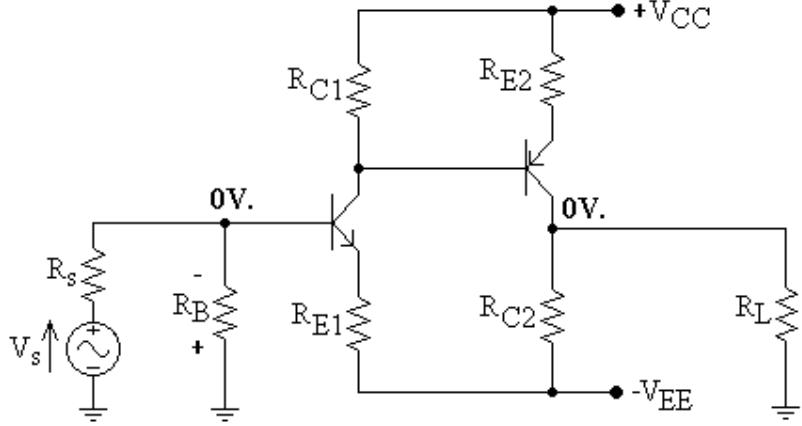


Fig. 7.5

La resistencia de base para la continua será $R_s//R_B$. Si $R_s \ll R_B$ la base estará a común y, en caso contrario, la base estará algo negativa.

Se van a analizar algunas configuraciones donde se utiliza acople directo de la carga R_L al colector o al emisor del transistor y una forma conveniente de hallar el punto de reposo en cada una.

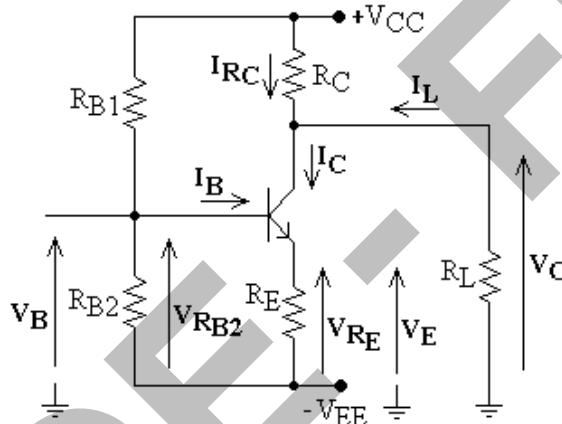


Fig. 7.6

Puede ocurrir que, aún usando fuente partida, no haya tensión nula en el acople. Resulta indispensable dibujar el circuito completo indicando todos los sentidos de referencia de corrientes y tensiones entre electrodos y contra común, utilizando una notación adecuada para las continuas de polarización – Fig. 7.6 –.

Si se conocen todos los elementos y el valor de β , se tendrá que aplicar Thévenin en la malla que contiene al diodo base-emisor para hallar el punto de reposo. Esto se puede hacer de varias maneras. Por ejemplo, buscando la tensión entre base y común, entre base y V_{CC} o entre base y V_{EE} . Para el caso de trabajar con un transistor NPN, esta última forma de definir la tensión de Thévenin V_{BB} es la más conveniente. Así, definiremos la tensión V_{BB} con la base abierta como muestra la Fig. 7.7:

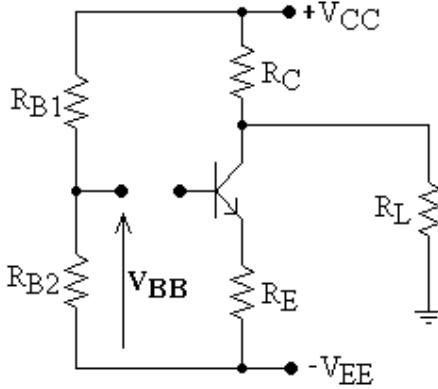


Fig. 7.7

$$\begin{aligned}
 V_{Thévenin} &= V_{BB} = \frac{V_{CC} + V_{EE}}{R_{B1} + R_{B2}} R_{B2} \\
 R_{Thévenin} &= R_B = R_{B1} // R_{B2} \\
 I_{CQ} &= \frac{V_{BB} - V_{BE}}{R_B / \beta + R_E} \\
 V_{CEQ} &= V_{CQ} - V_{EQ}
 \end{aligned} \tag{7.1}$$

El equivalente Thévenin a los efectos de la entrada del transistor entre su base y el terminal negativo de V_{EE} , se muestra en la Fig. 7.8.

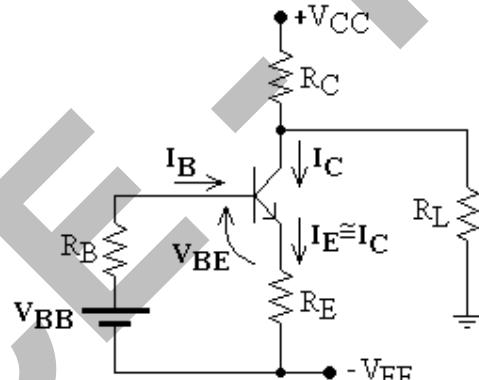


Fig. 7.8

Las tensiones contra común de los electrodos de base y emisor se indican en la Fig. 7.9 y las ecuaciones correspondientes son las (7.2):

$$\begin{aligned}
 V_{EQ} &= I_{CQ} R_E - V_{EE} \\
 V_{BQ} &= I_{CQ} R_E - V_{EE} + V_{BE}
 \end{aligned} \tag{7.2}$$

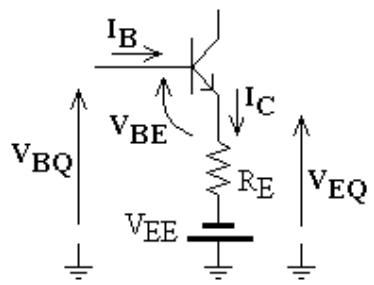


Fig. 7.9

Para determinar V_{CO} , si $I_{CO}R_C = V_{CC} \Rightarrow$ el colector está a común para la continua de polarización, pero de lo contrario circulará una corriente de polarización por R_L que puede ser apreciable.

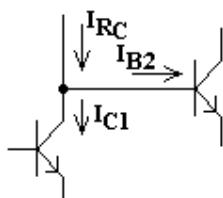


Fig. 7.10

Si R_L representa otro transistor, en transistores con acople directo desde el colector del primero a la base del segundo – Fig. 7.10 -, se puede considerar normalmente que la corriente de base del segundo transistor es mucho menor que la corriente de colector del primero y entonces puede despreciarse, aunque no en todos los casos. A veces, el segundo transistor conduce en su colector mucho más que el primero, por lo que su corriente I_{BO2} puede no ser despreciable frente a la corriente de colector de la primera, con lo que habrá que encontrar formas de resolver el circuito que no resulte engoroso si se lo desea realizar por inspección, haciendo uso de pocas ecuaciones.

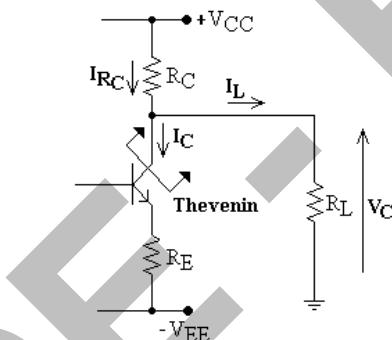


Fig. 7.11

Para analizar el funcionamiento de un circuito con una resistencia de carga acoplada directamente al colector, independientemente que sea o no nula la tensión continua de polarización sobre R_L , y por ende la corriente a través de ésta, I_{LQ} , resulta conveniente seguir los pasos de acuerdo a la Fig. 7.11.

Mientras no exista ninguna resistencia que realmente colector a base, la I_{CO} estará determinada exclusivamente por el circuito de base y emisor.

Por lo tanto, a los efectos del circuito formado por la fuente $+V_{CC}$, R_C y R_L , el transistor se comporta como una fuente de corriente constante de valor I_{CO} , que toma corriente del divisor de tensión formado por R_C y R_L , como se indica en la Fig. 7.12.

Para analizar el circuito de colector se aplicará Thévenin a los efectos del transistor, entre colector y común, con lo que se podrá reemplazar el divisor de tensión por una fuente y una resistencia.

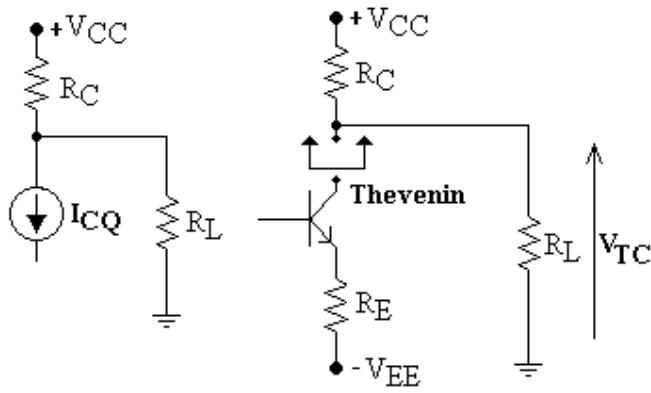


Fig. 7.12

(7.3)

$$V_{TC} = V_{CC} = \frac{V_{CC} R_L}{R_L + R_C}$$

$$R_{TC} = R_C // R_L = R_{ca}$$

El circuito equivalente de la malla de salida queda de la manera indicada en la Fig. 7.13.

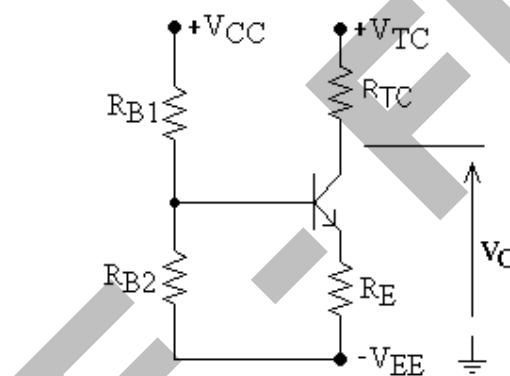


Fig. 7.13

Tener en cuenta que, el divisor de tensión de la base debe ir a V_{CC} y no a V_{TC} y la tensión del terminal de colector contra común será

$$V_{CQ} = V_{TC} - I_{CQ} R_{TC} \quad (7.4)$$

7.1. Trazado de las rectas de carga estática y dinámica (RCE y RCD)

Como ya se definió, la RCE es el lugar geométrico de los posibles puntos de reposo determinados por los elementos externos de continua de la malla de colector. Si $V_{CQ} = 0V$, eso sólo ocurrirá para un punto de reposo particular donde puede ser $V_{CQ} = 0V$, pero para los restantes posibles puntos de reposo $V_{CQ} \neq 0V$ y entonces $I_{LQ} \neq 0$.

Por lo tanto, para hallar la RCE habrá que usar Thévenin o resolver el circuito de modo tal de obtener $I_C = f(V_{CE})$, teniendo en cuenta la corriente que se deriva por R_L - Fig. 7.14 -.

$$V_{TC} + V_{EE} = V_{CE} + I_C (R_{TC} + R_E) \quad (7.5)$$

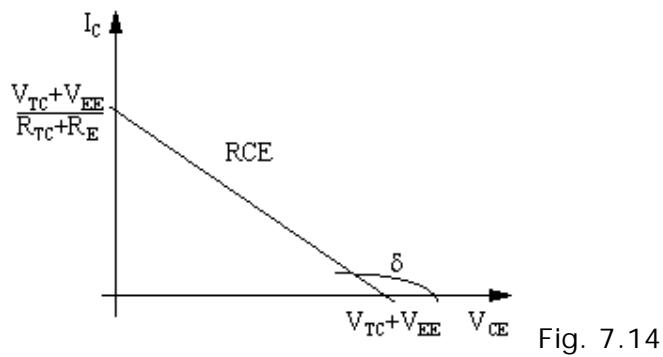


Fig. 7.14

Para hallar la RCD se usa el circuito de alterna de la Fig. 7.15, donde se supuso que no se desacopla R_E para la señal:

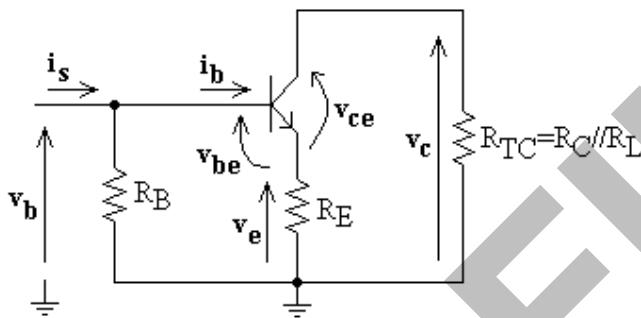


Fig. 7.15

Mientras se cumpla que en el circuito no haya ningún capacitor en serie con el camino de la corriente de colector $\Rightarrow R_{CE} \equiv R_{CD}$. Para que las RCE y RCD no coincidan, la corriente de señal de colector, i_c , deberá tener un camino diferente que la corriente continua de colector, I_c . Si por ejemplo, R_E estuviera desacoplada en parte (con el circuito serie $R'_E - C_E$), se cumpliría esta condición y entonces $R_{CE} \neq R_{CD}$ – Fig. 7.16.

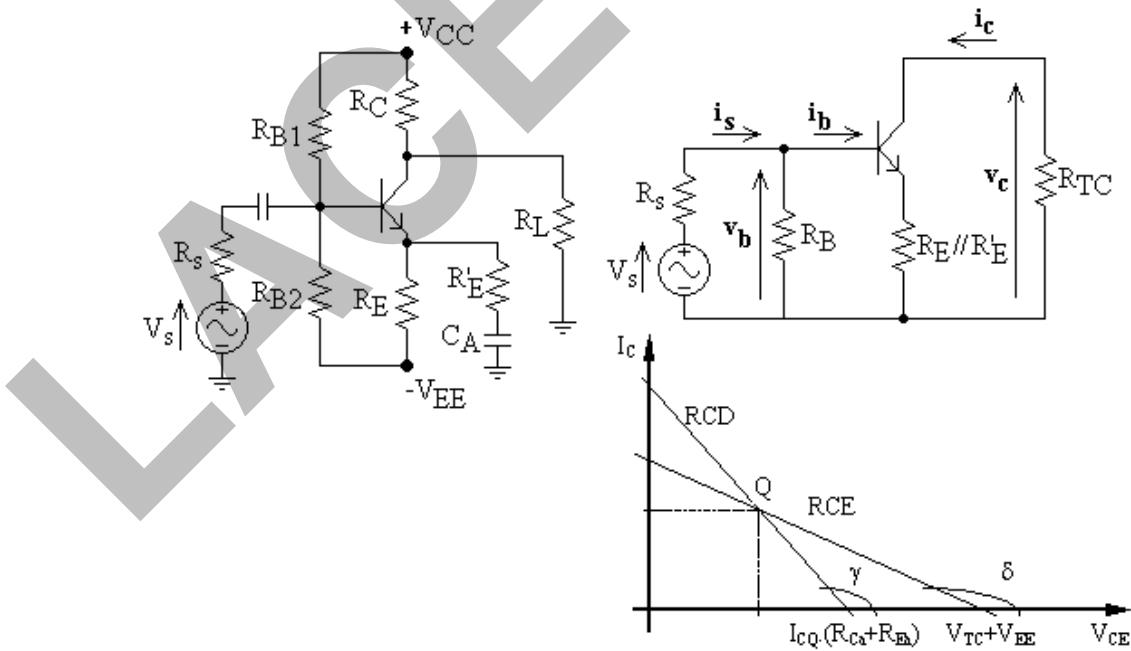


Fig. 7.16

Para este circuito, $\operatorname{tg} \delta = - (R_{ca} + R_E)^{-1}$ y $\operatorname{tg} \gamma = - (R_{ca} + R_{Ea})^{-1}$, donde $R_{Ea} = R_E // R_{E'}$.

La máxima amplitud a la salida sin recorte surge de inmediato como (despreciando V_{CEK} e I_{CMIN}):

- Si $R_{CE} \equiv R_{CD}$:

$$V_{CEO} \approx (V_{TC} + V_{EE}) / 2 \text{ (El centro de la RCD coincide con el de la RCE).}$$

- Si $R_{CE} \neq R_{CD}$:

$$V_{CEO} \approx I_{CO}(R_{ca} + R_{Ea})$$

Si hay algún capacitor por el cual circula la alterna, aunque haya acople directo, se deberá buscar la máxima excursión simétrica ubicando el punto de trabajo en el centro de la RCD.

La determinación de la máxima excursión sin recorte, para un punto Q cualquiera se realiza como se hizo hasta acá. Se determinan \hat{V}_{ceMSAT} y \hat{V}_{ceMC} , y se elige el menor entre ambos que será \hat{V}_{ceM} . Entonces, la tensión de salida máxima sin recorte \hat{V}_{cM} será, según esté R_E totalmente o en parte no desacoplada:

$$\begin{aligned}\hat{V}_{cM} &= \hat{V}_{ceM} \frac{R_{ca}}{R_{ca} + R_E} \\ \hat{V}_{CM} &= \hat{V}_{ceM} \frac{R_{ca}}{R_{ca} + R_{Ea}}\end{aligned}\quad (7.6)$$

7.2. Otros modos de colocar el divisor de base

El divisor de base puede colocarse de tres formas diferentes: entre las dos fuentes o entre cada una de las fuentes y común. La cuarta forma de polarizar la base se obtiene con un resistor directamente a común, lo que permite obtener tensión de polarización de base cercana a cero - Fig. 7.17 -.

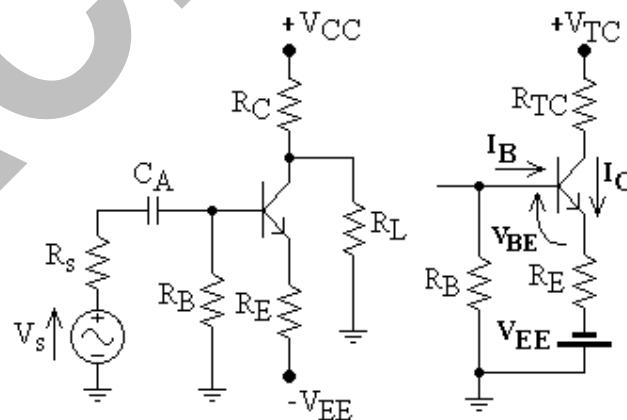


Fig. 17.17

En el caso de colocar el divisor de base entre $+V_{CC}$ y común - Fig. 7.18 -, la base estará siempre a potencial positivo respecto de común (salvo casos particulares en donde la corriente de base resulte muy

apreciable frente a la del divisor en vacío) y, por lo tanto, el colector tendrá que ser normalmente más positivo que la base, con lo que el colector en ese caso, no podrá estar a potencial nulo respecto a común.

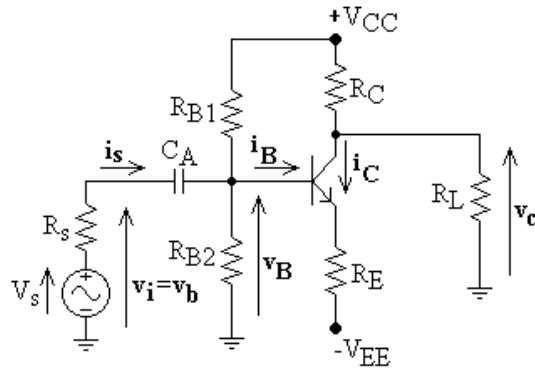


Fig. 7.18

Hallando el equivalente Thevenin del circuito de base – Fig. 7.19:-

$$V_{\text{Thévenin}} = V_{BB} = \frac{V_{CC}}{R_{B1} + R_{B2}} R_{B2}$$

$$R_{\text{Thévenin}} = R_B = R_{B1} // R_{B2}$$

$$I_{CQ} = \frac{V_{EE} + V_{BB} - V_{BE}}{R_B / \beta + R_E}$$
(7.7)

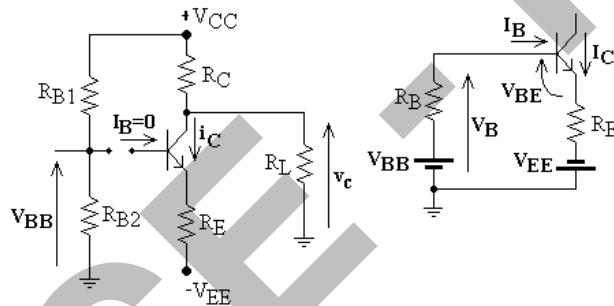


Fig. 7.19

La conexión del divisor entre $-V_{EE}$ y común permite obtener tensión de polarización de colector nula respecto a común – Fig. 7.20 -. Si se calcula el circuito equivalente tomando V_{BB} sobre R_{B2} quedará la fuente positiva respecto al terminal negativo de la fuente V_{EE} debido al sentido de circulación de la corriente por el divisor – Fig. 7.21 -. En cambio, si se toma la tensión de Thévenin sobre R_{B1} , V_{BB} quedará negativo respecto a común.

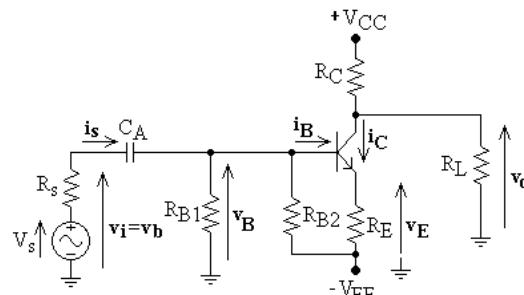


Fig. 7.20

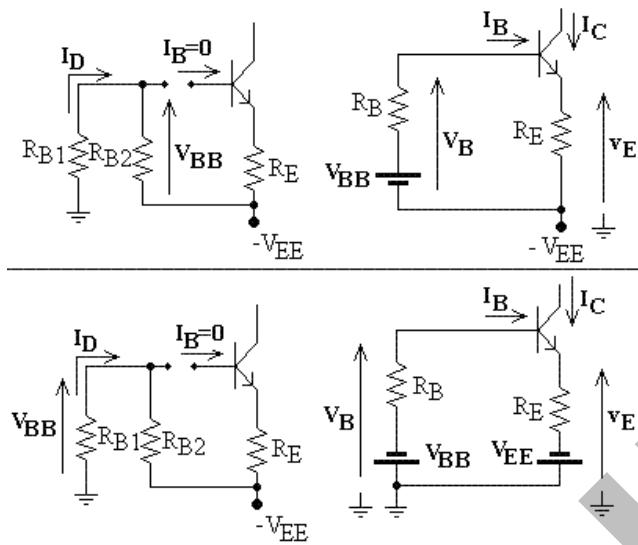


Fig. 7.21

Cabe acotar que en los circuitos de acoplamiento directo del generador de señal o de la resistencia de carga, no es imperativo el uso de doble fuente de alimentación si no se requiere que no haya corriente continua de polarización por ellos. El análisis de circuitos con acople directo y fuente única es idéntico al ya efectuado.

LACE . FIUBA

LACE - FIUBA

A0.4 - Etapa con dos generadores de excitación

8.- Etapa con dos generadores de excitación

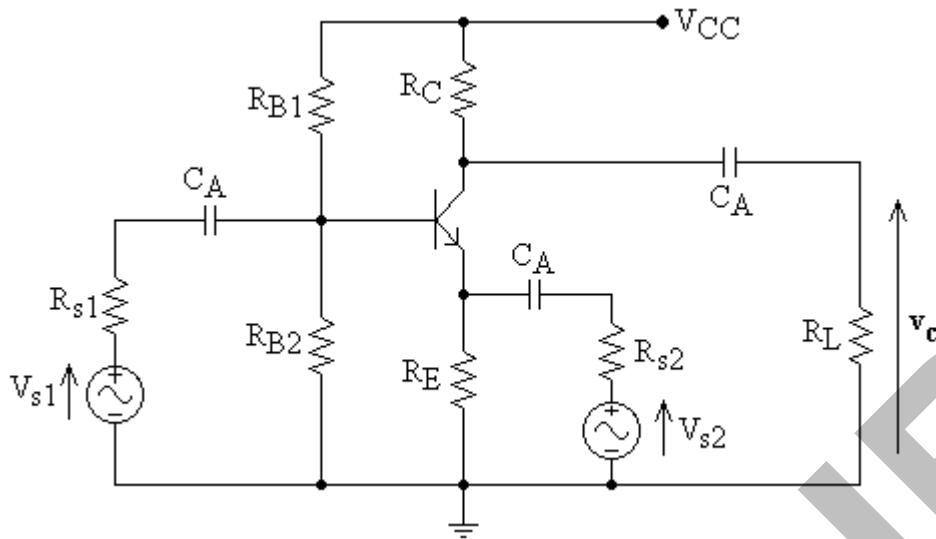


Fig. 8.1

Si se quiere hallar el valor eficaz de la tensión de salida, sabiendo que v_{s1} y v_{s2} están en fase y tienen el mismo valor eficaz – Fig. 8.1 -, si R_{s1} y R_{s2} son iguales el problema es simple: → *Bueno, te quiero ver...*

Encontrado el punto de reposo, para hallar la señal de salida mientras las tensiones alternas sean suficientemente pequeñas como para que haya linealidad se podrá aplicar superposición. Esto será válido hasta tensiones mucho menores a 25mV, pero se podrá extender el uso del modelo hasta valores poco menores (teniendo en cuenta que se comete un error apreciable en el cálculo). Si se aplica superposición se podrá tener la tensión de salida para cada caso. Si $R_{s1}=R_{s2}=0$ y analizo lo que pasa para v_{s1} , con v_{s2} cortocircuitado. Como el emisor del transistor queda desacoplado (se comporta como un emisor común con emisor desacoplado). Cuando se analiza lo que pasa con v_{s2} , cortocircuitando v_{s1} , se comporta como base común con base desacoplada.

Dado que las amplificaciones son iguales, la tensión de salida que surgirá de la superposición debe resultar nula. La salida invierte fase respecto de la señal entrante en la base, pero no invierte respecto a la de emisor. Siendo las dos entradas iguales, las dos salidas serán iguales pero desplazadas en fase (180°), con lo que $v_c = 0$.

Con $R_{s1}=R_{s2}=0$, la tensión de salida se determinará, para valores iguales o distintos de $v_{i1} = v_{s1}$ y $v_{i2} = v_{s2}$ como:

$$\begin{aligned} v_c &= A_{vEC} v_{i1} + A_{vBC} v_{i2} = A_{vEC} v_{s1} + A_{vBC} v_{s2} = \\ &= -g_m R_{ca} v_{s1} + g_m R_{ca} v_{s2} = -g_m R_{ca} (v_{s1} - v_{s2}) \end{aligned} \quad (8.1)$$

En el caso en que $R_{s1}=R_{s2}\neq 0$, el planteo será similar (salvo que el nivel de impedancia que ve cada generador de excitación es diferente y por lo tanto el consumo de corriente de cada uno también será diferente - uno de ellos ve alta impedancia, y el otro baja impedancia -). Lo mismo ocurrirá si $R_{s1}\neq R_{s2}\neq 0$.

En este caso, las expresiones de las amplificaciones de tensión de (8.1), deberán referirse a la tensión en vacío del generador de excitación, que no coincide con las v_i como en el caso de la ecuación anterior:

$$v_c = A_{vsEC} v_{s1} + A_{vsBC} v_{s2} \quad (8.2)$$

Siendo la expresión (8.2) una diferencia aritmética cuando v_{s1} y v_{s2} están en fase, debido a los signos opuestos de las amplificaciones, y teniendo en cuenta que las tensiones de excitación no pueden diferir excesivamente pues $v_{i1} = v_b$ y $v_{i2} = v_e$ deben ser tal que $v_{be} = v_b - v_e$; al encontrar las expresiones analíticas de las amplificaciones no puede despreciarse de antemano ningún término o factor que incida fuertemente al realizar la diferencia de dos valores que pueden resultar muy semejantes.

De acuerdo a lo expresado en el párrafo anterior, al escribir las expresiones analíticas, no se podrá poner β en lugar de $(\beta + 1)$ donde corresponda $(\beta + 1)$, ni considerar $\alpha_o = 1$ en la relación entre r_d y g_m .

Como el generador de señal v_{s2} ve una impedancia mucho más chica que el generador v_{s1} , tiene que entregar una potencia mucho mayor. Entonces, conviene introducir la señal de v_{s2} a través de un seguidor, de modo que los dos generadores entreguen la misma potencia, admitiendo valores iguales de R_s – Fig. 8.2 -.

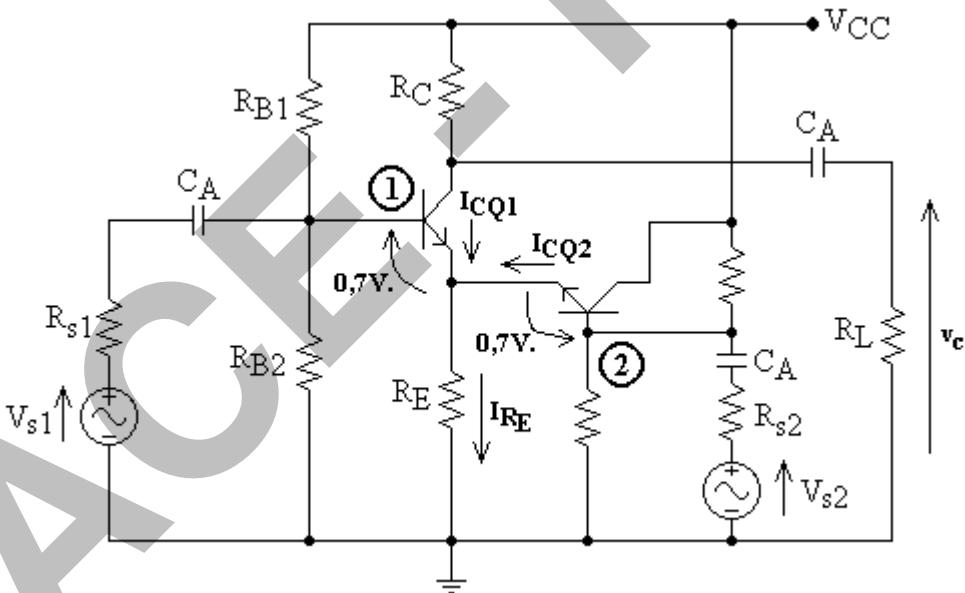


Fig. 8.2

El transistor "2" está funcionando exclusivamente como un seguidor por emisor para excitar el emisor del otro transistor. La corriente continua I_{RE} será la suma de las dos corrientes continuas I_{CQ1} e I_{CQ2} (despreciando las corrientes de base). Si los divisores de base son iguales y los transistores son idénticos, la corriente continua en ambos transistores tendrá que ser igual ($I_{CQ1} = I_{CQ2} = I_{RE}/2$).

La tensión en ambas bases es la misma, la tensión de los emisores es común a ambos; por lo tanto, para hallar las corrientes bastará calcular I_{RE} .

El log'mundo

Esta configuración recibe el nombre de **"Amplificador Diferencial"** porque la tensión en la carga surge como diferencia de las dos tensiones de entrada amplificadas.

El estudio del amplificador diferencial interesa al analizar la estabilidad de los amplificadores de continua.

Los amplificadores actuales en su mayoría son amplificadores de continua, uniéndose cada etapa de un transistor en forma directa (en continua) con la siguiente, sin capacitores de acoplamiento. Esto se debe a la dificultad para fabricar capacitores dentro de los circuitos integrados, aunque también se utiliza actualmente en la mayoría de los circuitos discretos.

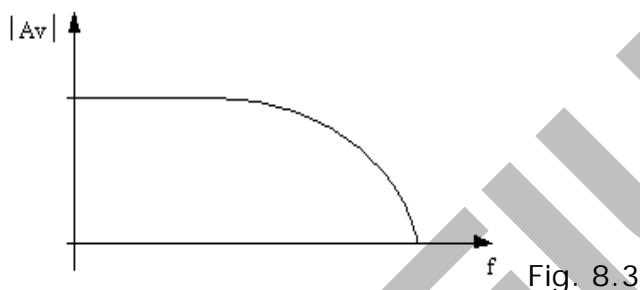


Fig. 8.3

El amplificador de acople directo normalmente recibe el nombre de **"Amplificador de continua"** porque en general su característica de respuesta en frecuencia es la indicada en la Fig. 8.3.

Desde $f = 0$ (continua), el amplificador mantiene la misma amplificación de tensión hasta una frecuencia de corte superior.

De la Fig. 8.3 se desprende que existirá una frecuencia f_h de corte superior, y que el *amplificador de continua no tiene frecuencia de corte inferior* (ya que f_L corresponde a una caída de 3 dB a frecuencias bajas).

Se va a suponer que tengo alimentada la entrada de una etapa con una tensión continua de 1,7V – Fig. 8.4 -.

Si se quiere medir una tensión continua pequeña, la amplificamos colocando dicha tensión a medir entre los puntos **1** y **2**, obteniéndose a la salida la variación con respecto a la tensión continua que corresponde a la tensión de entrada amplificada. Si por ejemplo coloco una tensión de 0,1V, la V_{BE} casi no varía \Rightarrow la corriente tendrá que subir a 1,1mA. Entonces, a la salida, la tensión será de 9V.

Si quiero usar el transistor como medidor, coloco el tester a la salida y analizo sólo la variación de continua:

$$\Delta V_B = 0,1V. \text{ (entrada)}$$

$$\Delta V_C = -1V. \text{ (salida)} \quad \Rightarrow \Delta V_C / \Delta V_B = -10 \text{ Ganancia de tensión.}$$

Si se detecta a la salida 1V de variación, desconociendo si existe señal de entrada, este valor podría no deberse solamente a que se colocó una tensión de señal de 0,1V en la entrada. ¿Qué ocurre si manteniendo

$V_{BB} = 1,7 \text{ V} = \text{cte.}$ y sin aplicar señal, I_C aumenta con lo que v_c disminuye?

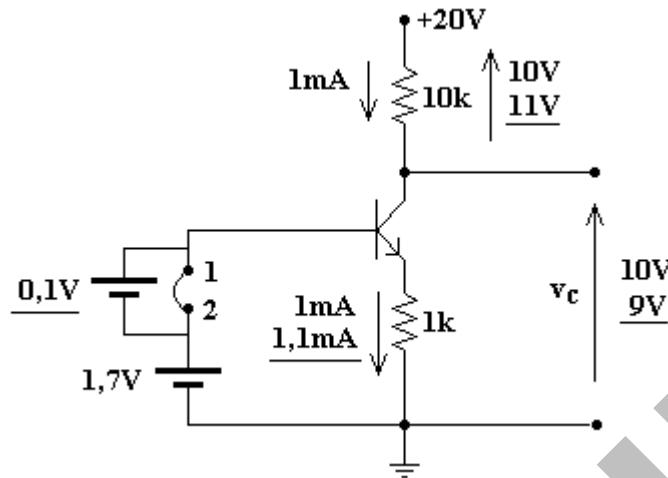


Fig. 8.4

Si la temperatura aumenta 50°C , por ejemplo, la tensión de barrera disminuirá $100\text{mV} \Rightarrow 1,7\text{V} - 0,6\text{V} = 1,1\text{V}$, es decir tengo 1V de variación de tensión a la salida, no porque coloqué $0,1\text{V}$ en la entrada, sino por la inestabilidad térmica del sistema.

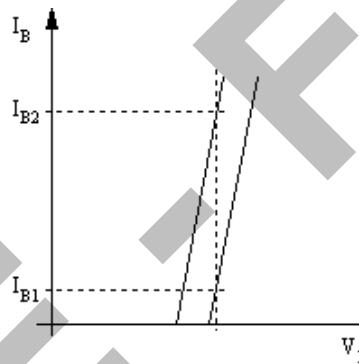


Fig. 8.5

La Fig. 8.5 muestra tensión de barrera cómo se manifiesta la variación de la tensión de barrera en un diagrama $I_B - V_{BE}$.

En amplificadores de continua el problema de la inestabilidad térmica es fundamental por el hecho de que al tener una etapa amplificadora de este tipo, los niveles de continua se correrían y a la salida se mediría la variación de los niveles debido a la inestabilidad además de la generada por la señal de entrada.

Si $\Delta T_{MAX} = 30^\circ\text{C} \Rightarrow \Delta V_{BE} = 60\text{mV} \Rightarrow \Delta V_c = 0,6\text{V}$. Para poder medir con seguridad dentro de una tolerancia del 10%, la mínima tensión de entrada que se podría detectar sería tal que me generara en la salida una variación de 6V . Este efecto resulta equivalente al que para señales alternas produce el *ruido*. Pero si medimos a la salida $0,6\text{V}$ no se puede saber si la variación se debe a haber colocado en la entrada 60mV de señal útil o al cambio en la temperatura que genera un corrimiento de 60mV . Esta es una limitación importante en este tipo de amplificadores, pues si la variación de tensión a la salida es grande, la última etapa de una cadena de amplificadores de continua podría saturar.

Por fin algo en Castellano

En un amplificador con varios transistores con acoplamiento directo, la etapa más comprometida en cuanto a su estabilidad en continua es la primera, ya que al variar su punto de reposo, esta variación será amplificada por el resto del circuito. Por este motivo, se suele utilizar en la entrada un amplificador diferencial – Fig. 8.6 -

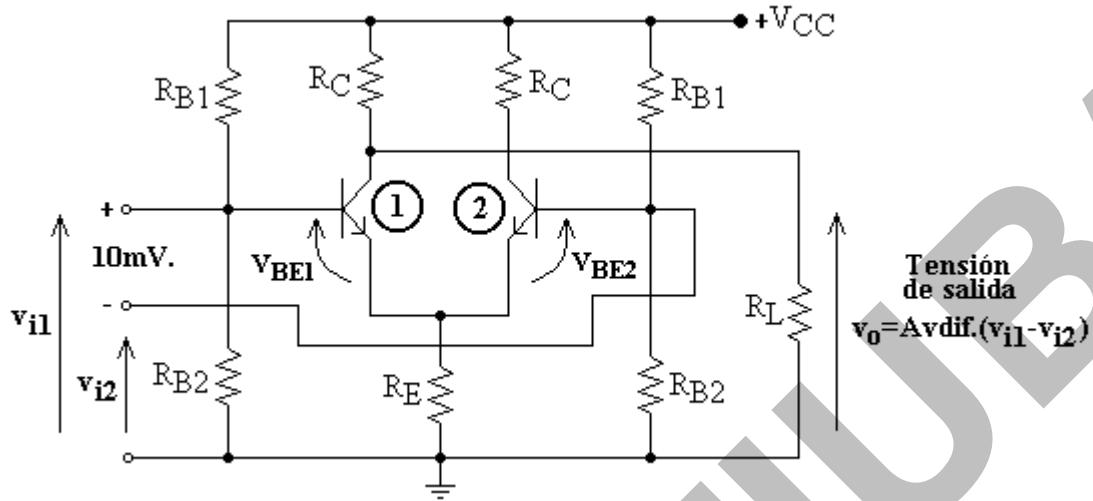


Fig. 8.6

Al colocar en la entrada una tensión $v_{i1} - v_{i2} = 10\text{mV}$, con la polaridad indicada, el transistor **1** tendería a conducir más y el **2** menos, por lo que la corriente a través de R_E tendería a permanecer constante.

En este caso, la tensión de salida no varía prácticamente por variaciones de la tensión de barrera con la temperatura ($-2\text{mV}/^\circ\text{C}$) dado que ambas variarán del mismo modo y si R_E es lo suficientemente elevada producirá una variación muy pequeña de la corriente a través de ella, y por lo tanto $I_{CQ1} = I_{CQ2} = I_{RE}/2$ permanecerán casi constantes. Lo mismo sucederá si ambas señales de entrada poseen igual valor y signo si se trata de continuas o igual amplitud y están en fase si son alternas senoidales (estas señales, casi no amplificadas, son las llamadas *señales de modo común*). Resulta fácil deducir que con los transistores acoplados por emisor, se ha transformado la variación espuria de la tensión de barrera en una señal de modo común.

LACE - FHUBA

A0.5 - Limitaciones en el uso de transistores bipolares

9.- Limitaciones en el uso de transistores bipolares

9.1. Limitación en tensión

Se define:

B V_{CBO} : tensión de ruptura Colector - Base con Emisor abierto.

B V_{CEO} : tensión de ruptura Colector - Emisor con Base abierta (tensión de sustentación).

Donde: B $V_{CEO} = V_{CBO} / (\beta_F)^{1/n}$

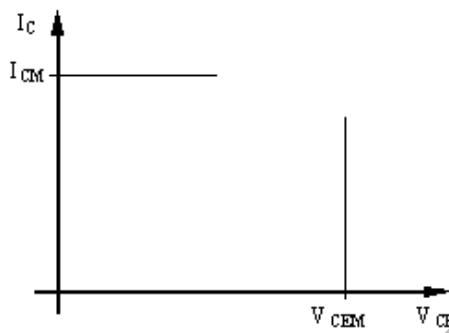


Fig. 9.1

La *tensión de sustentación* se produce antes que la tensión de ruptura colector - base. Considerando un TBJ tipo NPN, cuando en la zona desierta de la juntura colector - base comienza a haber generación de pares por choque, de dichos pares las lagunas entran en la base, de forma tal que si se quisiera mantener $I_C = \text{cte.}$ debería disminuirse I_B . Por lo tanto, con $I_B = \text{cte.}$ I_C comienza a aumentar. El fabricante especifica una tensión de ruptura E-C, o tensión de sustentación, menor que la menor de las tensiones de ruptura medidas estadísticamente como V_{CEM} – Fig. 9.1 –.

9.2. Limitación en corriente

Si la corriente aumenta por encima de un determinado valor pueden fundirse las conexiones internas. El fabricante especifica una corriente I_{CM} menor que la que resisten las soldaduras –Fig. 9.1–. Este límite está dado por la degradación de las características eléctricas del transistor (se especifica para β_{\min}).

9.3. Limitación en potencia

Se debe fundamentalmente a la temperatura de trabajo. Existen dos límites: de funcionamiento y de almacenamiento. El rango de temperatura de funcionamiento es menor que el de temperatura de almacenamiento.

- Temperatura de almacenamiento.

El transistor se fabrica a altas temperaturas. Cuando la temperatura decrece, los materiales se contraen térmicamente y como, en general, tienen diferentes coeficientes de dilatación, aparecen entre ellos fuerzas. Si la temperatura disminuye demasiado ($T \approx -50^\circ\text{C}$) puede quebrarse el semiconductor (que es lo más frágil).

La temperatura máxima se debe a cambios irreversibles que pueden producir las impurezas no deseadas al reaccionar químicamente con el semiconductor. También se debe al reblandecimiento de las soldaduras internas del transistor. Se fijan como límites: $Ge \leq 100^{\circ}C$; $Si \leq 300^{\circ}C$.

- Temperatura de funcionamiento.

Normalmente interesa la temperatura en la zona más caliente del dispositivo.

La zona activa es la zona del dispositivo donde se genera el calor, y por lo tanto es la de máxima temperatura. En un TBJ la mayor temperatura se dará en la juntura colector - base, pues: $I_C \approx I_E$; $V_{CE} >> V_{BE} \Rightarrow I_C \cdot V_{CB} >> I_C \cdot V_{BE}$.

La potencia total producida en el transistor es: $I_C V_{CE} = I_C (V_{CB} + V_{BE}) \approx I_C V_{CB}$.

Sin embargo, como la base es muy angosta, puede aceptarse que no existe gradiente térmico en ella, que las dos juntas están a la misma temperatura y que la zona activa es toda la base. T_{jMAX} es la máxima temperatura que admite la juntura colector - base. Por lo tanto, determina la máxima potencia que puede disipar el transistor.

El límite superior queda determinado por degradación de las características eléctricas del transistor antes de destruirse. El fabricante da como T_{jMAX} la temperatura a la cual los cambios irreversibles se hacen notables (el semiconductor tiende a convertirse en un material intrínseco). Se fijan como límites: $Ge \leq$ entre $70^{\circ}C$ y $100^{\circ}C$; $Si \leq$ entre $100^{\circ}C$ y $200^{\circ}C$. El límite inferior también está determinado por degradación de características. Es mayor que la T_{min} de almacenamiento. Puede deberse a que los portadores sean insuficientes, es decir que no estén los átomos totalmente ionizados en el semiconductor, especialmente en el emisor que es un material degenerado.

9.4. Potencia disipada y temperatura máxima de juntura

Se supondrá para el análisis que no se consideran los transitorios, es decir que la capacitancia térmica es nula.

El calor generado en la juntura del TBJ pasa al aire por tres caminos (mecanismos de transmisión): conducción juntura → carcasa, convección y radiación carcasa → medio ambiente. Por lo tanto, la cantidad de calor que se puede disipar (despreciando la radiación) es:

$$P_d = k \cdot (T_j - T_a) \quad (9.1)$$

Donde: P_d : Potencia disipable para la diferencia $T_j - T_a$ dada.

T_j : temperatura de la juntura (en la zona activa).

T_a : temperatura de medio ambiente.

Para el circuito de la Fig. 9.2 con una resistencia óhmica, si definimos P_g como potencia generada en el resistor se tiene:

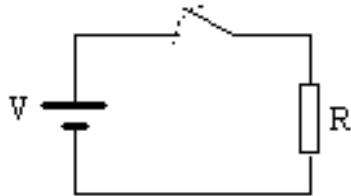


Fig. 9.2

Con llave abierta, $P_g = 0$; $P_d = 0 \Rightarrow T_d = T_a$ ($T_{\text{dispositivo}} = T_{\text{ambiente}}$). La potencia que puede disipar la resistencia será nula.

Con llave cerrada: $P_g = V^2/R$. La potencia P_g se genera instantáneamente pero no podrá disiparse del mismo modo, pues en el instante inicial $T_d = T_a$. Por lo tanto, si P_g no puede disiparse, aumentará T_d . Si la T_d aumenta, P_d aumenta y podrá entonces disiparse una parte de P_g . Este ciclo continúa hasta alcanzar el *estado de régimen* o equilibrio térmico en el cual *la velocidad de generación de calor es igual a la velocidad de disipación*.

$$P_d = P_g = k.(T_{dr} - T_a) \quad (\text{Equilibrio térmico}) \quad (9.2)$$

Donde: T_{dr} : Temperatura de régimen, que alcanza el dispositivo después de un cierto tiempo y que depende de la capacidad calorífica del cuerpo.

La temperatura de régimen depende de la potencia generada y de la temperatura ambiente:

Si $P_d = P_g = \text{cte.}$: si $T_a \uparrow \Rightarrow T_{dr} \uparrow$ en la misma cantidad. Si $T_a = \text{cte.}$: si $P_g \uparrow \Rightarrow T_{dr} \uparrow$.

La potencia máxima será:

$$P_{dMAX} = k.(T_{drMAX} - T_a) \quad (9.3)$$

En los TBJ la máxima potencia que puede disipar el dispositivo está dada por la T_{drMAX} a la que puede trabajar. Excepto en los casos en que T_{drMAX} es muy alta, T_a influye en el valor de P_{dMAX} .

En el peor caso:

$$P_{dMAX} = k.(T_{drMAX} - T_{aMAX}) \quad (9.4)$$

Donde: T_{aMAX} es la máxima temperatura ambiente de funcionamiento.

La potencia máxima disipada por el transistor en estado de régimen es:

$$P_{dMAX} = k.(T_{jMAX} - T_{aMAX}) \quad (9.5)$$

Si $T_a < T_{aMAX} \Rightarrow T_j < T_{jMAX}$: se dice que el dispositivo funciona más frío cuando disipa la P_{dMAX} dada por (9.5), considerando T_{aMAX} .

La temperatura ambiente puede no ser la temperatura ambiente externa. Se toma por T_a a la temperatura del aire que rodea al dispositivo, que puede, en general, ser mayor que la temperatura externa del ambiente.

Fijados $T_{jMAX} = f$ (dispositivo) y $T_{aMAX} = f$ (condición de trabajo), el valor de P_{dMAX} queda fijado por el valor de "k". El valor de "k" depende del recorrido que realiza el calor desde la juntura a la carcasa, y de la forma en que pasa el calor de la carcasa al medio ambiente. Es mejor colocar el dispositivo en forma vertical que en forma horizontal, ya que de ese modo se mejora la disipación del calor por convección.

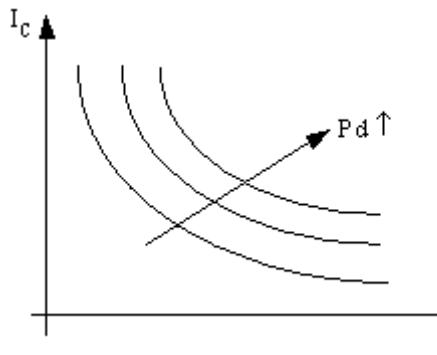


Fig. 9.3

Para variar el valor de "k" es necesario modificar la facilidad con que pasa el calor de la carcasa al medio ambiente, mediante el uso de un dissipador. Cuanto mayor sea el valor de "k", mayor será P_d , por lo que obviamente buscamos obtener un valor de "k" elevado.

Se aumenta "k" con un dissipador, pues es mayor la superficie por la cual puede disiparse el calor hacia el medio ambiente.

La potencia que disipa en continua el transistor será:

$$P_d = V_{CEO} \cdot I_{CO} \quad (9.6)$$

Recordar, de lo visto en 2.2.-, que en continua es cuando más disipa un transistor trabajando en Clase A.

Las curvas de potencia constante trazadas en el plano $I_C - V_{CE}$ son hipérbolas equiláteras – Fig. 9.3 -:

$$I_C = P_d / V_{CE} \quad (9.7)$$

9.5. Límites de funcionamiento

Surgen de considerar los valores de I_{CMAX} , V_{CEMAX} y la hipérbola de máxima disipación – Fig. 9.4a -. En el caso de los transistores de potencia, los fabricantes proveen la gráfica correspondiente en escala logarítmica – Fig. 9.4b -.

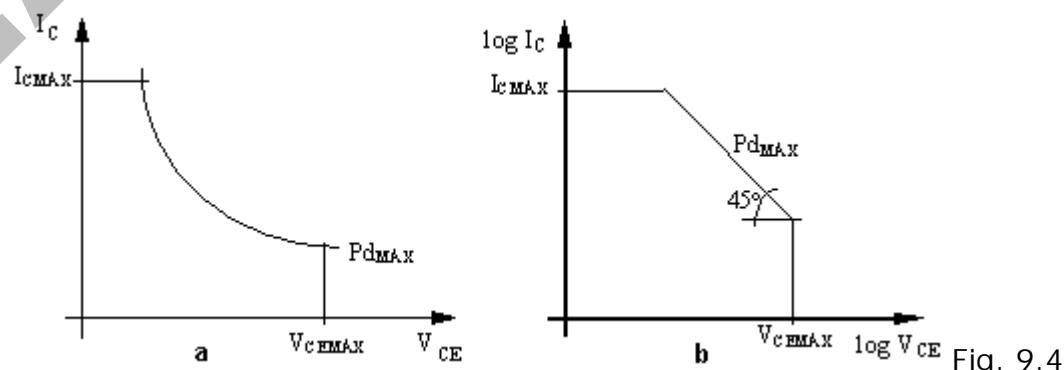


Fig. 9.4

Fundamentalmente en el transistor de potencia, se produce un problema adicional que se debe superponer a los planteados anteriormente. Si estabilizamos la corriente I_{CQ} sabemos que se produce agrupamiento periférico. En ciertos casos, en algún punto interior se produce mayor temperatura, que puede deberse a imperfecciones en el ancho de la base, pues, en ese punto se agrupan líneas de corriente que producen un calentamiento localizado. Estos puntos se conocen como "puntos calientes" – Fig. 9.5 -.

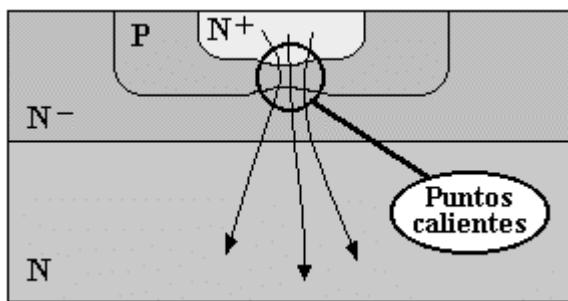


Fig. 9.5

Si la temperatura aumenta demasiado, las líneas de corriente se redistribuyen (buscando caminos de menor resistencia) tendiendo a agruparse en esos puntos, lo cual, a su vez, produce un nuevo aumento de temperatura. Este fenómeno puede llevar a una especie de ruptura en esos puntos interiores y se denomina "segunda ruptura". Esto puede provocar que, si se sobrepasa la temperatura máxima, manteniendo $I_{CQ} = \text{cte.}$, la tensión V_{CE} se reduzca notablemente.

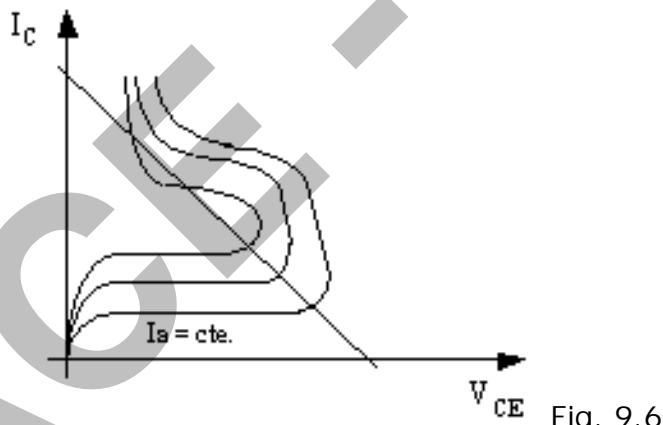


Fig. 9.6

Las características de colector del transistor serán las que se indican en la Fig. 9.6. Si I_C está limitada por el circuito exterior, puede que el transistor no llegue a destruirse por segunda ruptura (que quede en cortocircuito la juntura colector - emisor), pero se degradarán sus características (disminuye la tensión de ruptura).

En principio, el fenómeno de segunda ruptura es aleatorio, pero ocurre normalmente a tensiones elevadas. Para determinar el límite de segunda ruptura, el fabricante lleva a esa situación a un grupo de transistores, y marca en la gráfica los valores obtenidos de I_C y V_{CE} – Fig. 9.7 -. Luego traza una curva que encierre todos los puntos corres-

pondientes a las mediciones. Dicha curva limita el gráfico anteriormente hallado.

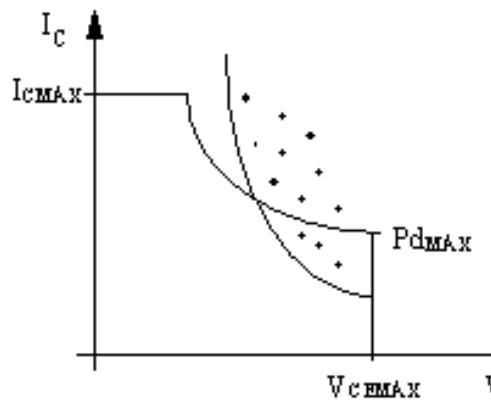


Fig. 9.7

La misma gráfica, pero en escala logarítmica, toma la forma que se muestra en la Fig. 9.8. En ella se ha marcado lo que se denomina "área de operación segura" (SOAR - safe operation area).

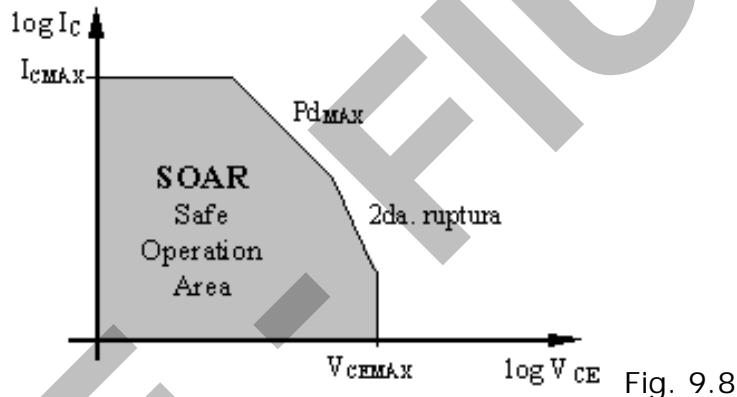


Fig. 9.8

Se busca que, en funcionamiento normal, el transistor no sobrepase ninguno de los límites indicados.

9.6. Régimen pulsante

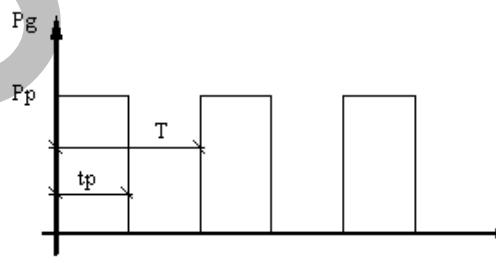


Fig. 9.9

Supongamos que P_g tiene el régimen indicado en la Fig. 9.9, donde $\delta = t_p/T$.

La T_j irá aumentando hasta llegar hasta T_{jp} (T_{jp} es la máxima temperatura para ese régimen pulsante) – Fig. 9.10 -.

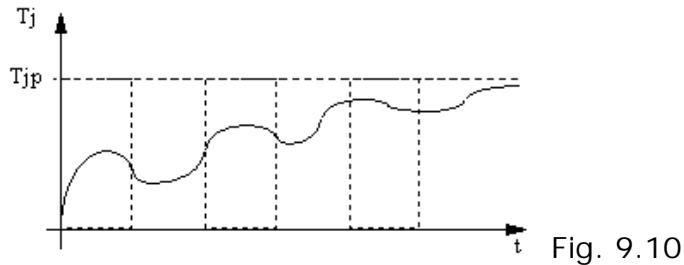


Fig. 9.10

$\delta = 1 \rightarrow$ Régimen continuo $\rightarrow P_g = P_p$.

$\delta < 1 \rightarrow$ Cuanto menor es δ y mayor es T , la P_p que se puede colocar para alcanzar $T_{jp\text{MAX}}$ será mayor que la P_g para alcanzar la misma temperatura en régimen continuo.

Esto hace que el área de operación segura aumente: $P_p = f(\delta, T)$ –Fig. 9.11 –.

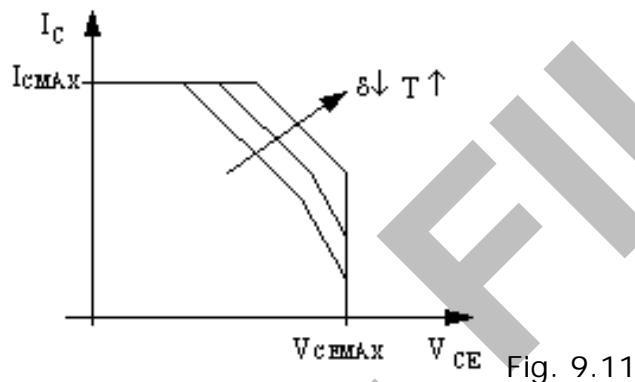


Fig. 9.11

9.7. Circuito térmico

$$\text{Si } P_d = k(T_j - T_a) \Rightarrow T_j - T_a = P_d / k \quad (9.8)$$

Donde: $\theta_{ja} = 1/k$ Resistencia térmica entre la juntura y el medio ambiente.

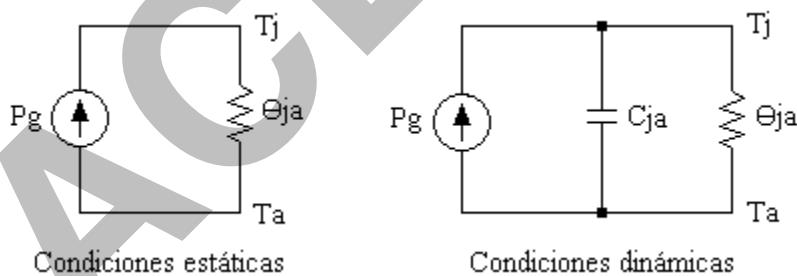


Fig. 9.12

La capacitancia térmica, C_{ja} , representa la capacidad térmica del cuerpo. Cuando no se usan disipadores, el camino del calor generado en la juntura es el siguiente:

- Juntura a cápsula \Rightarrow conducción $\rightarrow \theta_{jc}$.
- Cápsula a medio ambiente \Rightarrow convección $\rightarrow \theta_{ca}$.

Teniendo en cuenta esto, se puede dividir θ_{ja} de modo que $\theta_{ja} = \theta_{jc} + \theta_{ca}$ – Fig. 9.13 –.

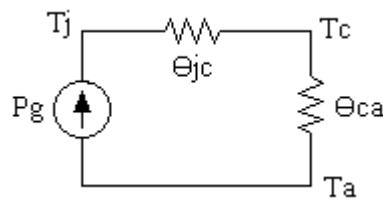


Fig. 9.13

En transistores de baja señal, $\theta_{ja} > 100^{\circ}\text{C/W}$. En transistores de potencia, $\theta_{ja} \approx \text{algunos } ^{\circ}\text{C/W}$. Esto se debe fundamentalmente a dos factores:

- Se los construye de forma que el calor pase de la juntura a la carcasa más fácilmente.
- Se agregan disipadores.

Cuando se agregan disipadores, el camino térmico es:

- Juntura a cápsula \Rightarrow conducción $\rightarrow \theta_{jc}$.
- Cápsula a disipador \Rightarrow conducción $\rightarrow \theta_{cd}$.
- Disipador a medio ambiente \Rightarrow convección (y radiación) $\rightarrow \theta_{da}$.
- Cápsula a medio ambiente \Rightarrow convección (y radiación) $\rightarrow \theta_{ca}$.

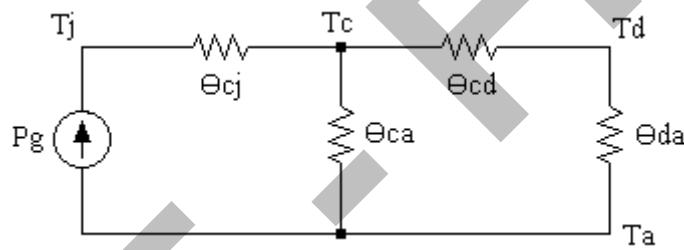


Fig. 9.14

De este modo, el circuito térmico equivalente, al utilizar un disipador, es el que se indica en la Fig. 9.14.

En general:

$$\theta_{cd} + \theta_{da} \ll \theta_{ca} \quad (9.9)$$

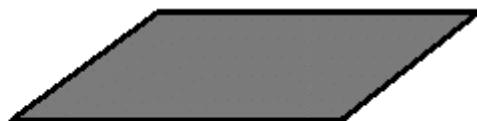
En transistores de baja señal, pero de los cuales se busca extraer la máxima potencia posible, se utilizan disipadores con aletas, que se adaptan al encapsulado del TBJ. En transistores de potencia se usan planchuelas metálicas de mayor dimensión –Fig. 9.15–.



Aletas



Transistor
(encapsulado metálico)



Disipador

Fig. 9.15

Se busca que el contacto térmico entre el transistor y el disipador sea lo más estrecho posible, para lo cual se usa grasa siliconada, que es un buen conductor térmico y aislante eléctrico. Si el colector está conectado a la cápsula metálica, para aislarlo del disipador se usan lámi-

nas delgadas de mica – Fig. 9.16 -. En las interfaces que forman estas láminas de mica con el transistor y el disipador se coloca la grasa siliconada que mejora la transmisión del calor. Cuanto más grande sea el disipador, mayor será la superficie de convección en contacto con el aire.

Pero si el área del disipador es muy grande, la parte más alejada de la cápsula del transistor será poco útil, ya que prácticamente todo el calor será disipado en regiones más cercanas. El tamaño del disipador queda entonces limitado por esta consideración para su óptimo aprovechamiento.

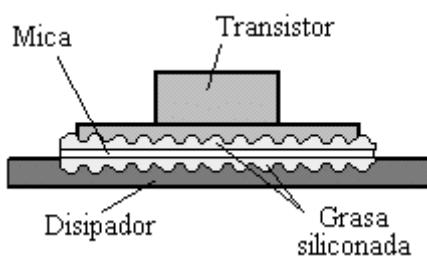


Fig. 9.16

Se pretende que la conducción en el disipador sea lo más fácil posible, y por ello se puede usar en su construcción un metal de buena conducción térmica como el cobre. Sin embargo, se prefiere el aluminio por su menor costo. También se utiliza el aluminio anodizado (negro mate) para favorecer la radiación.

9.9. Estabilidad térmica

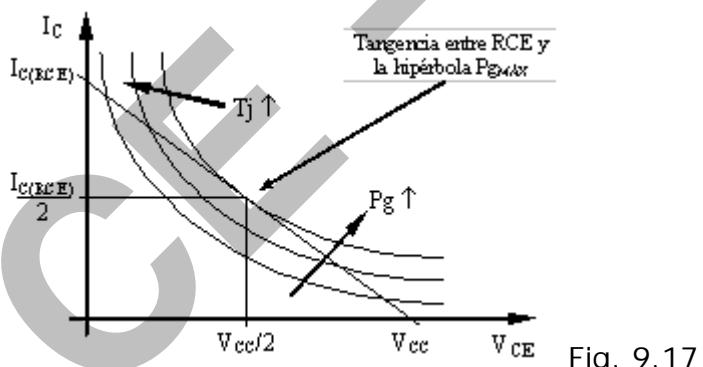


Fig. 9.17

En un sistema en estado de régimen (en equilibrio térmico) se cumple que $P_d = P_g$, donde en realidad $P_d = f(T_j)$ y $P_g = f(T_j)$.

Si $T_j \uparrow$, en TBJ:

En Si $\Rightarrow \beta \uparrow$; $I_{co} \uparrow$

En Ge $\Rightarrow I_{co} \uparrow$

Por lo tanto: $I_c \uparrow$

Si $T_j \uparrow$:

$P_g \uparrow$ desde V_{cc} hasta $V_{cc}/2$.

$P_g \downarrow$ desde $V_{cc}/2$ hasta 0.

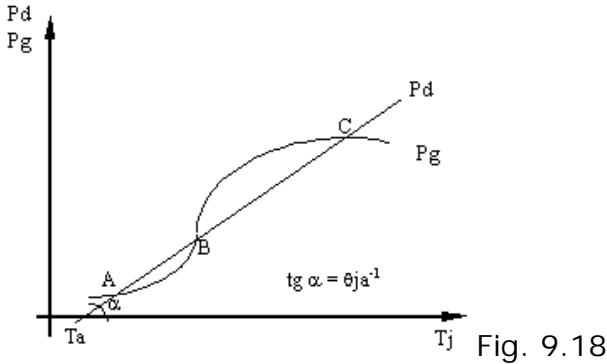


Fig. 9.18

Si graficamos ahora la potencia generada $P_g = f(T_j)$ y la potencia disipable $P_d = f(T_j)$, obtendremos las características mostradas en la Fig. 9.19. Desde el punto de vista térmico, existen tres posibles condiciones de equilibrio para este sistema. Estas son las condiciones de equilibrio estable, inestable e indiferente, que se describen a continuación.

- Equilibrio estable: Puntos A y C. Si $T_j \uparrow \Rightarrow P_d \uparrow$ y $P_g \uparrow$, pero $\Delta P_d > \Delta P_g$. En el nuevo punto $P_d > P_g \Rightarrow T_j \downarrow$ y se vuelve al punto inicial.
- Equilibrio inestable: Punto B. Si $T_j \uparrow \Rightarrow P_d \uparrow$ y $P_g \uparrow$, pero $\Delta P_d < \Delta P_g$. En el nuevo punto $P_d < P_g \Rightarrow T_j \uparrow$ y se pasa al punto de equilibrio estable.
- Equilibrio indiferente: Punto de tangencia entre $P_d = f(T_j)$ y $P_g = f(T_j)$.

En cualquiera de los tres casos indicados ($V_{CC} \uparrow$, $T_a \uparrow$, o $\theta_{ja} \uparrow$), puede ocurrir que, encontrándose el punto Q en un punto A, deba correrse a un punto como el C de mayor T_j – Fig. 9.19.

Si el transistor está preparado para trabajar con dicha T_j no hay problemas, pero en caso contrario se destruirá. Esto significa que el punto Q se traslada a un punto donde $V_{CE} < V_{CC}/2$.

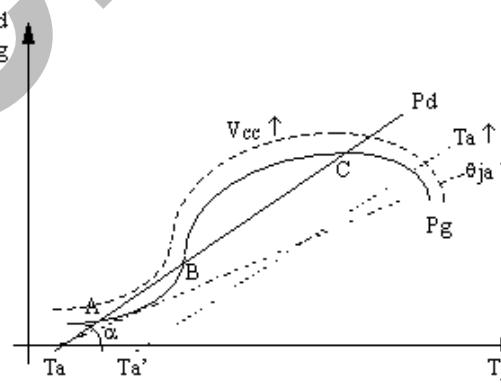


Fig. 9.19

En un transistor de baja señal, la temperatura T_{jMAX} , en general, se encuentra para $V_{CE} \ll V_{CC}/2$.

En transistores de potencia, en cambio, la RCE tiene una pendiente muy grande pues se lo carga con una carga pequeña – Fig. 9.20 -.

La T_{jMAX} se ubica entonces, en una tensión $V_{CE} > V_{CC}/2$ y el transistor deberá estabilizarse en un punto como el A.

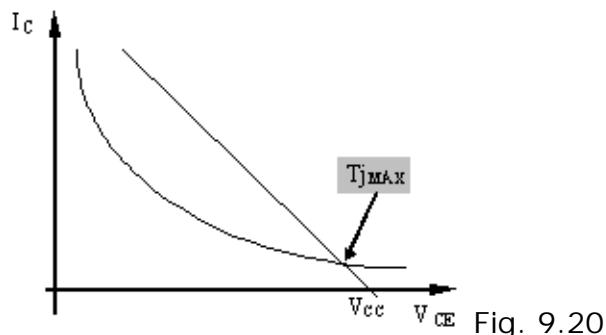


Fig. 9.20

El punto C ($V_{CE} < V_{CC}/2$) corresponde a una estabilidad incondicional. Aunque varíe cualquiera de los tres factores, el punto de trabajo siempre se encuentra en la misma zona.

El punto A ($V_{CE} > V_{CC}/2$) corresponde a una estabilidad condicional. Si varía alguno de los tres factores, el punto de trabajo puede pasar a la zona del punto C, aumentando bruscamente la T_j . Este fenómeno se denomina "embalamiento térmico". En trabajo condicionalmente estable, las condiciones límites serán las indicadas en la Fig. 9.21.

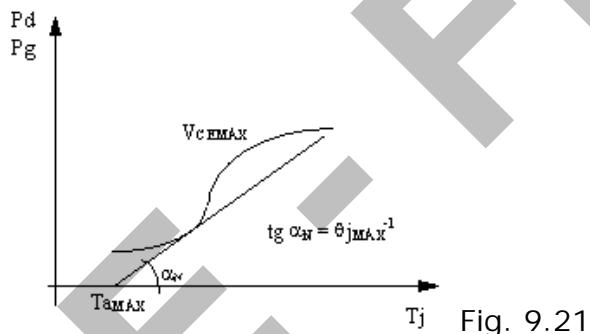


Fig. 9.21

En la condición de estabilidad condicional, la pendiente de la curva de P_d deberá ser mayor o igual que la pendiente de la curva de P_g .

$$\frac{\partial P_d}{\partial T_j} = \frac{1}{\theta_{ja}} \geq \frac{\partial P_g}{\partial T_j} \quad (9.10)$$

En la condición de estabilidad incondicional, la pendiente de la curva P_g deberá ser negativa, a fin de ser siempre menor que la pendiente de la curva de P_d , que es siempre positiva.

$$\frac{\partial P_g}{\partial T_j} < 0 \quad (9.11)$$

Para obtener otra expresión de la condición de estabilidad condicional planteamos:

$$P_g = V_{CC}I_C - I_C^2(R_C + R_E) \quad (9.12)$$

donde: $V_{CC}I_C$ es la potencia que entrega la batería

$I_C^2(R_C + R_E)$ es la potencia que se consume en las resistencias.

Si $\partial P_g / \partial T_j < 0$ y derivamos, obtendremos:

$$\frac{\partial P_g}{\partial T_j} = \frac{\partial P_g}{\partial I_C} \frac{\partial I_C}{\partial T_j} = [V_{CC} - 2I_C(R_C + R_E)] \frac{\partial I_C}{\partial T_j} \quad (9.13)$$

Siendo siempre: $\partial I_C / \partial T_j > 0$, la condición será:

$$[V_{CC} - 2I_C(R_C + R_E)] < 0 \Rightarrow I_C(R_C + R_E) > V_{CC} / 2 \Rightarrow V_{CE} < V_{CC} / 2 \quad (9.14)$$

El empalamiento térmico es el pasaje del punto Q desde un punto de estabilidad condicional a un punto de estabilidad incondicional, causado por $V_{CC} \uparrow$, $T_a \uparrow$, o $\theta_{ja} \uparrow$, y que produce un aumento brusco de T_j . Este problema puede producirse en transistores de potencia donde R_C es muy baja o en etapas de salida mediante acoplamiento con transformador – Fig 9.22 –.

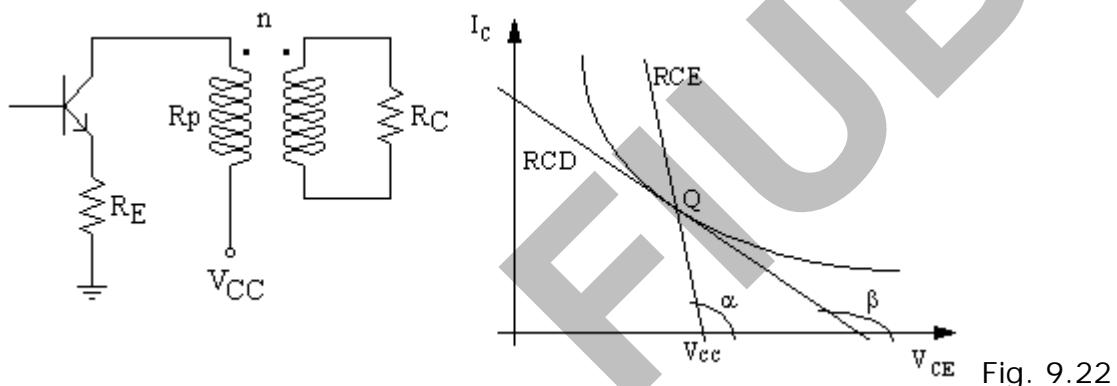


Fig. 9.22

$$R.C.E: \tan \alpha = -1 / (R_p + R_E)$$

$$R.C.D: \tan \beta = -1 / (R_E + R_p + n^2 \cdot R_C)$$

En MOSFET de potencia nunca se puede producir embalamiento térmico pues para altas corrientes el factor k disminuye al aumentar la temperatura.

LACE' - FIUBA

LACE - FIUBA

A0.6 – Principios básicos de amplificadores con varios transistores

10.- Principios básicos de amplificadores con varios transistores

Habíamos empezado a analizar circuitos amplificadores de un solo transistor con acople directo de la carga y el uso de la fuente partida de alimentación. El usar acople directo no implica necesariamente el uso de la fuente partida, si bien en la mayoría de los amplificadores de acople directo prácticos se usa este tipo de fuente por la ventaja de que la salida, la entrada, o ambas queden a potencial de reposo nulo (dentro de cierto margen de tolerancia), como se puede obtener en el caso de acople en cascada de transistores bipolares, combinando NPN y PNP, o FET, combinando canales N y P.

Si un circuito preparado para funcionar con fuente partida, se lo hace funcionar con fuente simple, todas las tensiones subirán aproximadamente hacia el centro de la fuente simple, o sea que si un circuito se alimentaba con fuente partida de $\pm 12V$ y se lo alimenta solo con $12V$, todo va a subir de modo de quedar en el orden de los $6V$, tanto en la entrada como en la salida, si es que estaban ajustadas a $0V$. Que el circuito pueda funcionar o no en estas condiciones dependerá de las características propias del mismo. La amplitud de la salida se reducirá a la mitad, o la excursión de señal para el caso de una continua (no olvidemos que en definitiva son amplificadores de continua) también se reduce a la mitad. Si se alimenta con $+24V$, sólo se corren los niveles de tensión cero a $+12V$, y se mantienen las excursiones.

La idea básica para resolver circuitos con acople directo es la misma que para los de acople capacitivo. Excepto en los casos en que haya resistores de realimentación de colector a base, *la corriente I_C se determinará circulando por la malla de entrada. ¿A qué viene esto?*

Hasta ahora, sólo se analizaron circuitos con un transistor realimentados por colector o por emisor. Para etapas con varios transistores se utilizan también las otras dos formas de realimentación – ver capítulo 9. -, que son válidas sólo para este caso pues en con un solo transistor darían realimentación positiva.

Entre los ejemplos de amplificadores con varios transistores que no poseen realimentación ni en continua ni en alterna de un transistor a la otro, existen varias combinaciones de dos transistores, con bipolares, con FET y con combinaciones de ambos, muy utilizadas para lograr buena respuesta en frecuencia, como por ejemplo:

- emisor - común seguido por base - común (o sour-ce - común seguido por gate – común), a la que se denomina configuración **cascode**. **Ec+Bc**
- seguidor por emisor (o source) seguido de base (o gate) común. **Cc+Bc**
- seguidor acoplado a un emisor (o source) común. **Cc+Ec**

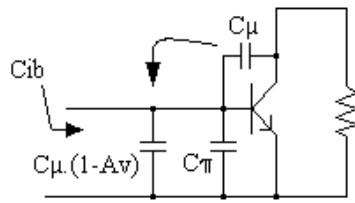


Fig. 10.1

Como amplificador de un transistor, la peor configuración en cuanto a la respuesta en frecuencia es la de emisor común - Fig. 10.1 -, ya que C_μ se refleja a la entrada por efecto Miller como una capacidad entre base y común ($1 + |A_v|$) veces mayor que ella (A_v es la amplificación de tensión entre los terminales en que se haya conectado C_μ , es decir, colector y base).

$$A_v \text{ es negativa} \Rightarrow C_\mu \cdot (1 - A_v) > C_\pi$$

$$C_{ib} = C_\pi + C_\mu \cdot (1 - A_v) \quad \text{y} \quad R_{ib} \approx r_\pi \quad (\text{admitiendo } r_x \rightarrow 0)$$

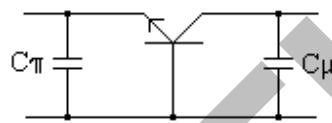


Fig. 10.2

El problema se soluciona usando base común - Fig. 10.2 -. En esta configuración (admitiendo $r_x \rightarrow 0$) C_μ no se refleja a la entrada.

Cómo se alimenta en BC

$$C_{ie} \approx C_\pi \quad R_{ie} \approx r_d$$

Sin embargo, según se verá oportunamente, con TBJ en base común se tiene una gran dificultad en la respuesta en frecuencia debido al efecto de r_x , lo que hará que para aprovechar su buen funcionamiento con la frecuencia deberá excitarse con un generador de señal de corriente.

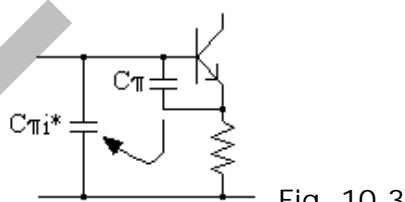


Fig. 10.3

En colector común la respuesta en frecuencia también será buena, pero con ganancia de tensión máxima unitaria a frecuencias medias - Fig. 10.3 -. La capacitancia C_π se refleja multiplicada por $(1 - A_v)$. (A_v es la amplificación de tensión entre los terminales en que se haya conectado C_π , es decir, emisor y base). $C_{\pi i}^*$ es C_π reflejado a la entrada: $C_{\pi i}^* = C_\pi \cdot (1 - A_v)$

Como en muchos casos $A_v \approx 0,99$, en general $C_{\pi i}^* \ll C_\pi$; aunque dependerá del valor de carga R_E frente a r_d .

C_π en emisor común está enfrentado con r_π , y en base-común está enfrentado con r_d . Por lo tanto, la influencia de C_π se va a dejar notar a una frecuencia mucho más baja en emisor común que en base común.

261

\uparrow $C_\pi \cdot r_\pi \gg C_\pi \cdot r_d \Rightarrow$ La frecuencia de corte del
pasa bajos es mucho menor com
p. C_π y r_π

C_π r_π VS. C_π r_d

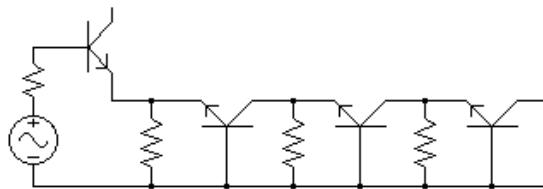


Fig. 10.4

Podemos ver que, cuando conectamos varios TBJ en base común en cascada, si las corrientes son iguales la ganancia de tensión del primer transistor es $A_v = g_m \cdot r_d \approx 1$, con lo que sólo tiene ganancia la última etapa.

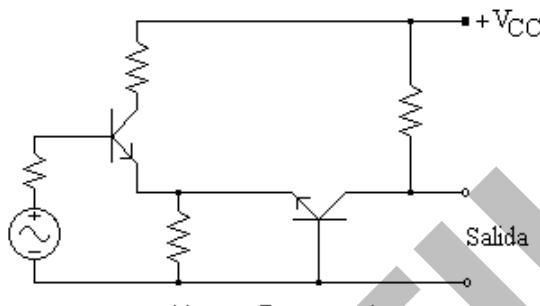


Fig. 10.5

Por lo tanto, tener un acople directo de bases comunes no es útil, ya que solamente un transistor (el de salida) tiene ganancia mayor que la unidad. Un primer transistor en base común tiene además el problema de cargar mucho al generador de señal (por su baja impedancia de entrada). Este problema se soluciona colocando un seguidor en la entrada - Fig. 10.4 -. Esta configuración, seguidor – base común, es conocida como **amplificador diferencial** - Fig. 10.5 - . **CC + BC = DIFF**

Si se colocan seguidores entre las etapas de base común, para que todas ganen, se tendrán varios amplificadores diferenciales en cascada - Fig. 10.6 - .

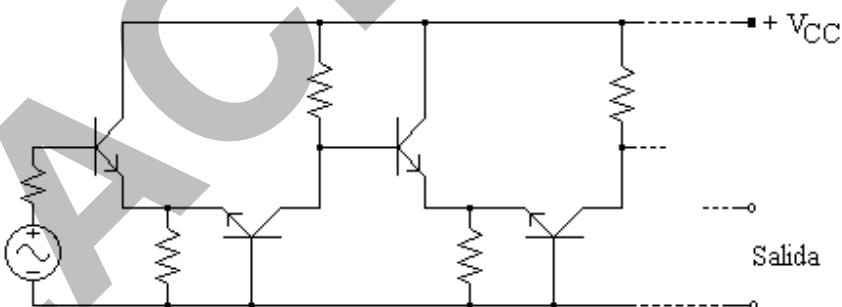


Fig. 10.6

10.1. Emisor común seguido por otro emisor común (ambos desacoplados en alterna)

En los amplificadores con varios transistores, primero se calcula el punto de reposo para el primer transistor y luego se sigue con los siguientes. Para simplificar los cálculos en etapas con acople directo hay que comparar

I_{B2} con I_{C1} cuando la segunda etapa está en emisor o colector común. Si $I_{B2} \ll I_{C1}$ no hay problemas y el cálculo es muy simple – Fig. 10.7 -.

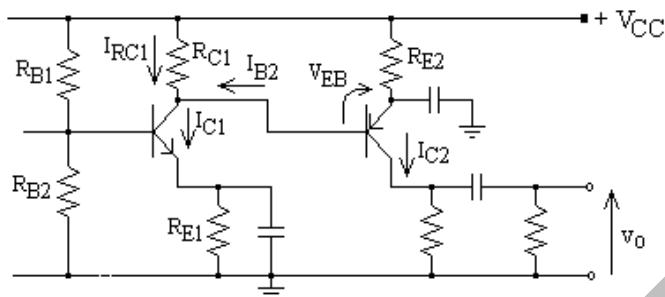


Fig. 10.7

$$R_B = R_{B1} // R_{B2}$$

$$V_{BB} = V_{CC}R_{B2} / (R_{B1} + R_{B2})$$

$$\text{Si } R_B/\beta_1 \ll R_{E1}: \Rightarrow I_{C1} \approx (V_{BB} - V_{BE}) / R_{E1}$$

$$\text{Si } I_{C1} \gg I_{B2}: \Rightarrow \text{la caída en } R_{C1} \text{ es } I_{C1}R_{C1}.$$

La caída en R_{E2} tiene que ser 0,7V menor que la que se tiene en R_{C1} por ser un PNP. Teniendo el valor de esta caída de tensión y dividiéndola por R_{E2} , obtengo la corriente de polarización de la segunda etapa I_{C2} . Si quiero verificar los valores, tomo la corriente I_{C2} , la divido por β_2 para calcular I_{B2} y compruebo si realmente este valor resulta despreciable frente a I_{C1} . Si I_{B2} no es despreciable con respecto a I_{C1} , habrá que plantear un sistema de ecuaciones (normalmente se resolverá por tanteo):

$$(I_{C1} - I_{B2})R_{C1} - V_{EB} - I_{C2}R_{E2} = 0 ; I_{C2} = \beta_2 \cdot I_{B2} ; V_{BE} \approx \text{cte.} \approx 0,7V$$

También los MIMOS del
garranam

! DJS CON LOS MOS

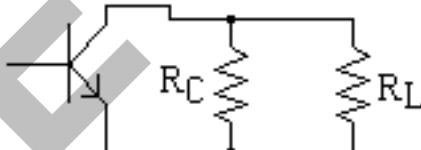


Fig. 10.8

Con transistores de efecto de campo se recurrirá normalmente al tanteo, siendo los cálculos algo más complicados ya que la relación $I_D - V_{GS}$ no permite una simplificación (como la de suponer $V_{BE} \approx \text{cte.}$).

Para la señal, bastará considerar la carga que la segunda etapa presenta a la primera – Fig. 10.8 -. En este caso queda $R_{C1}/r_{\pi 2}$. (donde de acuerdo al capítulo 7.-, si $g_m R_{ca} \ll 1/\mu$ se desprecian r_o y r_μ).

Para el circuito de la Fig. 10.9, (etapa Cascode): si quedasen los resistores de base sin desacoplar, para la impedancia de entrada de la segunda etapa (que es carga de la primera), R_{i2} , aparecerán divididos por β .

No va a haber gran diferencia en cuanto a la A_v al eliminar el capacitor, porque la impedancia de entrada de la segunda etapa aumenta en R_B/β_o . La ganancia de la primera etapa aumenta, pero la de la segunda disminuye por-

que aparece un divisor de tensión en la entrada. Entonces, no habrá diferencia en A_v siempre y cuando la resistencia de colector de la primer etapa sea mucho mayor que la resistencia de entrada de la segunda etapa.

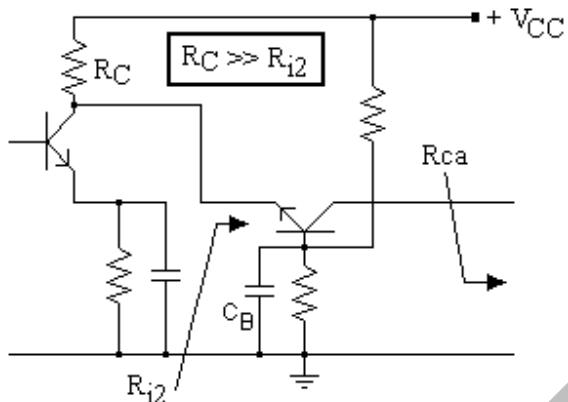


Fig. 10.9

- Con C_B: $A_{v1} = -g_{m1}(R_C // r_{d2}) \cong -g_{m1}r_{d2}$; $A_{v2} = g_{m2}R_{ca}$; $A_v = A_{v1}A_{v2} \cong g_{m1}R_{ca}$
 - Sin C_B: $A_{v1} \cong -g_{m1}(r_{d2} + R_B/\beta_2)$; $A_{v2} \cong R_{ca}/(r_{d2} + R_B/\beta_2)$; $A_v = A_{v1}A_{v2} \cong -g_{m1}R_{ca}$

10.2. Acople directo con realimentación entre dos transistores para continua

El circuito de la Fig. 10.10 es el más general desde el punto de vista que incluye los dos tipos de realimentación: una de tensión a tensión y otra de corriente a corriente.

Sobre los 470Ω se muestrea una tensión proporcional a la corriente de salida. Esta tensión menos los $0,7V$ nos da sobre el resistor de $150K\Omega$ una corriente proporcional a la de salida y por lo tanto se tiene una realimentación de corriente a corriente.

Para el análisis en continua bastaría marcar todas las corrientes de interés y las tensiones correspondientes (las V_{BE} = cte. independientemente de las corrientes que circulen).

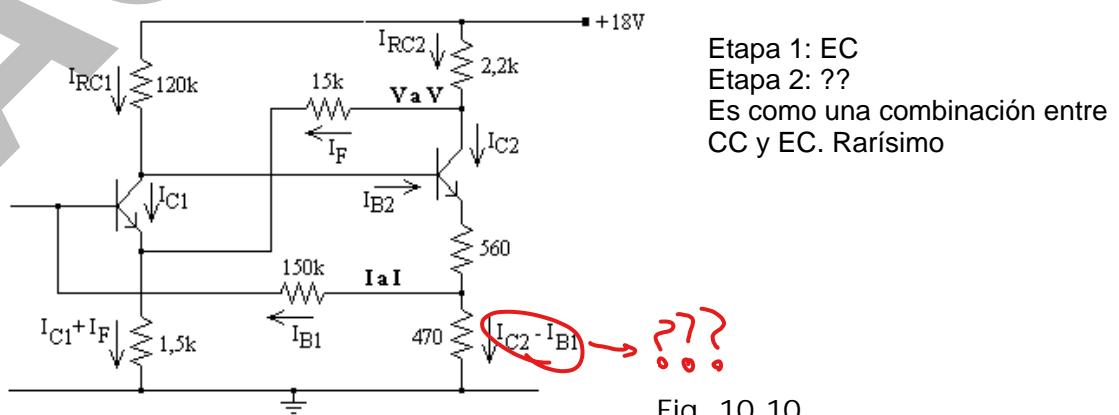


Fig. 10.10

En principio se tienen seis incógnitas: I_{C1} , I_{C2} , V_{CE1} , V_{CE2} , I_{B1} e I_{B2} .

Se sabe que: $I_{C1} = \beta_{F1}I_{B1}$ e $I_{C2} = \beta_{F2}I_{B2}$.

Faltarían plantear cuatro ecuaciones más circulando por cuatro mallas diferentes. Tiene que haber una ecuación que contenga al diodo base - emisor de la primera etapa, otra ecuación que contenga al diodo base - emisor de la segunda etapa y dos circulaciones por las mallas de colector para hallar V_{CE} . Lo normal es que la corriente de colector de la segunda etapa sea mayor que la de la primera: $I_{C2} \geq I_{C1} \Rightarrow I_{B1} \ll I_{C2}$. Por lo tanto, admitiremos que por la $R = 470\Omega$ circula sólo I_{C2} . Muchas veces se cumple que I_{B2} es despreciable frente a I_{C1} e incluso mejora la estabilidad del sistema. Cuando solo se tienen dos etapas acopladas se puede hacer la resolución del sistema de ecuaciones en forma más o menos simple. Pero cuando se tienen tres o cuatro etapas, la resolución se complica. Por todo esto, la resolución en general se hace *a ojo*, planteando el valor hipotético de una corriente y tratando de resolver hasta llegar a verificar el planteo inicial, con un error del orden del 10% o menor.

???
J
*Hoy mu^rio
el español*

← [Hay que tratar de comenzar al tanteo partiendo de valores más o menos lógicos, de manera de no tomar un valor lejano al que debiera ser aceptable. Para comenzar el tanteo en este ejemplo, hay algunas condiciones que mediante un análisis simple se pueden obtener. Para que el sistema funcione, la caída en los 470Ω tiene que ser superior a $0,7V$, porque tiene que abarcar la caída en el diodo base - emisor del primer transistor y la caída en la $R=1,5K\Omega$: $I_{C2}.470\Omega = V_{BE1} + (I_{C1} + I_F).R_E1 + I_{B1}.150K\Omega$

Para ver la caída que se tiene en $R=1,5K\Omega$ hay que observar qué corriente puede venir por la rama realimentada y qué corriente puede circular por el colector de la primera etapa. La I_{C1} está bastante limitada porque en el colector hay un resistor grande ($120K\Omega$), por lo que en este caso $I_{C1} \ll I_{C2}$.

Admitiendo que la salida está más o menos en el centro de la tensión (cómo no se dice a dónde va acoplado podemos presuponer que está alrededor de los $9V$): $9V / 15K\Omega = 0,6mA$; $0,6mA \cdot 1,5K\Omega = 0,9V \approx 1V$. Por lo tanto, en $R=470\Omega$ tiene que haber una caída de $1,5$ a $1,7V$ como mínimo, ya que de lo contrario no alcanzaría para alimentar al primer transistor.

Partimos entonces presuponiendo $I_{C2} = 3,2mA$. Con esto se puede calcular $(I_{C1} + I_F)$ con la caída en R_E1 o reemplazar $I_{B1}\beta_{F1} = I_{C1}$ y calcular en forma aproximada I_{C1} . Lo normal es despreciar I_{C1} con respecto a I_F (ver 10.1) y la caída en $R=150K\Omega$. Como $I_F + I_{C2} = I_{RC2}$, multiplicando por R_{C2} obtenemos la caída en ese resistor ($I_{RC2} \cdot 2,2K\Omega$). Con esto podemos obtener la tensión entre colector y común y verificar si la corriente supuesta es la correcta. Y si no es así, modificamos el valor supuesto hacia donde nos de el error. Si partimos de alrededor de $9V$, el punto de colector tiene que estar bastante más abajo (3 o $4V$). Con $12V$ de caída en $R = 120K\Omega \Rightarrow I_{RC1} = 100\mu A$. Normalmente I_{B2} con $\beta = 400$ será despreciable frente a los $100\mu A$.

La otra es simularte y dejarte de tomar las pelotas

10.3. Etapa de dos transistores realimentados en continua con alta ganancia de tensión

Analizaremos el circuito de la Fig.10.11, resolviéndolo por tanteo. Además veremos la ganancia del conjunto, como una aplicación más del sistema de *bootstrap*. Lo que se está buscando es tener una etapa de muy alta ganancia. Se descuenta que no hay problemas de respuesta en frecuencia porque si se usa una etapa en emisor común para tener ganancia elevada tendrá muy mala respuesta en frecuencia. Para que una etapa tenga alta ganancia tiene que tener una resistencia de carga muy elevada para la señal alterna.

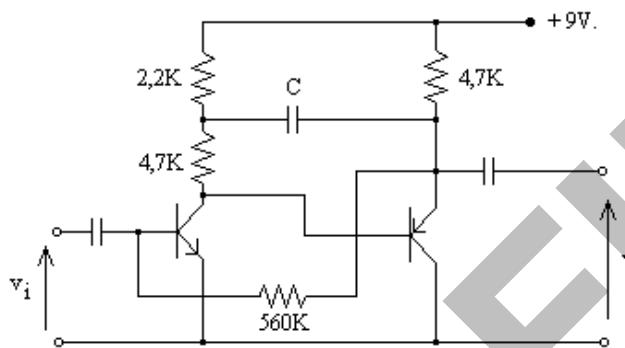


Fig. 10.11

Para tener una R_{ca} grande se podría pensar en hacer una sola etapa con una resistencia de carga de, por ejemplo, $100\text{k}\Omega$. Pero con una alimentación de 9V solo circulará una corriente muy baja, con lo que la transconductancia g_m será muy baja e impedirá lograr una ganancia realmente grande, a menos que se pueda elevar la corriente. Para producir ese aumento de corriente necesario deberemos aumentar V_{CC} , y entonces es muy difícil obtener una ganancia de 1.000 o 2.000 con una V_{CC} limitada, en una sola etapa (ver 8.4.-). Analizando esto, conseguimos un circuito donde la primera etapa permite ganancia muy alta y la segunda es un seguidor por emisor (muy baja impedancia de salida). A través de un sistema de ***bootstrap*** se puede lograr elevar artificialmente la impedancia efectiva de carga de una etapa.

in q'se
refiere
com bootstrapping en este
caso?

Resolver este circuito en continua equivale a plantear una corriente de polarización y tratar de llegar a verificar la suposición en forma iterativa.

Se puede plantear una determinada corriente por la malla de salida:

- Calculo cuánto vale la corriente de base de la primera etapa I_{B1} .
- Multiplicando I_{B1} por β hallo I_{C1} .
- Si al valor de la caída de tensión $I_{C1} \cdot R_{C1}$ le resto 0,7V obtengo la caída en R_{E2} .
- Con la caída en $R_{E2} = 4,7\text{k}\Omega$ se obtiene el valor de la corriente de la segunda etapa, que tiene que compararse con el valor supuesto al principio.

Chamchada q' pude ser útil

Para empezar, la idea es considerar la tensión en el nodo de salida como la mitad del valor de la fuente de alimentación (4,5V). La corriente por el resistor será entonces de alrededor de 1mA, ajustándose la tensión en el nodo de salida a: $9V - 4,7V = 4,3V$.

- $I_{B1} = (V_{E2} - V_{BE1}) / 560K\Omega = (4,3V - 0,7V) / 560K\Omega = 6,4\mu A$
- $I_{C1} = \beta_1 \cdot I_{B1} = 0,77mA$
- $I_{C1} \cdot R_{C1} = 0,77mA \cdot 6,9K\Omega = 5,3V$.
- $I_{C2} \approx (I_{C1} \cdot R_{C1} + V_{BE2}) / 4,7K\Omega = (5,3V - 0,7V) / 4,7K\Omega = 0,98mA \approx 1mA$

La resistencia de $560K\Omega$ se refleja a la entrada como $560K\Omega / (1 - A_v)$ y como hay inversión de fase $A_v < 0$ –Fig. 10.12–. A la salida se refleja como $560K\Omega$, que en paralelo con $4,7k\Omega$ no modifica este último valor; por lo que no influye en la ganancia, sino sólo en la resistencia de entrada.

En una primera aproximación, puede despreciarse r_o y r_μ . Incluso, el hecho de incluir r_o y r_μ no modifica la resolución del circuito porque r_μ queda directamente entre base y común (en paralelo con todo el sistema); el r_{o2} queda en paralelo con los $4,7k\Omega$ y el r_{o1} también queda en paralelo con todo.

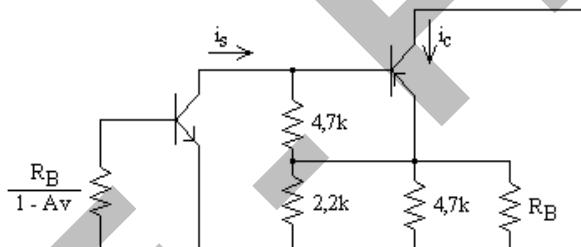


Fig. 10.12

Para calcular la amplificación de tensión se resuelve con el modelo del transistor o se refleja a la entrada por relación de tensiones o con un $\beta_{EQUIV} = g_{m2} \cdot (4,7K\Omega // r_{\pi2})$ (ver capítulo 10), es decir $i_{c2} = g_{m2} \cdot v_{be2} = g_{m2} \cdot i_s \cdot (4,7K\Omega // r_{\pi2})$. Si se reduce por relación de tensiones, la primera etapa ve una carga $4,7K\Omega / (1 - A_{v2})$ –Fig. 10.13–, siendo $A_{v2} \approx 1,5K\Omega / (r_{d2} + 1,5K\Omega) \approx 0,984$.

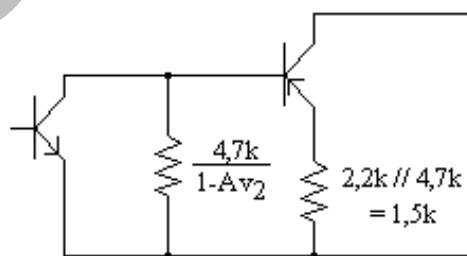


Fig. 10.13

$$R_{ca1} \approx [4,7K\Omega / (1 - 0,984)] // (120 \cdot 1,5K\Omega) \approx 112K\Omega$$

$$A_{vTOT} = A_{v1} \cdot A_{v2} \approx -g_{m1} \cdot R_{ca1} \cdot 1 \approx -3400$$

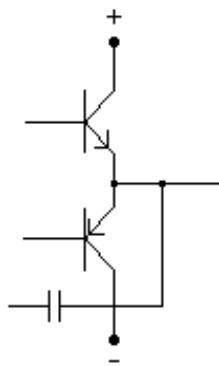


Fig. 10.14

Muchas veces se utiliza el circuito de la Fig. 10.14. En el circuito aparece un capacitor que sale de los emisores de la etapa de salida y queda colocado entre los resistores de colector que alimentan al transistor excitador de esos dos transistores de salida; lo que logra el efecto antes analizado.

El capacitor eleva la amplificación de tensión de la etapa excitadora, por lo que ésta debe entregar mucha menos potencia de alterna y entonces es como si se aumentase la resistencia de carga efectiva de alterna de la etapa excitadora.

LACE - FIUBA

A0.7 – Estudio de circuitos R-C

11.- Estudio de circuitos R-C

Circuito pasa-bajos simple

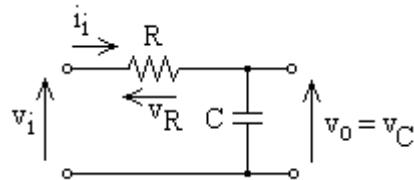


Fig. 11.1

Se trata de un circuito serie R-C que actúa como divisor de tensión, tomándose la tensión de salida sobre el capacitor. La función transferencia se define como la relación entre las transformadas de Laplace de las tensiones de salida y entrada: $T(s) = V_o(s) / V_i(s)$. Cuando se requiera la respuesta en frecuencia se trabajará con valores de la frecuencia compleja "s" que se encuentren sobre el eje imaginario ($s = j\omega$ con $\sigma = 0$), obteniéndose $T(j\omega)$. De este modo, consideraremos $T(j\omega) = V_o(j\omega) / V_i(j\omega)$ y deberemos hallar los diagramas de respuesta en frecuencia del módulo y el argumento:

$$|T(\omega)| = V_o(\omega) / V_i(\omega) \text{ y } \varphi_T(\omega) = v_o \wedge v_i \quad (11.1)$$

Obtendremos en principio estos diagramas en forma conceptual.

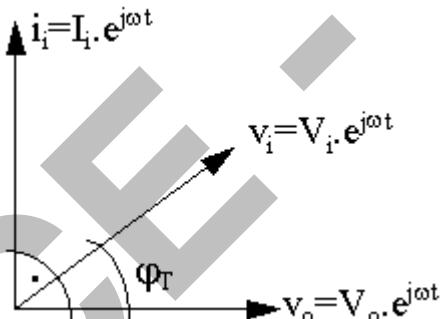


Fig. 11.2

Para hallar $|T(\omega)|$, observamos que a frecuencia cero el capacitor se comporta como un circuito abierto, no circulará corriente por él y será $v_o = v_i$. Para frecuencia tendiendo a infinito el capacitor será un cortocircuito, y la tensión de salida será nula, para cualquier tensión de entrada. Si se varía la frecuencia desde cero a infinito manteniendo la amplitud de entrada constante, la reactancia del capacitor irá disminuyendo a medida que aumenta la frecuencia y por lo tanto, de acuerdo con el divisor de tensión, la diferencia de potencial entre sus terminales irá disminuyendo; con lo que $|T(\omega)|$ deberá disminuir desde la unidad para $\omega = 0$ hasta anularse para $\omega \rightarrow \infty$. La pendiente de la curva en $\omega = 0$ es nula.

Para hallar $\varphi_T(\omega)$, observamos que el circuito serie R-C presenta una impedancia de tipo capacitivo, por lo que la corriente i_i adelantará

a v_i un ángulo comprendido entre 0° y 90° . La tensión sobre el capacitor v_o deberá atrasar 90° respecto a la corriente i , por tratarse de tensión y corriente en un capacitor; con lo que v_o deberá atrasar respecto de v_i un ángulo comprendido entre 0° y 90° . Para $\omega = 0$, la tensión de salida es igual a la de entrada y no hay desfasaje, por lo que $\varphi_T(0) = 0$. Para $\omega \rightarrow \infty$ el circuito R-C presenta un comportamiento resistivo puro, por lo que la corriente i tiende a quedar en fase con v_i , de donde v_o (si bien en un valor cada vez más pequeño) tiende a atrasar 90° respecto a v_i . Por ello, este circuito se conoce con el nombre de circuito pasa-bajos simple o red de atraso de fase. Las características de respuesta en frecuencia en escala lineal son:

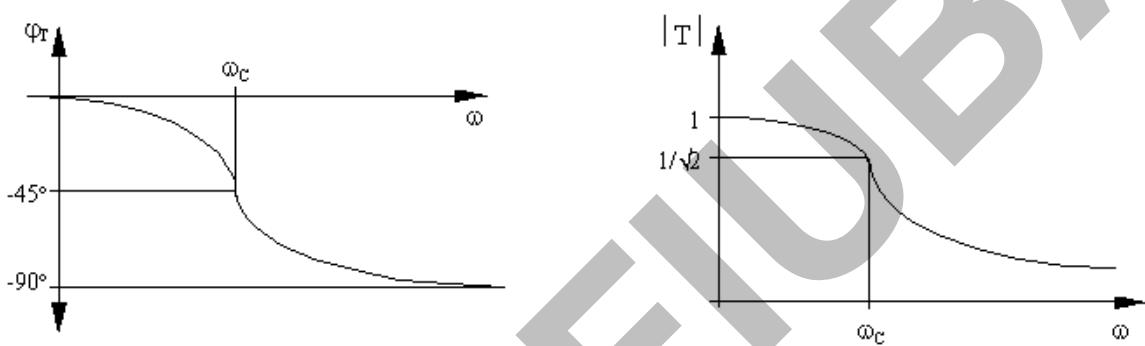


Fig. 11.3

$$\text{Cuando } \omega \text{ es tal que } X_C = R \Rightarrow |T| = 1/\sqrt{2}$$

$$\Rightarrow \varphi_T = 45^\circ \text{ (pues } v_i \text{ es la diagonal de un cuadrado, } v_R = v_C\text{)}$$

Se define como frecuencia de corte a la frecuencia para la cual el módulo de la transferencia cae a $1/\sqrt{2}$ de su valor máximo. En este caso, por tratarse de un circuito del tipo pasa-bajos, será una frecuencia de corte superior. En los circuitos R-C simples el módulo de la transferencia será siempre menor que la unidad. Para la resolución analítica por inspección se deberá tener en cuenta que en un circuito R-C con un único capacitor y una o más resistencias siempre se tendrá un polo y un cero y en forma general la transferencia será:

$$T(s) = K \cdot \frac{s - s_0}{s - s_p} \quad (11.2)$$

En este pasa-bajos, el cero estará en " $s \rightarrow \infty$ " por lo que la expresión de $T(s)$ será :

$$T(s) = \frac{K}{s - s_p} \quad (11.3)$$

En un circuito R-C, el polo será real y negativo: $s_p = \sigma_p = -\omega_p$, donde ω_p es la pulsación para la cual la resistencia de Thevenin vista desde los terminales del capacitor iguala a su reactancia.

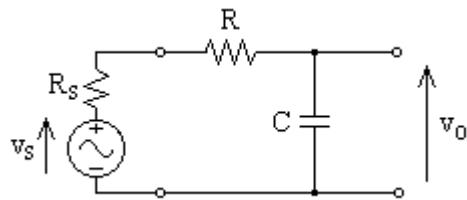


Fig. 11.4

Con un generador ideal de tensión ($R_s=0$): $1/\omega_p \cdot C = R$

Con un generador real: $1 / \omega_p \cdot C = R + R_s$

Con un generador ideal de corriente: $1/\omega_p \cdot C \rightarrow \infty$

Considerando que se excita con un generador ideal de tensión de señal: $s_p = \sigma_p = -\omega_p = -1/\tau_p$; donde $\tau_p = R \cdot C$

La función transferencia es: $T(s) = \frac{K \cdot \tau_p}{1 + s \cdot \tau_p}$; con $s=0$, $T(s)=K \cdot \tau_p=T(0)$

Por lo tanto: $T(s) = \frac{T(0)}{1 + s \cdot \tau_p}$

La transferencia $T(j\omega)$ será: $T(j\omega) = \frac{T(0)}{1 + j\omega / \omega_p}$

Las expresiones de módulo y fase de la transferencia serán:

$$|T|(\omega) = \frac{T(0)}{\sqrt{1 + (\omega / \omega_p)^2}} \quad \text{y} \quad \varphi_T(\omega) = -\arctg(\omega / \omega_p) \quad (11.4)$$

$$|T|(dB) = 20 \cdot \log |T| = 20 \cdot \log T(0) - 20 \cdot \log \sqrt{1 + (\omega / \omega_p)^2}$$

$$\text{y como } T(0) = 1 \Rightarrow |T|(dB) = -20 \cdot \log \sqrt{1 + (\omega / \omega_p)^2}$$

Los diagramas de Bode de módulo y argumento se incluyen a continuación:

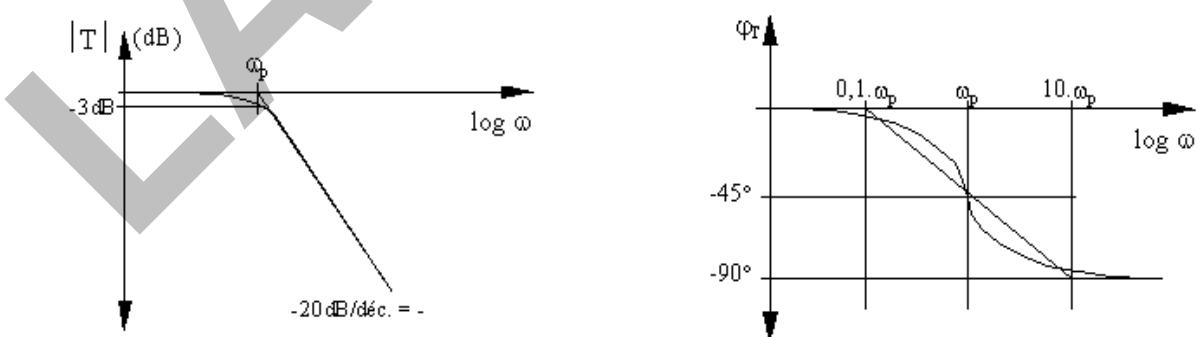


Fig. 11.5

En el diagrama de módulo, la diferencia entre la curva real y la asintótica para ω_p es $3dB$. En el de fase, la máxima diferencia entre las curvas real y asintótica es 6° (en ω_p ambas curvas coinciden).

Circuito pasa-altos simple

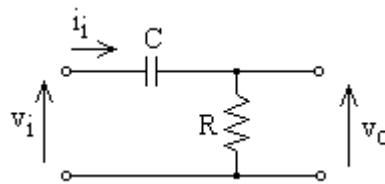


Fig. 11.6

En este caso, la tensión de salida del divisor R-C se toma sobre el resistor. Al aumentar la frecuencia manteniendo la amplitud de entrada constante, la reactancia del capacitor irá disminuyendo, por lo que la tensión sobre la resistencia irá aumentando hasta casi igualar a la tensión de entrada cuando $\omega \rightarrow \infty$ y la reactancia del capacitor se hace nula.

En el origen ($\omega = 0$) : $|T| = 0$; en el infinito ($\omega \rightarrow \infty$) : $|T| = 1$.

A cualquier frecuencia, i_i adelanta a v_i (el circuito tiene comportamiento capacitivo) y como v_o está en fase con i_i , v_o adelanta a v_i .

Las características de respuesta en frecuencia, en escala lineal son:

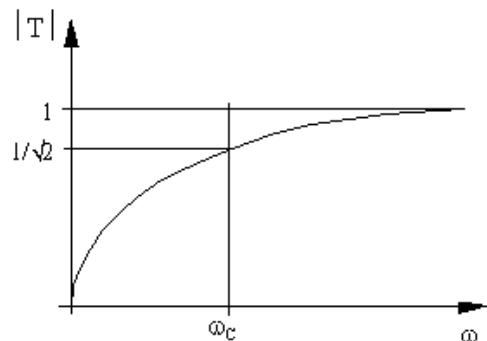
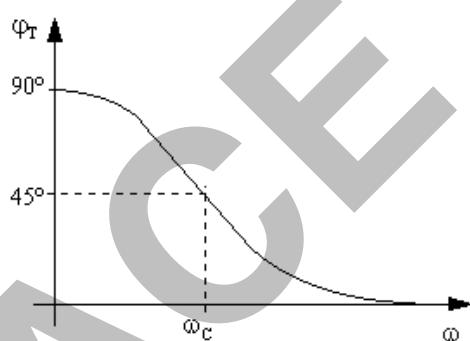


Fig. 11.7

La función transferencia del circuito es:

$$T(s) = \frac{K.s}{s - s_p} \quad ; \text{ donde: } s_p = \sigma_p = -\omega_p = -1/\tau_p \quad ; \tau_p = R.C$$

$$\text{Por lo tanto con } K = T(\infty) \text{ será: } T(s) = \frac{T(\infty).s.\tau_p}{1 + s.\tau_p}$$

En este caso será: $T(\infty) = 1$.

$$\text{La transferencia } T(j\omega) \text{ será : } T(j\omega) = \frac{T(\infty) \cdot j\omega / \omega_p}{1 + j\omega / \omega_p}$$

Las expresiones de módulo y argumento de la transferencia serán:

$$|T|(\omega) = \frac{T(\infty) \cdot \omega / \omega_p}{\sqrt{1 + (\omega / \omega_p)^2}} \quad \text{y} \quad \varphi_T(\omega) = 90^\circ - \arctg(\omega / \omega_p) \quad (11.5)$$

Este es un circuito pasa-altos simple o red de adelanto de fase. Los diagramas de Bode de módulo y argumento se obtendrán como:

$$\begin{aligned} |T|(dB) &= 20 \cdot \log |T| = 20 \cdot \log T(\infty) + 20 \cdot \log (\omega / \omega_p) - 20 \cdot \log \sqrt{1 + (\omega / \omega_p)^2} \\ &\Rightarrow |T|(dB) = 20 \cdot \log (\omega / \omega_p) - 20 \cdot \log \sqrt{1 + (\omega / \omega_p)^2} \\ \omega \rightarrow 0: \quad |T|(dB) &= 20 \cdot \log(\omega / \omega_p) - 20 \cdot \log \sqrt{1 + 0^2} = 20 \cdot \log(\omega / \omega_p) \\ \omega \rightarrow \infty: \quad |T|(dB) &= 20 \cdot \log(\omega / \omega_p) - 20 \cdot \log(\omega / \omega_p) = 0 \text{ dB}. \end{aligned}$$

La frecuencia de corte en este caso será ω_p .

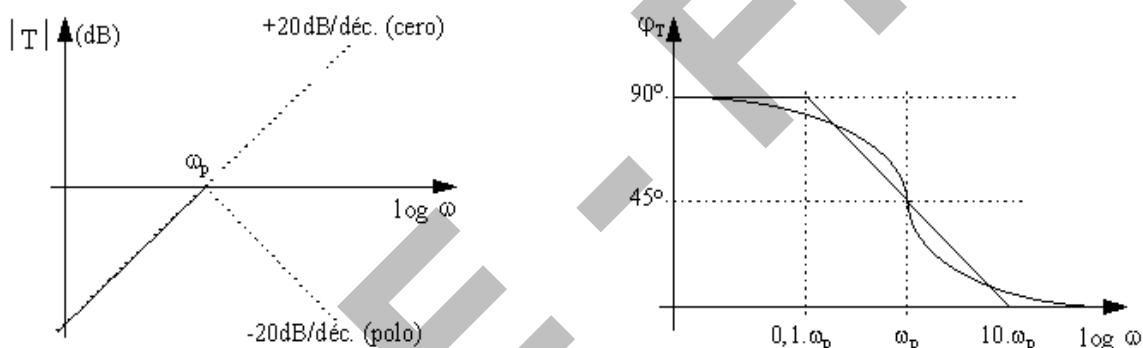


Fig. 11.8

Hasta aquí hemos analizado el circuito pasa-bajos simple, que tenía un cero en infinito; y el pasa-altos simple, con un cero en el origen. Consideraremos ahora un ejemplo de circuito con un polo y un cero finitos, como el indicado en la figura.

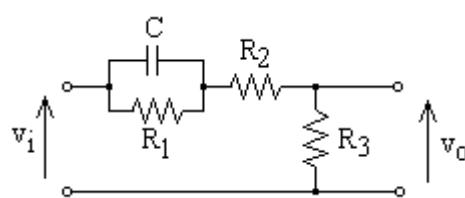


Fig. 11.9

A frecuencia nula, el capacitor se comportará como un circuito abierto, por lo que el circuito será un divisor resistivo formado por tres resistores y donde la tensión de salida se toma sobre uno de ellos. Cuando la frecuencia se hace muy elevada, la reactancia del capacitor

tiende a anularse y el circuito se convierte en un divisor resistivo de dos resistores. Al aumentar la frecuencia de cero a infinito la impedancia de la rama que contiene al circuito paralelo $C-R_1$ va disminuyendo desde $R_1 + R_2$ para $\omega = 0$, hasta R_2 para $\omega \rightarrow \infty$; por lo que el módulo de la transferencia debe ir aumentando tal como lo indican las expresiones correspondientes.

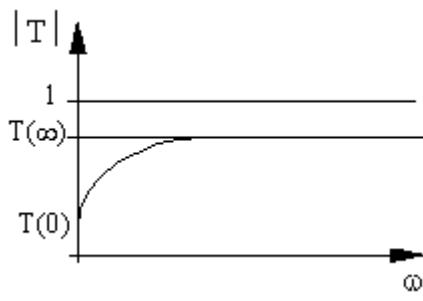


Fig. 11.10

En el origen ($\omega = 0$) : $T(0) = R_3 / (R_1 + R_2 + R_3)$

En el infinito ($\omega \rightarrow \infty$) : $T(\infty) = R_3 / (R_2 + R_3)$

$$\omega = \omega_c \Rightarrow |T| = T(\infty) / \sqrt{2}$$

Este valor ω_c puede no existir. Existirá si se cumple que $T(0) < T(\infty) / \sqrt{2}$. Si $T(0) \ll T(\infty) / \sqrt{2} \Rightarrow \omega_c$ corresponderá prácticamente a la pulsación del polo.

Si $T(0) < T(\infty) / \sqrt{2} \Rightarrow \omega_c$ será menor que la pulsación correspondiente al polo.

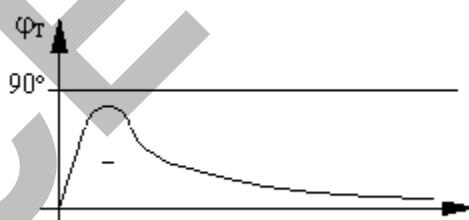


Fig. 11.11

El circuito presenta impedancia capacitiva, por lo que i_i adelanta a v_i ; como v_o está en fase con i_i , v_o adelanta a v_i .

Tanto para $\omega = 0$ como para $\omega \rightarrow \infty$ el circuito es resistivo puro, por lo que $\varphi(0) = \varphi(\infty) = 0^\circ$, tal como se indica en el diagrama lineal de fase de la figura. La función transferencia para este circuito será:

$$T(s) = K \frac{(s - s_o)}{s - s_p}$$

El polo de la transferencia surge de considerar la igualdad entre la reactancia del capacitor y la resistencia de Thévenin vista desde sus terminales ($X_C = R_{Th}$):

$$s_p = -\omega_p = -1/\tau_p ; X_C = R_{Th} \Rightarrow 1/\omega_p C = R_1 // (R_2 + R_3) \rightarrow \tau_p = [R_1 // (R_2 + R_3)] \cdot C$$

El cero de la transferencia estará donde "resuena" la sección paralelo $C-R_1$:

$$s_o = -\omega_o = -1/\tau_o ; 1/\omega_o C = R_1 \rightarrow \tau_o = R_1 \cdot C$$

$$\text{Reemplazando: } T(s) = \frac{K(s + 1/\tau_o)}{(s + 1/\tau_p)} = T(\infty) \frac{(s + 1/\tau_o)}{(s + 1/\tau_p)} = T(0) \frac{(s \cdot \tau_o + 1)}{(s \cdot \tau_p + 1)}$$

$$\text{De donde: } T(\infty) \cdot (\tau_p / \tau_o) = T(0)$$

$$\text{y como } \tau_p / \tau_o = \omega_o / \omega_p \rightarrow \omega_o \cdot T(\infty) = \omega_p \cdot T(0)$$

Existirá ω_c según sea la separación entre ω_o y ω_p .

$$T(j\omega) = T(0) \frac{1 + j\omega / \omega_o}{1 + j\omega / \omega_p} \Rightarrow |T|(\omega) = T(0) \cdot \frac{\sqrt{1 + (\omega / \omega_o)^2}}{\sqrt{1 + (\omega / \omega_p)^2}}$$

Los diagramas de Bode serán:

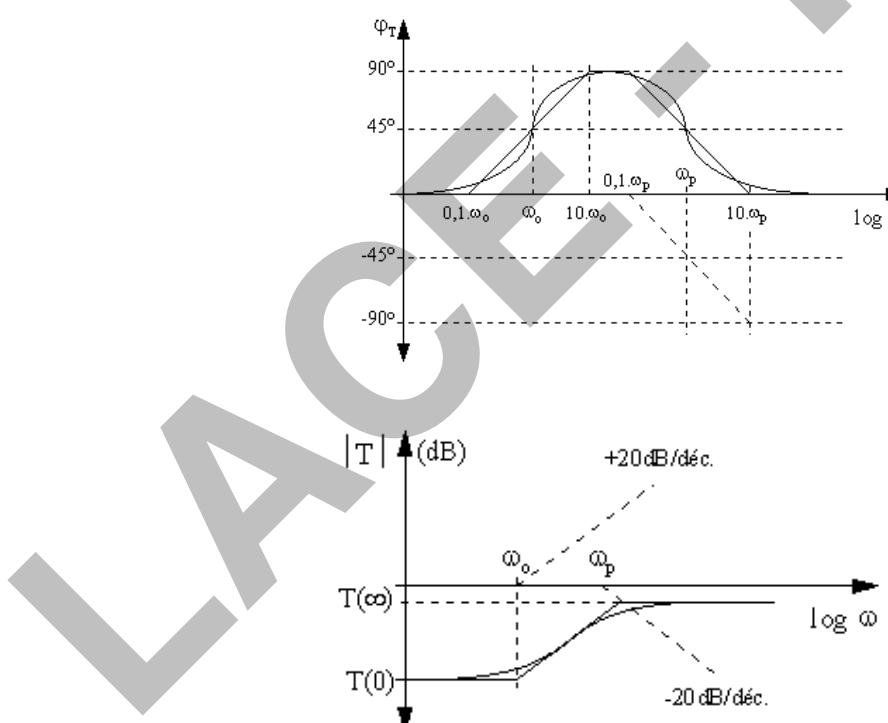


Fig. 11.12

$$|T|(\text{dB}) = 20 \log T(0) + 20 \log \sqrt{1 + (\omega / \omega_o)^2} - 20 \log \sqrt{1 + (\omega / \omega_p)^2}$$

Si $T(0)(\text{dB}) < T(\infty)(\text{dB}) - 3\text{dB} \Rightarrow$ habrá ω_c .

Este tipo de circuito, donde el capacitor se encuentra en la rama serie, permitirá una mejor transferencia de las frecuencias altas y por lo tanto la pulsación correspondiente al cero de la transferencia siempre será menor que la del polo.

Se puede admitir que una década a cada lado de un polo o un cero, las curvas real y asintótica coinciden en el diagrama de Bode de módulo. Si entre ω_0 y ω_p hay dos décadas de diferencia (o si sólo hubiera una década de diferencia), entonces $\omega_C \equiv \omega_p$.

Un último ejemplo, con un capacitor en la rama paralelo sobre la que se toma la salida es el indicado en la figura siguiente:

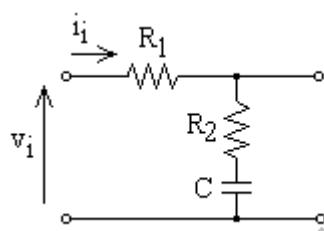


Fig. 11.13

A frecuencia nula el capacitor se comportará como un circuito abierto y el módulo de la transferencia será igual a "1". Para frecuencia tiendiendo a infinito, el capacitor será un cortocircuito por lo que la transferencia será la de un divisor resistivo entre R_1 y R_2 . El argumento se obtendrá teniendo en cuenta que, a una frecuencia cualquiera v_i ve una impedancia de tipo capacitivo, por lo que i_1 adelantará a v_i . Como la rama sobre la que se toma la tensión de salida es más capacitiva que la impedancia total, v_o atrasará a i_1 más que v_i , o sea v_o atrasará a v_i . Resumiendo:

$\omega = 0 \rightarrow$ circuito capacitivo puro: v_o y v_i en fase, ambas a 90° de i_1 .

$\omega \rightarrow \infty \rightarrow$ circuito resistivo puro: v_o y v_i en fase.

Las características de módulo y argumento en escala lineal son las incluidas a continuación.

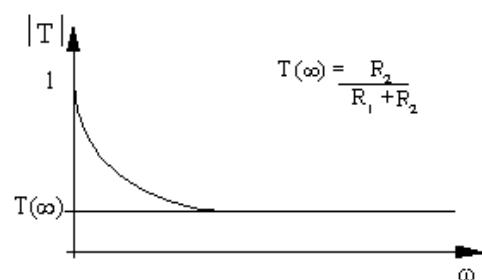
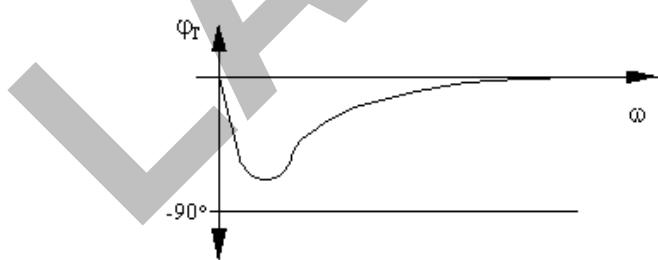


Fig. 11.14

11.1. Respuesta en el tiempo

Circuito pasa-bajos simple

El circuito pasa-bajos será excitado con una entrada de tipo escalaón: $v_i(t) = V_i \cdot u(t)$ y analizaremos la señal de salida $v_o(t)$. La señal de salida $v_o(t)$ responde a la siguiente expresión:

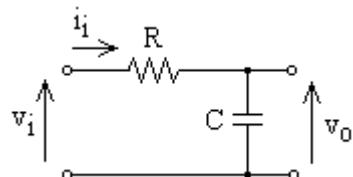


Fig. 11.15

$$v_o(t) = V_i \cdot (1 - e^{-t/\tau_p}) \quad (11.6)$$

La salida v_o tarda alrededor de $5\tau_p$ en alcanzar su valor final V_i .

El tiempo que tarda una señal en ir desde el 10% hasta al 90% de su valor final se lo denomina **tiempo de crecimiento** o *Rise time* (τ_r) y puede calcularse la relación entre τ_r y τ_p teniendo en cuenta la ecuación que describe a v_o :

$$\tau_r = t_{90\%} - t_{10\%}$$

$$v_o(t_{90\%}) = 0,9 \cdot V_i = V_i (1 - e^{-t_{90\%}/\tau_p}) \Rightarrow t_{90\%} = 2,3 \cdot \tau_p$$

$$v_o(t_{10\%}) = 0,1 \cdot V_i = V_i (1 - e^{-t_{10\%}/\tau_p}) \Rightarrow t_{10\%} = 0,1 \cdot \tau_p \Rightarrow \tau_r = 2,2 \cdot \tau_p$$

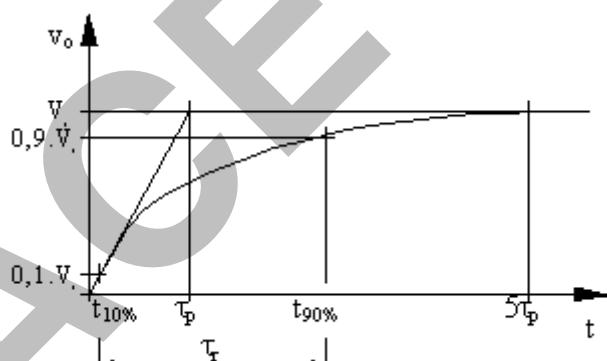


Fig. 11.16

En los circuitos amplificadores se podrá encontrar normalmente una pulsación de corte superior que resultará ser la inversa de una cierta constante de tiempo τ_h . Tomando a esta última como equivalente al τ_p del circuito pasa-bajos simple analizado, se podrá colocar τ_h en lugar de τ_p y de ese modo obtener el tiempo de crecimiento en función de la frecuencia de corte superior del amplificador.

$$\omega_h : \text{pulsación de corte superior} \rightarrow f_h = \omega_h / 2\pi ; \omega_h = 1 / \tau_h$$

$$\tau_r = 2,2 \cdot \tau_h = 2,2 / (2\pi \cdot f_h) \Rightarrow \tau_r = 0,35 / f_h \quad (11.7)$$

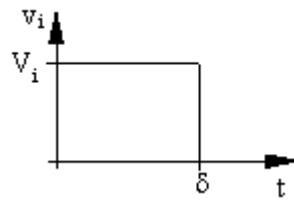


Fig. 11.17

Si se excita al circuito pasa-bajos simple con un pulso de ancho igual a $\delta >> 5\tau_p$, la forma de la respuesta al flanco creciente del pulso será igual a la vista anteriormente y la tensión de salida alcanzará su valor final V_i antes de sobrevenir el flanco negativo del pulso. En cambio, si $\delta < 5\tau_p$, el decrecimiento de la señal de salida al aparecer el flanco negativo de la señal de entrada comenzará en el v_o correspondiente al instante $t = \delta$.

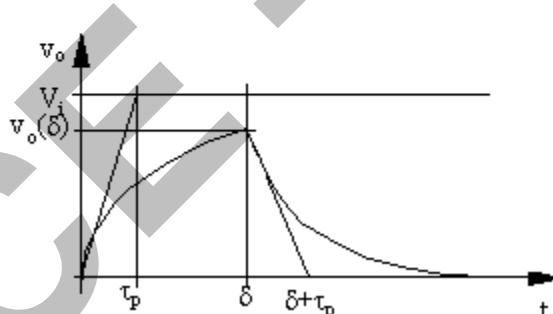
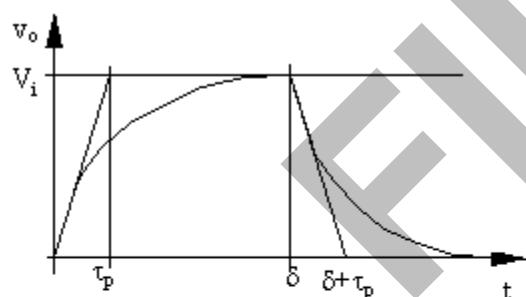


Fig. 11.18

La entrada es $v_i = V_i \cdot [u(t) - u(t - \delta)]$ y las formas de onda de la salida son las siguientes:

Si $\delta > 5\tau_p$:

$$v_o = V_i \cdot (1 - e^{-t/\tau_p}) \text{ para } 0 \leq t \leq \delta$$

$$v_o = V_i \cdot e^{-(t-\delta)/\tau_p} \text{ para } t > \delta$$

Si $\delta < 5\tau_p$:

$$v_o = V_i \cdot (1 - e^{-t/\tau_p}) \text{ para } 0 \leq t \leq \delta$$

$$v_o(\delta) = V_i \cdot (1 - e^{-\delta/\tau_p})$$

$$v_o = v_o(\delta) \cdot e^{-(t-\delta)/\tau_p} \text{ para } t > \delta$$

Si la excitación fuese un tren de pulsos de tensión como se indica en la figura, la forma de la respuesta dependerá de la relación entre los tiempos δ_1 , δ_2 y el τ_p del circuito.

En estado estacionario, se tendrán las siguientes formas de onda para la señal de salida del pasa-bajos simple que estamos analizando (donde para los gráficos de v_o consideramos $\delta_1 = \delta_2$).

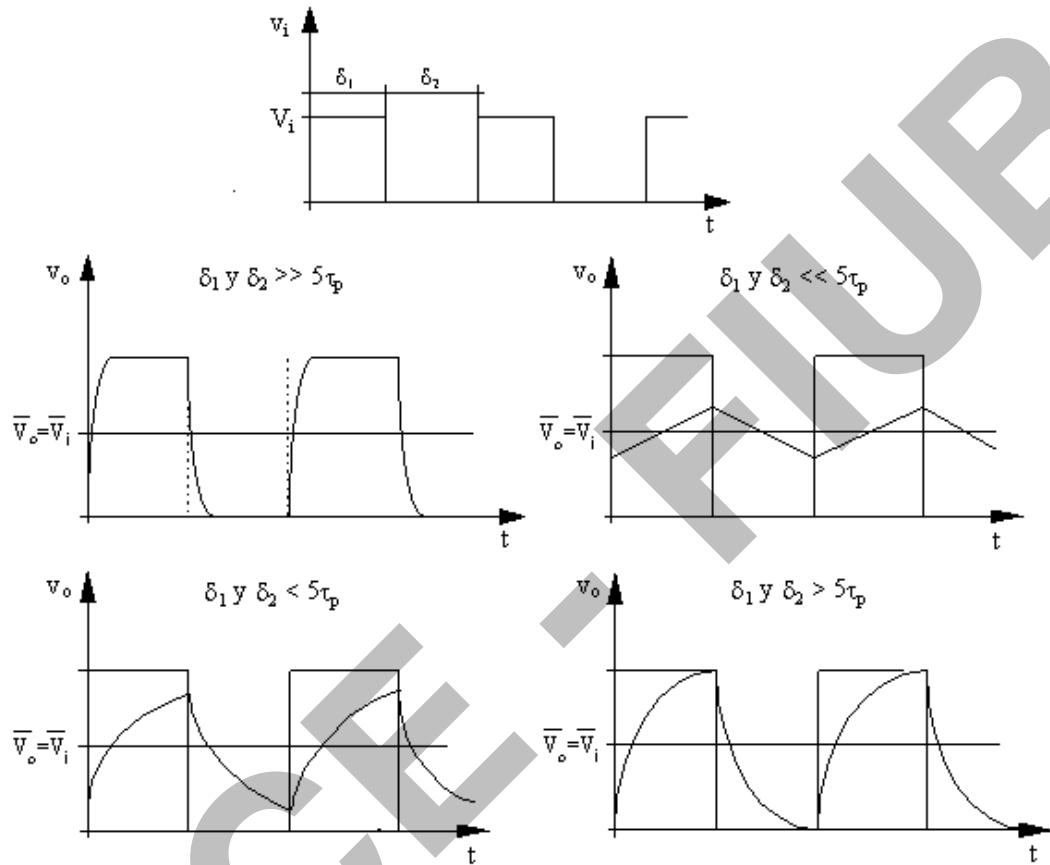


Fig. 11.19

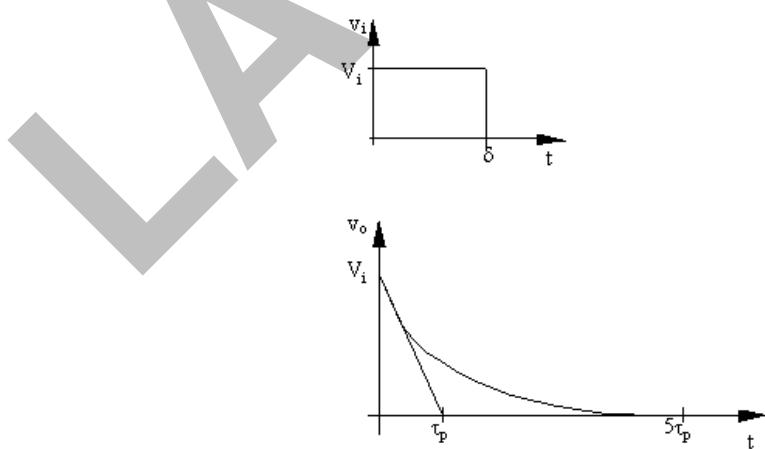


Fig. 11.20

Evidentemente, al tomar la tensión sobre el capacitor, a la salida se tiene el valor medio de la tensión de entrada. Puede observarse que para δ_1 y δ_2 mucho menores que $5\tau_p$, la tensión de salida es una onda prácticamente triangular alrededor del valor medio, formada por una serie de rectas de pendiente positiva cuando la tensión de entrada es mayor que el valor medio y de pendiente negativa en caso contrario. Bajo estas condiciones el circuito se comporta como un buen integrador. Si se pretende reproducir lo mejor posible la onda cuadrada, τ_p (o lo que es lo mismo τ_r) deberá ser muy pequeño con respecto a la duración de los pulsos. Por lo tanto, para reproducir una onda cuadrada simétrica con el menor error posible habrá que hacer τ_r mucho menor que el período de la señal o en forma similar, la frecuencia de la señal deberá ser mucho menor que la frecuencia de corte f_h .

Circuito pasa-altos simple

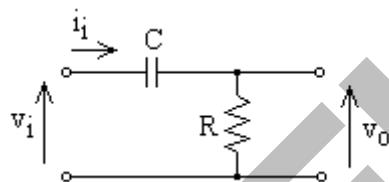


Fig. 11.21

De forma similar a lo hecho con el circuito pasa-bajos, el pasa-altos simple será excitado con una entrada de tipo escalón $v_i(t) = V_i \cdot u(t)$, y analizaremos la señal de salida $v_o(t)$, la cual responde a la siguiente expresión:

$$v_o(t) = V_i \cdot e^{-t/\tau_p} \quad (11.8)$$

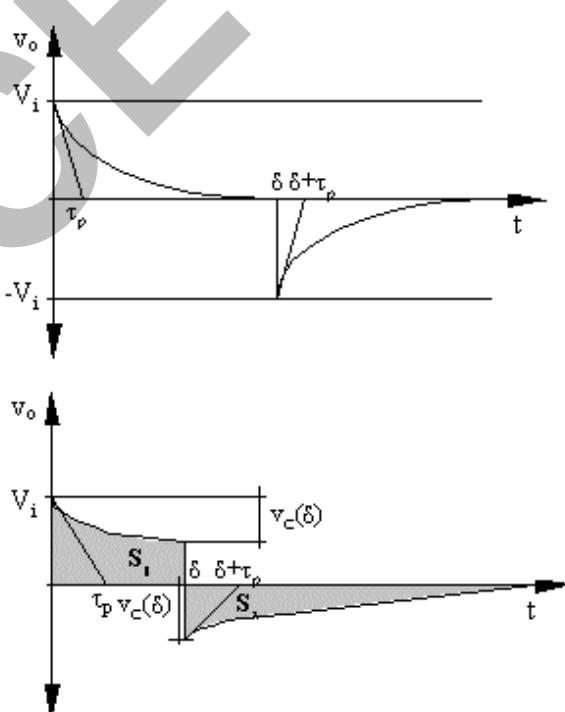


Fig. 11.22

Como vemos en el gráfico, v_o tarda aproximadamente un tiempo igual a $5\tau_p$ en alcanzar su valor final (que en este caso es 0V). La respuesta de este circuito a un pulso también dependerá de la relación entre la duración del pulso δ y la constante de tiempo τ_p . Para $\delta > 5\tau_p$: El capacitor se alcanzará a cargar totalmente, por lo que la tensión de salida sobre la resistencia llegará a anularse antes del final del pulso. Al sobrevenir el flanco negativo del pulso la entrada queda cortocircuitada y toda la tensión V_i del capacitor queda aplicada a la salida en la resistencia, sobre la que se va descargando hasta anularse.

Si $\delta < 5\tau_p$:

$$v_o = V_i e^{-t/\tau_p} \text{ para } t < \delta$$

$$v_o = v_c(\delta) \cdot (1 - e^{-(t-\delta)/\tau_p}) \text{ para } t > \delta$$

$$S_1 = S_2 = \int i(t) dt$$

(ya que la carga que recibe el capacitor es igual a la que luego entrega)

Se observa que, tanto para $t=0$ como para $t=\delta$, el salto de tensión a la salida es igual al salto de tensión en la entrada, dado que la tensión en el capacitor no puede variar instantáneamente: $v_c(\delta^+) = v_c(\delta)$.

Se define como **porcentaje de declinación** (P) o inclinación a:

$$P = (V_i - v_o(\delta)) / V_i = (1 - e^{-\delta/\tau_p}) \cdot 100 \quad (11.9)$$

Cuando $\delta \ll \tau_p$, P es muy pequeño y podemos hacer un desarrollo en serie de Taylor de la exponencial, del que tomamos sólo el término lineal; con lo que el valor aproximado de P es:

$$P \approx (\delta / \tau_p) \cdot 100 \quad (11.10)$$

Este coeficiente P tiene gran importancia para juzgar la reproducción de ondas cuadradas cuando existe limitación de la respuesta en bajas frecuencias.

Respuesta en el tiempo de otros circuitos R-C

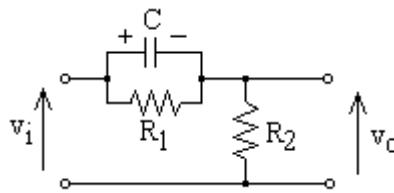


Fig. 11.23

Se vio que para los circuitos R-C simples se podía establecer una relación inmediata entre la respuesta en frecuencia y la respuesta en el tiempo. En los circuitos de tipo pasa-altos, donde las altas frecuencias

pueden transmitirse bien, cuando se hace la respuesta en el tiempo al escalón resulta que en el flanco del escalón la respuesta es perfecta, pero en la parte plana la respuesta va bajando hasta anularse dado que el circuito simple no responde a la continua.

En circuitos con un capacitor y varios resistores es posible lograr una respuesta no nula para la continua; utilizando, por ejemplo, la configuración de la figura. En los flancos (donde pesan las componentes de Fourier de alta frecuencia que conforman la señal escalón), toda la señal pasa por el capacitor que se comporta como un cortocircuito; mientras que en la parte plana del escalón (frecuencia nula) el circuito se comporta como un divisor resistivo (el capacitor está abierto).

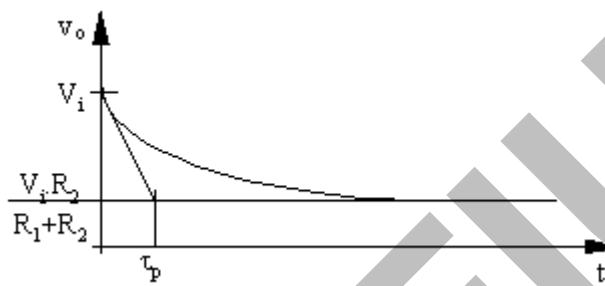


Fig. 11.24

Como en los otros casos, la constante de tiempo del circuito surge de plantear la resistencia equivalente de Thévenin vista desde los terminales del capacitor: $\tau_p = C \cdot (R_1 // R_2)$. La respuesta al escalón de este circuito es la que se indica en el gráfico.

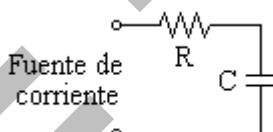


Fig. 11.25

Si se aplica un pulso a cualquier circuito R-C excitado con una fuente de tensión, normalmente el capacitor se va a descargar una vez que termina el pulso. Por lo tanto, una vez eliminado el pulso y pasado el segundo transitorio, la tensión debe llegar a cero obligatoriamente siempre que el capacitor tenga una camino de descarga.

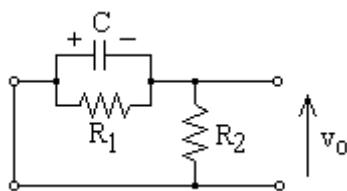


Fig. 11.26

Un caso en donde podría no llegar a cero es el del circuito de la figura, en el que el capacitor se carga con una fuente de corriente, que en algún momento se quita del circuito. En principio, el capacitor no podrá descargarse excepto por sus propias pérdidas. Por lo tanto, una

vez eliminado el pulso de corriente el capacitor quedará con tensión permanente en sus bornes.

Si en el circuito anterior (con R_1 , R_2 y C) se hubiese aplicado un pulso de duración $\delta >> \tau_p$ en lugar de un escalón, en el instante δ se tendría un determinado valor de tensión de salida $v_o(\delta^-)$. Cuando sobreviene el escalón negativo, la tensión en el capacitor no puede variar en forma instantánea y por lo tanto, como ya habíamos visto, se cumple que: $v_c(\delta^-) = v_c(\delta^+)$. A la entrada aparece un cortocircuito y toda la tensión del capacitor, con la polaridad indicada $v_c(\delta)$, aparece en los extremos de salida. Por lo tanto debe aparecer en el valor de la tensión de salida v_o un salto de tensión para que se cumpla la condición impuesta por el capacitor: $v_c(\delta^-) = v_c(\delta^+)$. La tensión de salida debe pegar un salto, la corriente puede pegar un salto, pero como dijimos la tensión en el capacitor se tiene que mantener.

En $t = \delta^-$:

$$v_c(\delta^-) = V_i - v_o(\delta^-)$$

$$v_o(\delta^-) = V_i \cdot R_2 / (R_1 + R_2)$$

En $t = \delta^+$:

$$v_c(\delta^+) = v_c(\delta^-)$$

$$v_o(\delta^+) = v_c(\delta^+)$$

Salto total de v_o en $t = \delta$:

$$v_o(\delta^-) + v_c(\delta^+) = V_i$$

Una vez alcanzada esta condición, con la misma constante de tiempo, el capacitor se descargará. El salto de tensión en la entrada se reproduce exactamente en la salida. El salto total que se tiene en la entrada es V_i y el que se tiene en la salida también es V_i ya que es $v_o(\delta^-) + v_c(\delta^+) = v_o(\delta^-) + v_o(\delta^+) = V_i$.

Por ejemplo, si se tuviese una resistencia R_3 en serie con el circuito paralelo R_1-C y se aplica un pulso de duración $\delta > 5\tau_p$:

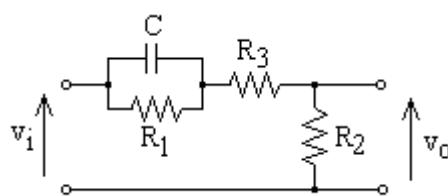


Fig. 11.27

$$v_o(t=0) = V_i \cdot R_2 / (R_2 + R_3)$$

$$v_o(t \rightarrow \infty) = V_i \cdot R_2 / (R_1 + R_2 + R_3)$$

En el instante inicial ya se tiene un divisor resistivo y por lo tanto el salto inicial será menor que V_i . La constante de tiempo será:

$$\tau_p = C \cdot [R_1 // (R_2 + R_3)]$$

Cuando se produce el salto en la entrada (hay un cortocircuito) el capacitor tendrá una tensión:

$$v_c(\delta^-) = V_i \cdot R_1 / (R_1 + R_2 + R_3) = v_c(\delta^+)$$

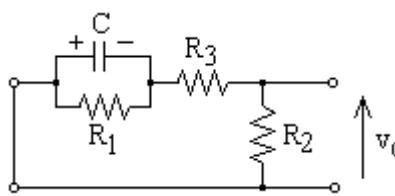


Fig. 11.28

En el momento de cortocircuitar la entrada el resistor R_1 no influye y el capacitor tendrá una tensión $v_c(\delta^-)$ que quedará aplicada al divisor formado por R_3 y R_2 .

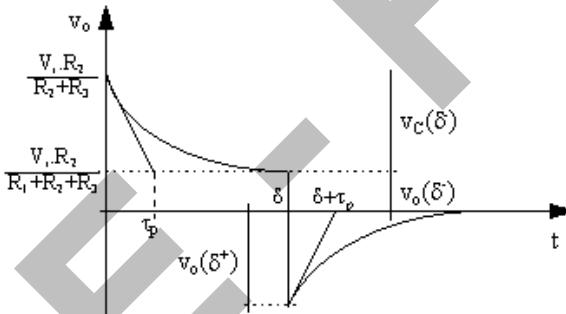


Fig. 11.29

Si $\delta >> \tau_p$:

$v_c(\delta) = V_i \cdot R_1 / (R_1 + R_2 + R_3)$, pues si $v_c(0) = 0$ se cargará como:

$$v_c(t) = [V_i \cdot R_1 / (R_1 + R_2 + R_3)] (1 - e^{-t/\tau_p})$$

donde $e^{-t/\tau_p} \ll 1$ cuando $\delta >> \tau_p$.

Por lo tanto:

$$v_o(\delta^+) = -v_c(\delta) \cdot R_2 / (R_2 + R_3) = -[V_i \cdot R_1 / (R_1 + R_2 + R_3)] \cdot [R_2 / (R_2 + R_3)]$$

Si se calcula el salto completo, dará el mismo valor que el salto en el instante inicial:

$$v_o(\delta) + v_o(\delta^+) = v_o(0): \text{salto inicial a la salida}.$$

Por lo tanto, el análisis de cualquiera de estos circuitos - ya sea en la respuesta al escalón o al pulso con $\delta >> \tau_p$ - se basa en divisores resistivos.

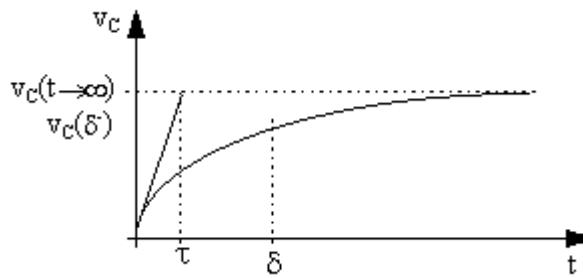


Fig. 11.30

En caso de no cumplirse $\delta >> \tau_p$ (es decir que $\delta < 5\tau_p$) habrá que plantear las expresiones de carga y descarga del capacitor para poder llegar al resultado.

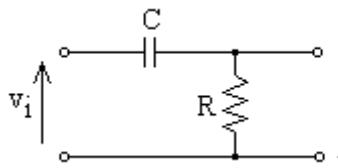


Fig. 11.31

Como todas las respuestas de circuitos con un sólo capacitor van a ser exponenciales, en todos los casos se podrá definir la constante de tiempo asociada al circuito como: $\tau_p = C.R_{Thevenin}$

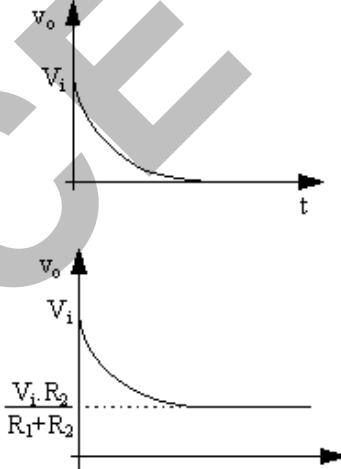


Fig. 11.32

Con τ_p se plantean las ecuaciones de carga o descarga y si queremos hallar el valor de la tensión sobre el capacitor en el instante del salto $v_c(\delta')$, particularizamos la ecuación en ese instante.

Evidentemente debe relacionarse en forma más o menos simple la respuesta en el tiempo con la localización de los polos y ceros en el plano complejo. Por ejemplo, el circuito de la figura (pasa-altos simple)

tiene un cero en el origen y un polo determinado dado por la inversa de la constante de tiempo correspondiente. Como tiene un cero en el origen, la respuesta al escalón tendrá que ser como la que se indica y que ya habíamos visto al analizar este pasa-altos simple.

El circuito reproduce en la salida el flanco presente en la entrada, pero la salida tiende a anularse a medida que el capacitor se carga (por el cero en el origen). Recordemos que por el Teorema del Valor Final, la respuesta al escalón del circuito para $t \rightarrow \infty$ está asociada a la función transferencia para $s \rightarrow 0$. En cambio, si se tiene una resistencia R_1 en paralelo con el capacitor, el cero se desplaza y ya no está en el origen ($s_0 = -(R_1 \cdot C)^{-1}$), por lo que la respuesta en el tiempo tendrá que ser como se ve en la figura, donde puede apreciarse que la salida no tiende a cero (el valor final está dado por el divisor resistivo formado).

Análogamente, se puede plantear para todos los tipos de circuitos R-C una relación entre la respuesta en el tiempo y la ubicación de las raíces del denominador y del numerador de la transferencia en el plano complejo.

11.2. Análisis de la respuesta en un osciloscopio

Colocando una onda cuadrada de $\delta >> \tau_p$ se puede encontrar la respuesta al escalón y variando la frecuencia es posible hallar la forma de la respuesta para diferentes relaciones entre $T/2$ (semi-período de la señal de entrada) y τ_p .

La forma normal de hallar la respuesta en frecuencia de un circuito determinado consistiría en excitarlo con una onda senoidal pura de frecuencia variable y obtener la salida para cada posible valor de frecuencia. Haciendo la relación entrada-salida en amplitud o en valores eficaces se puede obtener el módulo de la transferencia en función de la frecuencia y con el ángulo de desfasaje entre entrada y salida se conseguirá el argumento de la transferencia.

Sin embargo, si lo que pretendemos es juzgar rápidamente cómo es la respuesta, es decir si hay problemas en altas o bajas frecuencias, una forma rápida de hacerlo es colocar una onda cuadrada y observar la respuesta en el tiempo en el osciloscopio. Si la respuesta a los flancos crece lentamente, evidentemente hay problemas en altas frecuencias; mientras que si la respuesta decae en la parte plana de la señal de entrada, habrá problemas en bajas frecuencias. Incluso pueden llegar a cuantificarse las frecuencias de corte del circuito, simplemente encontrando el tiempo de crecimiento (rise time) para el caso en que haya limitación para altas frecuencias o bien hallando el porcentaje de declinación en circuitos con limitaciones en bajas frecuencias. A partir del porcentaje de declinación puede encontrarse la constante de tiempo del circuito para bajas frecuencias (definimos: $P \cong (\delta / \tau_p) \cdot 100$) y con ella la frecuencia de corte en bajas frecuencias. En el otro caso, con el

rise time obtenemos el τ_p de altas frecuencias (ya que $\tau_r \approx 2,2 \cdot \tau_p$) y de ese valor deducimos la frecuencia de corte en alta frecuencia.

Todo lo visto se analizó para un sólo elemento reactivo, que tenía buena respuesta en altas o bajas frecuencias. Podemos tener un circuito como el de la figura, con efectos combinados de problemas en bajas y altas frecuencias. Qué se entiende por frecuencia alta o baja dependerá de los valores relativos de los resistores y los capacitores. A una frecuencia para la cual C_1 se comporta prácticamente como un circuito abierto, es decir que la reactancia de C_1 a esa frecuencia es mucho mayor que R_1 , evidentemente C_2 puede comportarse como un circuito abierto, como un cortocircuito, o bien estar actuando simultáneamente con R_2 . Supongamos que a una frecuencia determinada la reactancia de C_1 es mucho mayor que R_1 ($X_{C1} >> R_1$). Se puede admitir entonces que, a esa frecuencia, toda la corriente circula por R_1 . Si hallamos ahora el valor de la reactancia de C_2 puede darse alguno de estos tres casos:

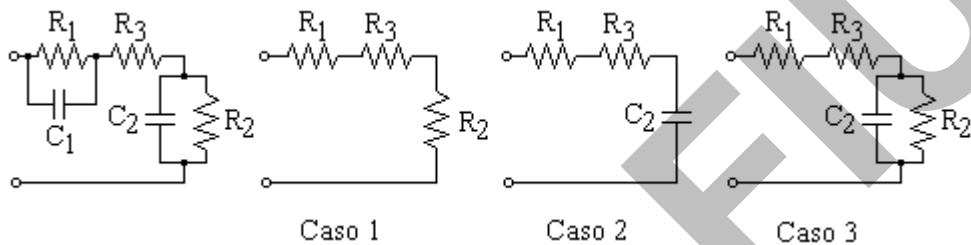


Fig. 11.33

Caso 1 : $X_{C2} \gg R_2 \rightarrow C_2$ todavía se comporta como un circuito abierto.

Caso 2 : $X_{C2} \ll R_2 \rightarrow C_2$ se comporta casi como un cortocircuito.

Caso 3 : $X_{C2} \sim R_2 \rightarrow Z = R_2 // X_{C2}$.

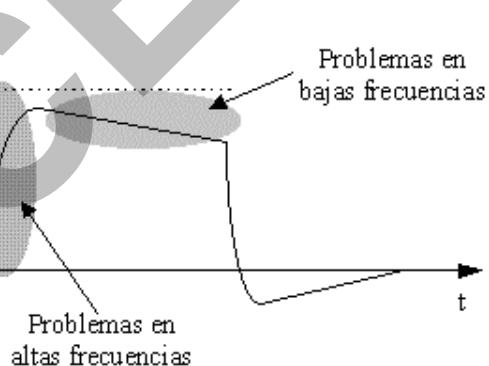


Fig. 11.34

Cuando se tienen varios elementos reactivos pueden llegar a construirse diferentes circuitos equivalentes, según sea la incidencia de esos elementos reactivos en el circuito. Un proceso análogo se podría hacer para $X_{C1} \ll R_1$, donde quedaría en la rama serie C_1 y R_3 o para el caso en que sean comparables ($X_{C1} \sim R_1$). Para el caso particular en que las reactancias de ambas ramas sean del mismo orden que las resistencias, habrá problemas tanto en altas como en bajas frecuencias.

Al colocar una onda cuadrada cuya frecuencia es tal que para la onda senoidal fundamental no se puede despreciar el efecto de ninguno de los capacitores, en la respuesta a esa señal habrá problemas en bajas y altas frecuencias. Dependerá de la relación entre los capacitores y los resistores asociados el hecho de poder hacer un análisis simple o deber tener en cuenta la incidencia simultánea de ambos capacitores.

En gran parte de los circuitos amplificadores se encuentran capacitores cuya influencia sobre la respuesta en frecuencia se hace sentir en rangos de frecuencias muy alejados. Esto ocurre porque normalmente los efectos en frecuencias bajas son causados por capacitores (en general del orden de 1 a 1000 μF) que están en serie con el camino principal de la corriente (estos son los capacitores de acople y desacople); en tanto que el problema a altas frecuencias es causa de las capacitancias asociadas al dispositivo y las parásitas del conexionado (en general del orden de algunos a cientos de pF). Todas estas capacitancias están en paralelo con el camino principal de la corriente. Esto significa que se pueden separar los efectos de unos y otros capacitores. Al hacerlo para el circuito analizado, en frecuencias altas podemos considerar sólo el efecto de C_2 , suponiendo que el capacitor C_1 todavía no influye en la respuesta y se comporta como un cortocircuito. Por otro lado, en bajas frecuencias, podrá admitirse que C_1 tiene una reactancia comparable a R_1 y que C_2 se está comportando como un circuito abierto. En otras palabras lo que podemos hacer es separar el efecto de los capacitores que influyen en alta y baja frecuencia, dejando un rango en el cual la respuesta es independiente de la frecuencia.

Excepto en amplificadores que utilizan circuitos resonantes L-C o circuitos realimentados con capacitores, que permiten tener efectos de tipo resonante (o sea polos complejos conjugados), en circuitos con polos reales en general puede separarse la respuesta en frecuencia, consiguiendo en el centro una banda donde se puede admitir respuesta plana. En los casos donde no existe una banda de respuesta plana hay que hacer un análisis particular. Normalmente en los amplificadores no sintonizados se pretende tener un rango de frecuencias medias donde la respuesta permanece plana. Este rango es aquel donde se desprecian todos los efectos reactivos. Generalmente los capacitores que están en serie con el camino principal de la señal se consideran cortocircuitos y aquellos que están en paralelo serán circuitos abiertos.

11.3. Respuesta a un tren de pulsos en estado estacionario

Incluiríremos aquí un método que permite calcular cuantitativamente la respuesta a un tren de pulsos en estado estacionario (una vez transcurrido el transitorio inicial). El circuito que utilizaremos es el de la figura, que como ya vimos tiene un cero y un polo finitos. Recorremos que sus valores son:

$$\tau_p = C \cdot [R_1 // (R_2 + R_3)] \quad \text{y} \quad \tau_o = C \cdot R$$

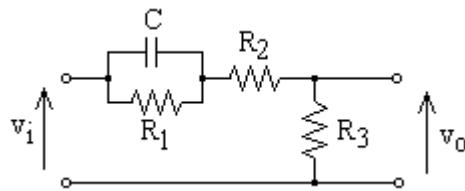


Fig. 11.35

Las transferencias para frecuencia nula y frecuencia tendiendo a infinito se calculan fácilmente y resultan (tal como antes se vió):

$$T(0) = R_3 / (R_1 + R_2 + R_3) \text{ y } T(\infty) = R_3 / (R_2 + R_3)$$

La excitación será un tren de pulsos con la forma que se indica en la Fig. 11.36 (la señal de entrada es una onda rectangular de período T con un ciclo útil del 50% y con una tensión máxima igual a V_i). La señal en la salida, v_o , tendrá la forma indicada, en donde se han marcado los puntos significativos. El valor medio de la salida es:

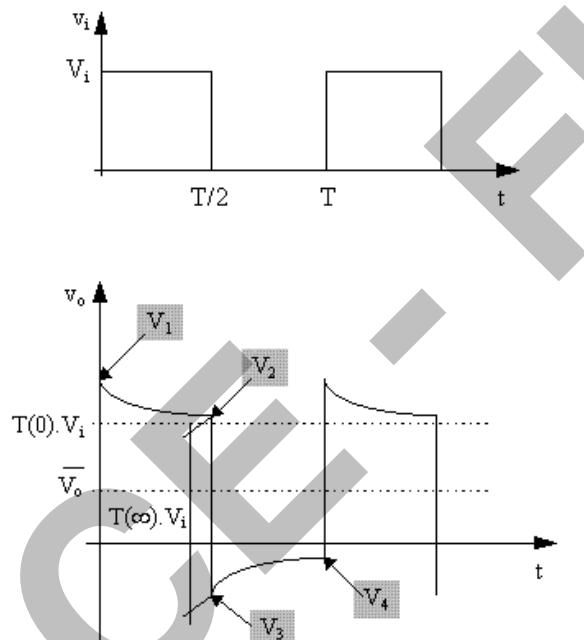


Fig. 11.36

$$\bar{V}_o = \bar{V}_i \cdot T(0)$$

En este caso $\bar{V}_i = \overline{V_i} / 2$ y entonces: $V_o = (V_i / 2) \cdot T(0)$

La ecuación que describe a v_o entre los instantes $t = 0$ y $t = T/2$ es:

$$v_o(t) = [V_1 - V_i \cdot T(0)] \cdot e^{-t/\tau_p} + V_i \cdot T(0)$$

Como se indica, la amplitud del salto puede calcularse como el salto en la señal de entrada por la transferencia para frecuencia infinita: $T(\infty) \cdot V_i$. Con esto y evaluando la expresión de $v_o(t)$ en el instante del salto podemos calcular el valor de V_1 y V_3 .

Por ejemplo: $V_3 = v_o(T/2) - T(\infty) \cdot V_i$.

LACE - FIUBA

A0.8 - Respuesta en frecuencia de circuitos amplificadores

12.- Respuesta en frecuencia de circuitos amplificadores

Comenzaremos el análisis a partir de una etapa emisor-común:

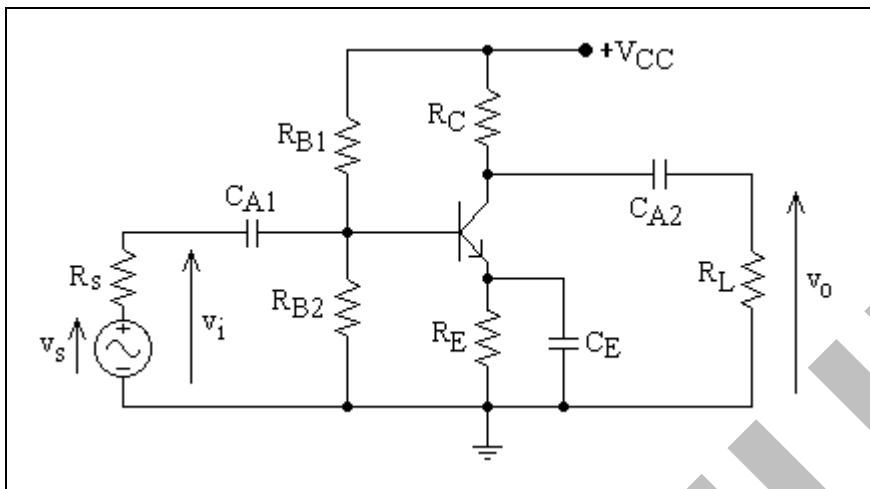


Fig. 12.1

De acuerdo al rango de frecuencias de trabajo, se podrán hacer tres modelos equivalentes:

- 1- Bajas frecuencias: influyen los capacitores de acople o desacople.
- 2 - Frecuencias medias: donde no hay efectos reactivos.
- 3 - Altas frecuencias: influyen C_π y C_μ (o en el caso de un FET las capacidades de gate-source C_{gs} y gate-drain C_{gd}) y las capacidades parásitas del conexionado o las referidas al sustrato en un circuito integrado.

nota: f_L puede no existir (circuitos amplificadores de CC) en cambio, f_H debe existir. A altas frecuencias siempre algún capacitor parásito que se cortocircuita y rompe todo. Lo pongo pq suena a pregunta de examen

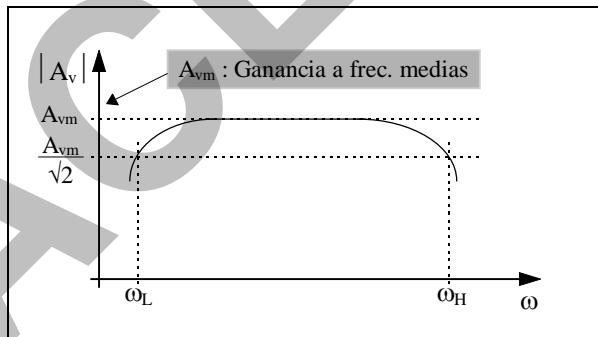


Fig. 12.2

Normalmente, nos va a interesar encontrar el valor de las frecuencias de corte inferior y superior que limitan la zona de banda plana, f_L y f_H , respectivamente (o bien ω_L y ω_H si hablamos en términos de pulsaciones). No va a importar en el análisis de amplificadores de audio comunes qué es lo que ocurre antes de ω_L o después de ω_H . En los casos en que interesa toda la respuesta en frecuencia, no habrá otro remedio que resolver el circuito completo aplicando las técnicas usuales de mallas o nodos o mediante simulación. Para un análisis

simple, lo que interesa fundamentalmente es ubicar ω_L y ω_H y lo que nos va a importar será ver lo que ocurre en los alrededores de ω_L y ω_H .

12.1. Análisis para bajas frecuencias

El circuito equivalente es el siguiente:

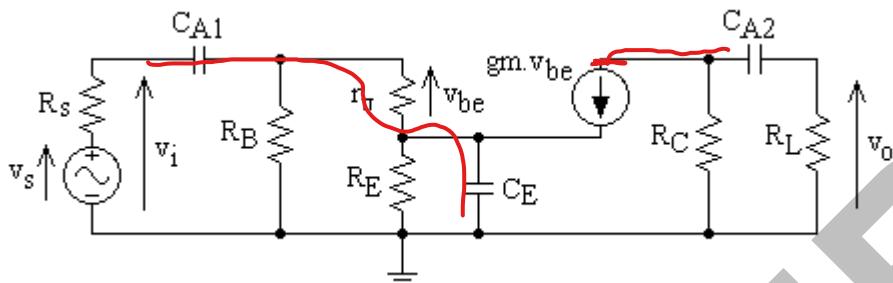


Fig. 12.3

Si no se consideran ni r_μ ni r_o , el C_{A2} queda totalmente aislado del circuito de entrada dado que aparece una impedancia infinita (la de la fuente de corriente del modelo), y por lo tanto no va a interactuar con C_{A1} y C_E . Es decir, C_{A2} no tendrá influencia en la ubicación de los polos y ceros impuestos por estos capacitores.

Pero C_{A1} y C_E están ligados por medio de un circuito en donde C_{A1} y C_E no pueden reducirse de ningún modo, ni pueden separarse sus efectos. Lo que sí podría ocurrir es que su influencia comience a frecuencias muy distintas.

En este análisis nos podemos encontrar con lo siguiente:

1 - Si para $\omega = \omega_L$ se puede admitir, por ejemplo, que C_E es un cortocircuito y el único que influye es el capacitor C_{A1} , la resolución del problema es muy simple, porque calculamos ω_L como el recíproco de la constante de tiempo asociada a C_{A1} y suponemos que C_E se comporta como un cortocircuito para la zona de frecuencias que se está estudiando. En este caso, evidentemente no hay interacción, por lo menos en la zona de interés.

2 - Podría ocurrir que para $\omega = \omega_L$, C_{A1} se comporte como un cortocircuito y entonces el efecto del corte está provocado por C_E . El capacitor C_{A1} actúa a frecuencias mucho más bajas. Entonces se obtiene el valor de ω_L del circuito considerando a C_{A1} como un cortocircuito.

Si la frecuencia para la que comienza a influir C_{A1} es por lo menos diez veces menor que la frecuencia para la que comienza a influir C_E , puede considerarse algo como la anterior y simplificar el sistema (punto 2). Análogamente, si la frecuencia para la cual influye C_{A1} es mucho mayor que aquella a la que influye C_E se puede considerar la otra simplificación comentada en el punto 1. Sin embargo, lo normal es

que C_{A1} y C_E interactúan y los polos y ceros pueden depender de ambos capacitores.

Si bien la frecuencia del polo impuesto por C_{A2} podrá calcularse en forma independiente, habrá que buscar un método para poder estimar la frecuencia de corte inferior del circuito, que es lo que interesa.

Se podría obtener una frecuencia de un polo equivalente del circuito de entrada en forma rápida admitiendo un corto en alguno de los dos capacitores, y una frecuencia del polo (en este caso, verdadero) del circuito de salida. Si están muy separadas, nos quedamos con la mayor. Pero si no están muy separadas hay que buscar algún método que permita encontrar la frecuencia de corte inferior del circuito (por ejemplo, en forma gráfica mediante el diagrama de Bode).

12.2. Análisis para altas frecuencias

En este caso, el circuito equivalente es:

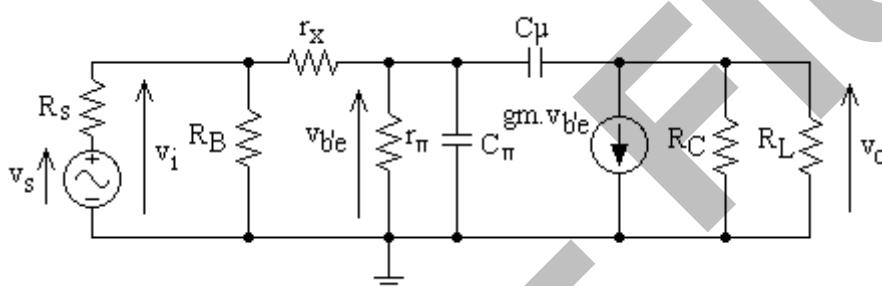


Fig. 12.4

En este caso, los capacitores en serie con el camino de la señal se van a comportar como cortocircuitos. r_o y r_μ normalmente van a ser despreciables. Lo que en cambio no va a ser despreciable en el estudio en alta frecuencia de los TBJ, es la resistencia r_x . En bajas frecuencias se la puede despreciar perfectamente, aunque en altas hay que tener en cuenta que la impedancia formada por r_π y C_π decrece con la frecuencia y por lo tanto el efecto de r_x se hace mucho más notable. Cuando no se tiene el valor de r_x , lo que se hace es despreciarla y tener una respuesta aproximada que en algunos casos puede tener una diferencia apreciable con la real; o bien la estimamos con un valor más aproximado al real (en general, de decenas a cientos de ohms). → LPM
Por eso
también con
tx

En un circuito como el anterior nos encontramos con que C_π y C_μ influyen en el mismo rango de frecuencias e interactúan. Por lo tanto habrá que llegar a una expresión de la transferencia completa para encontrar los polos y ceros dados por ambos capacitores.

El estudio completo nos va a llevar al planteo de tres nodos si se tiene en cuenta r_x y su resolución no es simple. Si la etapa en emisor común está acoplada a otras etapas, la complicación será aún mayor pues en la impedancia de carga de una etapa intermedia aparecerá la

El Bode
en ero es
mcho, com
z valores
me alcanza

influencia de las capacitancias de la siguiente (incluyendo las parásitas del conexionado, pistas de impreso y/o layout del circuito integrado).

Como normalmente va a interesar obtener ω_L y ω_H , y no el diagrama de Bode completo, se desarrollaron métodos que permiten encontrar en forma más simple ω_L y ω_H , tratando de hallarlos por inspección del circuito. Se buscará calcular la resistencia de Thevenin vista desde los terminales de los capacitores y de esa forma obtener una idea de los valores de las frecuencias de corte en forma aproximada en función de las constantes de tiempo asociadas a esos capacitores.

Para calcular ω_L y ω_H se plantea una transferencia genérica con "n" capacitores (en nuestro caso será n=3), y se tratará de encontrar una relación simple entre los coeficientes del polinomio del denominador de esa transferencia con ω_L y ω_H .

Planteamos un circuito genérico con tres capacitores que no pueden reducirse en sus efectos en cuanto a la creación de polos y ceros. Esto equivale a decir que no existe un camino compuesto exclusivamente por capacitores, con lo cual cada capacitor crea un polo y un cero en forma independiente.

Para un circuito con tres capacitores la transferencia será del tipo:

$$T(s) = \frac{V_o(s)}{V_i(s)} = K \cdot \frac{(s-s_{o1}).(s-s_{o2}).(s-s_{o3})}{(s-s_{p1}).(s-s_{p2}).(s-s_{p3})} \quad (12.1)$$

donde K, tal como está expresada esta ecuación, representa la transferencias para frecuencia tendiendo a infinito; es decir a frecuencias mucho mayores que todos los polos y ceros del sistema.

Se supondrá que tanto para el circuito equivalente de bajas frecuencias como para el de frecuencias altas puede escribirse una expresión análoga de T(s) con tres capacitores cada una, que influyen en dicho rango de frecuencias. Se considerarán seis capacitores en total que pueden ser C_{A1} , C_{A2} y C_E , a bajas frecuencias y C_π , C_μ y C_L (capacidad parásita en paralelo con la carga o correspondiente a una capacidad de entrada de la etapa siguiente), a frecuencias altas.

Desarrollando el denominador vamos a tratar de encontrar ciertas condiciones bajo las cuales ω_H puede expresarse como la relación entre distintos coeficientes del denominador y las condiciones bajo las cuales ω_L también puede expresarse como relación de coeficientes del denominador (*los coeficientes serán distintos pues responden a circuitos distintos*).

Antes de desarrollar el denominador de T(s), y para que no aparezcan muchos signos negativos, reemplazamos los polos por los

valores de pulsación correspondientes. *Todo lo siguiente es válido siempre que se tengan polos reales ubicados en el semieje negativo.*

Para $s_{p1} = -\omega_{p1}$, $s_{p2} = -\omega_{p2}$, $s_{p3} = -\omega_{p3}$:

$$T(s) = \frac{V_o(s)}{V_i(s)} = K \cdot \frac{(s-s_{o1})(s-s_{o2})(s-s_{o3})}{(s+\omega_{p1})(s+\omega_{p2})(s+\omega_{p3})} = K \cdot \frac{(s-s_{o1})(s-s_{o2})(s-s_{o3})}{s^3 + a_2 \cdot s^2 + a_1 \cdot s + a_0}$$

donde:

a_0 : Producto de los polos $\rightarrow a_0 = \omega_{p1} \cdot \omega_{p2} \cdot \omega_{p3}$

a_1 : Suma de los productos de los polos tomados de a dos \rightarrow

$$a_1 = \omega_{p1} \cdot \omega_{p2} + \omega_{p1} \cdot \omega_{p3} + \omega_{p2} \cdot \omega_{p3}$$

a_2 : Suma de los polos $\rightarrow a_2 = \omega_{p1} + \omega_{p2} + \omega_{p3}$

Para hallar ω_H vamos a hacer las siguientes consideraciones:

1 - La pulsación de corte ω_H es menor que los polos: $\omega_H < \omega_{pj}$.

2 - Los ceros están muy por encima de ω_H : $\omega_{oj} \gg \omega_H$.

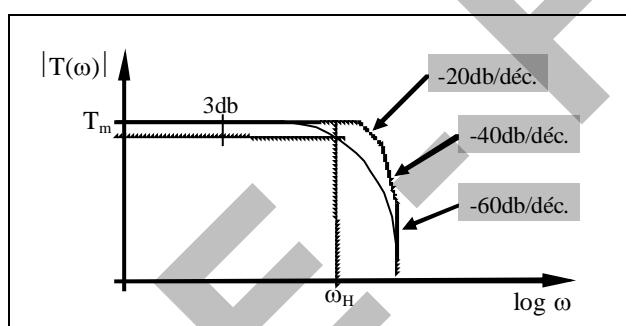


Fig. 12.5

Esta segunda consideración tiene justificación en la práctica, ya que generalmente en los circuitos los valores de los ceros están bastante por encima del ω_H correspondiente.

De acuerdo a estas hipótesis, la característica de transferencia será similar a la que se indica en la figura, donde los sucesivos cambios de pendiente están originados por la presencia de los polos ω_{p1} , ω_{p2} y ω_{p3} por encima de la pulsación de corte superior ω_H .

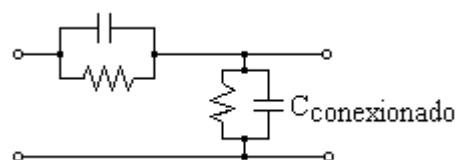


Fig. 12.6

En todo circuito real tendrá que haber un cero para $\omega \rightarrow \infty$, ya que siempre aparecerá una capacitancia en paralelo con todo el circuito debida al conexionado ⁽¹⁾.

Como analizaremos la respuesta en frecuencia, reemplazaremos a la frecuencia compleja 's' por $j\omega$ y hallaremos la respuesta en el eje $j\omega$, dado que el diagrama de Bode se construye a partir de una excitación senoidal.

Vamos a centrar nuestra atención en la respuesta en los alrededores de ω_H , admitiendo que $|s_{o1}|$, $|s_{o2}|$ y $|s_{o3}|$ son mucho mayores que ω_H . En los alrededores de $|s| = \omega_H$ la expresión quedará:

$$T(s) = K \cdot \frac{|s_{o1}| \cdot |s_{o2}| \cdot |s_{o3}|}{s^3 + a_2.s^2 + a_1.s + a_0} \quad (12.2)$$

Como estamos admitiendo que ω_H es inferior a los polos y normalmente los polos se encuentran bastante separados, en general si ω_{p1} está cercano a ω_H –polo dominante–, ω_{p2} y ω_{p3} estarán bastante alejados (o al menos uno de ellos lo estará). Esto implica que en los alrededores de $|s| = \omega_H$, $T(s)$ quedará:

$$T(s) = K \cdot \frac{\omega_{o1} \cdot \omega_{o2} \cdot \omega_{o3}}{a_1.s + a_0} \quad (12.3)$$

Si ω_{p1} , ω_{p2} y ω_{p3} están separados (por lo menos una década) o uno de ellos es mucho mayor que los otros se va a cumplir esta condición en forma prácticamente estricta.

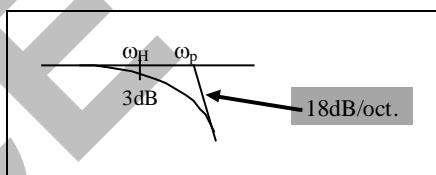


Fig. 12.6

El caso más desfavorable para el cumplimiento de esta condición va a ser cuando los tres polos coincidan (polo triple). Por supuesto que ω_H va a ser menor que el polo triple porque vamos a tener la suma de tres diagramas que caen 6dB/oct. y el resultado va a caer 18dB/oct.

De cualquier manera, ese va a ser el caso en que se presente la máxima desviación con respecto a la aproximación hecha; y el error podrá llegar a estar entre el 20% y el 40%, dependiendo del orden de la ecuación.

⁽¹⁾ Comentario sobre el cero impuesto por $C\mu$ en un emisor-común: Hay una frecuencia para la cual el capacitor toma toda la corriente del generador controlado (es decir que la corriente por la carga es nula). El valor del cero es real y positivo, pero de cualquier manera su valor es muy elevado comparado con el de ω_H .

Normalmente, el ω_H obtenido con las simplificaciones vistas es menor que el ω_H real, y este hecho puede demostrarse si se hace el desarrollo completo de la expresión utilizada. Por lo tanto, adoptando el ω_H menor, siempre se está en condiciones de garantizar la respuesta en frecuencia al menos hasta el ω_H obtenido. Volviendo ahora a la expresión anterior:

$$T(j\omega) = \frac{K'}{a_1 j\omega + a_0} \quad K' = K \cdot \omega_{o1} \cdot \omega_{o2} \cdot \omega_{o3} \quad (12.4)$$

$$s = j\omega$$

surge de inmediato que para frecuencias muy inferiores a ω_H , particularmente para frecuencia cero: $T(0) = K' / a_0 \Rightarrow |T(0)| = K' / a_0$.

Por definición: $|T(j\omega = j\omega_H)| = |T(0)| / \sqrt{2} = K' / (\sqrt{2} \cdot a_0)$. Para que esto se cumpla tendrán que ser iguales la parte real e imaginaria del denominador de T , por lo que $\omega_H \cdot a_1 = a_0$. Finalmente, el valor de ω_H se calculará en forma aproximada como: $\omega_H \approx a_0 / a_1$, ya que las condiciones "1" y "2" enunciadas no siempre se cumplen en forma estricta. El valor de a_0 / a_1 puede obtenerse en base a los valores de los polos del circuito: $(\omega_H)^{-1} \approx a_1 / a_0 = \sum (1/\omega_{pj})$. Y si se cumple que los polos están muy separados entre sí (una década al menos), entonces se tendrá un polo dominante de la respuesta en altas frecuencias, por ejemplo, $\omega_H \approx \omega_{p1}$, donde ω_{p1} correspondería al polo de menor frecuencia de la zona de altas frecuencias.

Para frecuencias bajas se pueden hacer también consideraciones simplificativas. Es decir, si tenemos un cúmulo de polos en la zona de bajas frecuencias, la frecuencia de corte en esa zona va a tener que ser superior a todos los polos, siempre que los ceros estén por debajo de los polos (es decir mientras los ceros no estén intercalados con los polos como para influir en la forma de la respuesta).

Si tenemos tres polos y los ceros están muy por debajo, al sumar las tres curvas, la frecuencia de corte resultará como se muestra en Fig. 12.7.

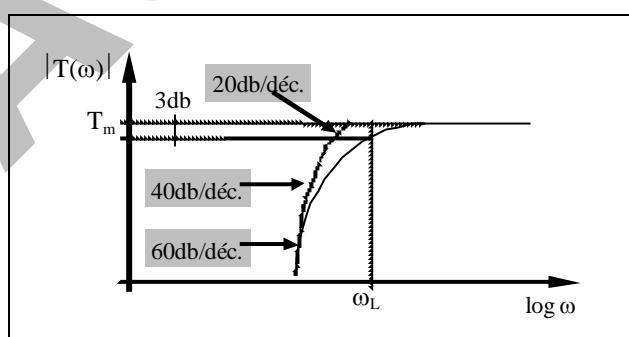


Fig. 12.7

Para hacer una aproximación de la respuesta en bajas frecuencias se va a admitir que todos los ceros están muy por debajo de ω_L y que ω_L es mayor que todos los polos. Con todos los ceros por debajo de ω_L , en

los alrededores de $|s| = \omega_L$ se pueden despreciar s_{o1} , s_{o2} y s_{o3} y la expresión que se obtiene es la siguiente:

$$T(s) = K \cdot \frac{s^3}{s^3 + a_2 \cdot s^2 + a_1 \cdot s + a_0} \quad (12.5)$$

Queda así una expresión donde se suponen los tres ceros coincidentes en el origen (en realidad, sólo se los supone muy por debajo de ω_L). Esta aproximación se cumple en los circuitos prácticos. Los capacitores de acople C_{A1} y C_{A2} tienen el cero en el origen (impiden el paso de continua a la fuente de señal y a la carga), así que en ese caso no es necesaria la aproximación. La aproximación está en el cero del capacitor de desacople que normalmente estaría bastante por debajo de ω_L ($s_{oCE} = -\omega_{oCE} = -1/R_E \cdot C_E$).

En definitiva, tal como en el cálculo de la frecuencia de corte superior, las consideraciones de simplificación son:

- 1 - La pulsación de corte ω_L es mayor que los polos: $\omega_L > \omega_{pi}$.
- 2 - Los ceros están muy por debajo de ω_L : $\omega_{oi} \ll \omega_L$.

Si se puede admitir que los polos van a estar separados, es decir que normalmente no van a coincidir y en general uno de ellos, por ejemplo ω_{p3} , va a estar cerca de ω_L , existirá un *polo dominante*. Finalmente, con estas simplificaciones la expresión resulta:

$$T(s) = K \cdot \frac{s}{a_2 + s} \quad (12.6)$$

Reemplazando $s = j\omega$:

$$T(j\omega) = \frac{K \cdot j\omega}{a_2 + j\omega} \quad (12.7)$$

Cuando $\omega \rightarrow \infty$, $|T(\infty)| = K$, mientras que en $\omega = \omega_L$, $|T(j\omega = j\omega_L)| = K/\sqrt{2}$. Para que esta condición se cumpla, debe verificarse $\omega_L \approx a_2$.

Finalmente, la forma de obtener ω_L en base a los polos del circuito es: $\omega_L \approx a_2 = \sum \omega_{pi}$

Y si se cumple que los polos están muy separados entre sí (una década al menos), entonces se tendrá un polo dominante de la respuesta en bajas frecuencias, por ejemplo, $\omega_L \approx \omega_{p3}$, donde ω_{p3} correspondería al polo de mayor frecuencia de la zona de bajas frecuencias.

12.3. Método de las constantes de tiempo

Una vez simplificadas las expresiones de las frecuencias de corte inferior y superior bajo las hipótesis enunciadas respecto de la distribu-

ción de polos y ceros, tanto en altas como en bajas frecuencias (admitiendo la existencia de un polo dominante en cada zona, que limita el rango de frecuencias medias), sólo nos resta encontrar una forma de cálculo aproximada del denominador de la transferencia en función de constantes de tiempo fácilmente obtenibles, en lugar de los polos verdaderos del circuito (ya que el valor de cada uno de ellos puede depender de varios capacitores al mismo tiempo). Una método simple resulta de "aislar" cada capacitor de los restantes para así poder obtener constantes de tiempo por simple inspección.

→CLASE 28/04

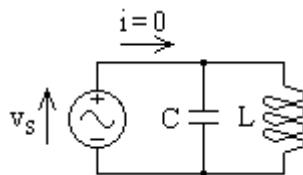


Fig. 12.7

Para determinar las frecuencias propias del sistema (en otras palabras, los polos del sistema) se buscarán aquellas frecuencias para las que se pueden tener tensiones aplicadas sin tener corriente en los terminales. Para ello el sistema tiene que "resonar". Por ejemplo, en un circuito L-C se puede tener tensión sin tener corriente cuando está en resonancia (la resonancia se dará para una pulsación tal que se verifique $\omega = 1/\sqrt{LC}$).

En altas frecuencias, se evaluará cómo influye cada capacitancia (en paralelo con el camino de señal), respecto del comportamiento a frecuencias medias del circuito amplificador. Esto es equivalente a obtener la frecuencia propia o polo que impone cada capacitancia, considerando el resto de capacitancias que influyen en altas frecuencias como circuitos abiertos – *frecuencias ficticias* -. La menor de estas frecuencias ficticias (constante de tiempo mayor), podría considerarse como *dominante* y por lo tanto de corte superior (a 3dB) aproximada. Para el caso en que se tengan constantes de tiempo de valores similares, podría admitirse como valor aproximado una constante de tiempo equivalente resultado de la suma de los valores individuales (como en altas frecuencias el ω_H es menor que el ω de todos los polos correspondientes, obviamente la cte. de tiempo tiene que ser mayor que cada cte. de tiempo por separado y es por ese motivo que τ_H se podría aproximar como la suma de las ctes. de tiempo).

Ahora si
Ento es lo
q'hacemos
en clase

$$\tau_H = 1/\omega_H \approx \sum_j \tau_{j0} \quad (12.8)$$

τ_{j0} : cte. de tpo. debida a la capacitancia C_j , con las restantes como circuitos abiertos.

τ_H sería la *cte. de tiempo equivalente total* presuponiendo que el sistema se comporta con una sola cte. de tiempo o como si tuviese un sólo polo ubicado donde la característica real de la respuesta en altas frecuencias cae en 3dB respecto de su valor a frecuencias medias. A

partir de esta constante de tiempo se calculará el tiempo de crecimiento t_r (rise time).

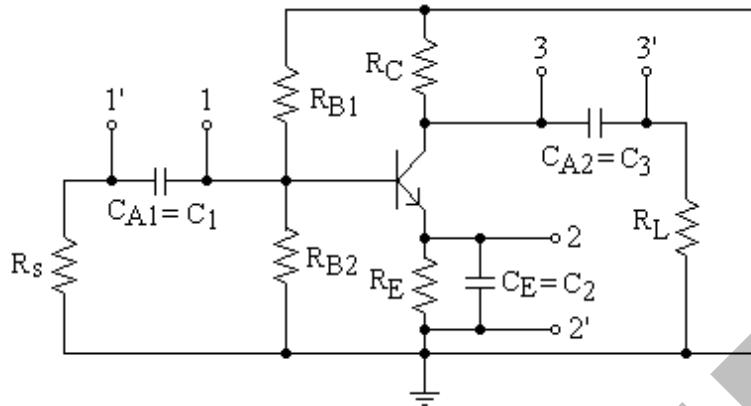


Fig. 12.8

Análogamente, para bajas frecuencias, se evaluará cómo influye cada capacitor externo (en serie con el camino de señal), respecto del comportamiento a frecuencias medias del circuito amplificador. Esto es equivalente a obtener la frecuencia propia o polo que impone cada capacitor, considerando el resto de capacitores que influyen en bajas frecuencias como cortocircuitos – *frecuencias ficticias* -. Es decir, se calcula la cte. de tiempo asociada a cada capacitor obteniendo la resistencia de Thévenin que “ve” entre sus terminales (indicados en la figura). La mayor de estas frecuencias ficticias (constante de tiempo menor), podría considerarse como *dominante* y por lo tanto, de corte inferior (a 3dB) aproximada. Para el caso en que se tengan constantes de tiempo de valores similares, podría admitirse como valor aproximado una frecuencia equivalente, resultado de la suma de los valores individuales (como en bajas frecuencias, el ω_L tiene que resultar superior a todos los polos, o sea que τ_L tiene que resultar menor, podría aproximarse por el paralelo de las ctes. de tiempo).

$$\omega_H = \frac{1}{\sum_j \tau_i}$$

$$\omega_L = \sum_j 1/\tau_i$$

$$\tau_L = 1/\omega_L \approx 1/\sum_j (1/\tau_{js}) \quad \text{WTF} \quad (12.9)$$

τ_{js} : cte. de tpo. debida al capacitor C_j , con los restantes como cortocircuitos. En criollo: primero te fijás qué pasa con cada capacitor. Si ves que da todo muy parecido, sumas (las constantes o sus inversos, según el caso) para asegurar τ_L sería la *cte. de tiempo equivalente total* presuponiendo que el sistema se comporta como si tuviera un sólo polo en bajas frecuencias ubicado donde la respuesta cae 3dB con respecto al valor de frecuencias medias. A partir de τ_L se calculará el porcentaje de declinación P ???

$$\text{Resumiendo: } f_L = \omega_L/2\pi \approx \sum (1/\tau_{js})/2\pi \quad f_H = \omega_H/2\pi \approx 1/(2\pi \cdot \sum \tau_{jo}) \quad (12.10)$$

12.4. Análisis en alta frecuencia para las tres configuraciones

Emisor-común:

El modelo para altas frecuencias, despreciando r_o y r_μ es:

ESTA ES LA PARTE INTERESANTE

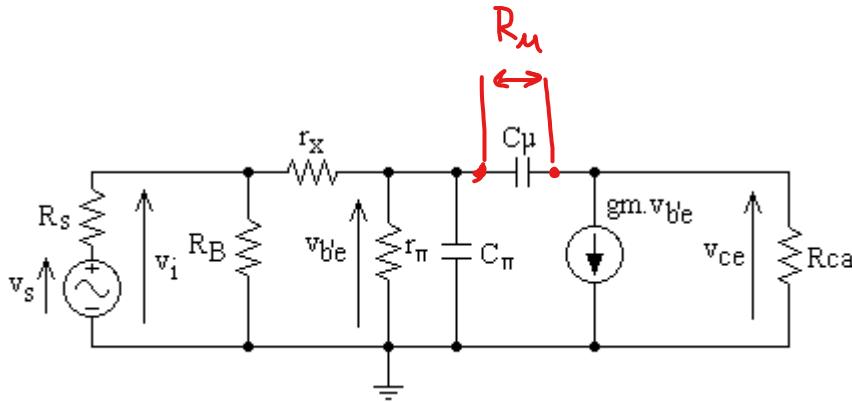


Fig. 12.9

El análisis se efectúa para un circuito con emisor desacoplado, ya que de hacerlo con el emisor sin desacoplar resultaría similar al análisis para colector-común, porque C_π se va a transferir a la entrada del mismo modo. La diferencia es que C_μ en el colector-común está directamente a la entrada y en cambio en el emisor-común realimentado por emisor queda multiplicado por $(1-Av)$, con Av correspondiente a la amplificación de tensión del emisor-común realimentado por emisor. El efecto de r_x se incluirá si es necesario en las expresiones donde apareza $R_{BS} = R_B // R_s$, quedando $R'_{BS} = (R_B // R_s) + r_x$.

Si se aplica directamente la ecuación hallada: $\tau_H \approx \sum \tau_{j_0}$, se tendrá $\tau_H \approx \tau_{\pi_0} + \tau_{\mu_0}$. Donde $\tau_{\pi_0} = C_\pi \cdot (R_{BS} // r_\pi)$ es el τ de la entrada.

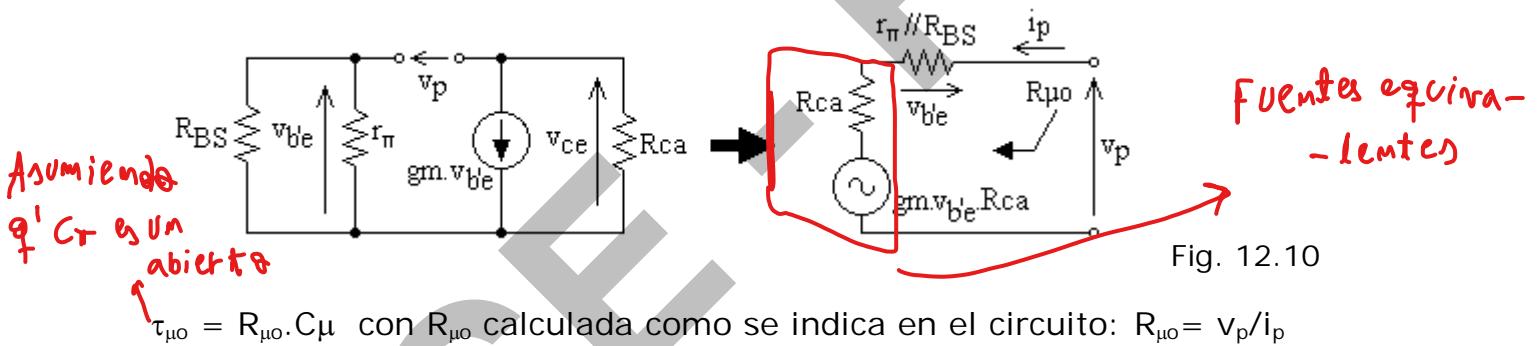


Fig. 12.10

$$\tau_{\mu_0} = R_{\mu_0} \cdot C_\mu \text{ con } R_{\mu_0} \text{ calculada como se indica en el circuito: } R_{\mu_0} = v_p / i_p$$

$$\text{Por lo tanto: } \tau_H \approx \tau_{\pi_0} + \tau_{\mu_0} = C_\pi \cdot (R_{BS} // r_\pi) + C_\mu \cdot [(R_{BS} // r_\pi)(1 + g_m \cdot R_{ca}) + R_{ca}]$$

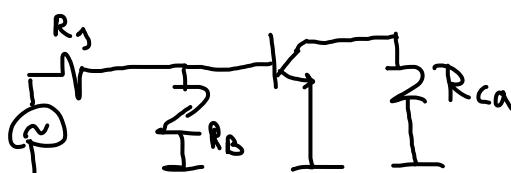
Reordenando esta expresión resulta fácil observar que τ_H puede obtenerse como la suma de una constante de tiempo asociada al nodo de entrada, donde se tendría una capacitancia C_i y una constante de tiempo asociada al nodo de salida, con una capacitancia C_o :

$$\tau_H \approx (R_{BS} // r_\pi) \cdot [C_\pi + C_\mu \cdot (1 + g_m \cdot R_{ca})] + C_\mu \cdot R_{ca}$$

$$\text{En el primer término tenemos: } C_i = C_\pi + C_\mu \cdot (1 + g_m \cdot R_{ca}) ; R_{cio} = R_{BS} // r_\pi$$

$$\text{y en el segundo término: } C_o = C_\mu ; R_{coo} = R_{ca} .$$

De este modo resultará: $\tau_H \approx \tau_{cio} + \tau_{coo}$, donde τ_{cio} es la cte. de tiempo del circuito de entrada considerando la capacitancia C_o abierta, y τ_{coo} es la cte. de tiempo del circuito de salida considerando C_i abierta.



$$Ar = -g_m R_{ca}$$

$$1 - Ar = 1 + g_m R_{ca}$$

Consideradas de hecho estas últimas condiciones, se escribirá directamente: $\tau_H \approx \tau_{CI} + \tau_{CO}$.

Teniendo en cuenta las expresiones anteriores, podemos ver fácilmente que la incidencia de C_μ en la capacitancia de entrada del circuito (C_i) surge de reflejar su valor aplicando la herramienta de reducción por tensión (que en el caso de un capacitor, se conoce como teorema de Miller). Por otra parte, para hallar la incidencia de C_μ en el nodo de salida por inspección podemos aplicar nuevamente la reducción, aunque debe hacerse "mirando" desde la salida del circuito (ya que nos interesa el valor reflejado en ese punto). No se puede reflejar C_μ multiplicándolo por $(1 - Av^{-1})$ como si se "mirase" desde la entrada, porque para hallar τ_{CO} se "mira" desde C_μ reflejado a la salida para encontrar la resistencia de Thévenin sobre la que se descarga $-R_{COO} = R_{ca}$. Por lo tanto, si queremos hallar la capacitancia de salida, el C_μ se va a reflejar por Miller multiplicándolo por $(1 - Av_{INV})$, pero como $Av_{INV} = \mu$, C_μ reflejado a la salida será $C_\mu \cdot (1 - \mu) \approx C_\mu$.

Finalmente, podemos ver que la aplicación del teorema de Miller equivale a descomponer C_μ en una componente para la entrada, $C_\mu \cdot (1 + g_m \cdot R_{ca})$, y en una para la salida, C_μ . A la entrada el polo de C_π y el de C_μ se unifican y a la salida queda un término $C_\mu \cdot R_{ca}$ que muchas veces no se lo va a considerar porque es menor que la constante de tiempo que genera C_μ en la entrada. **Por lo tanto, en una configuración de emisor-común, la constante de tiempo que normalmente dominará la respuesta en altas frecuencias será la de la entrada.**

Base-común:

El esquema circuital es (sin tener en cuenta r_x):

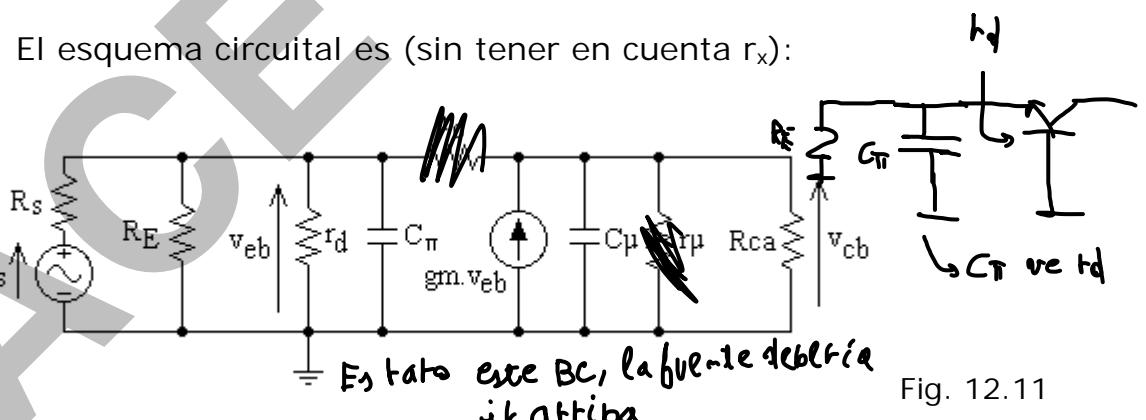


Fig. 12.11

Despreciando r_o , r_μ y r_x se obtienen las siguientes expresiones:

$$\tau_{\pi o} = C_\pi \cdot (R_{ES} // r_d) \quad \text{con } R_{ES} = R_E // R_S \quad \tau_{\mu o} = C_\mu \cdot R_{ca}$$

$$\tau_H \approx \tau_{\pi o} + \tau_{\mu o} = \tau_{CI} + \tau_{CO} = C_\pi \cdot (R_{ES} // r_d) + C_\mu \cdot R_{ca}$$

Colector-común:

No hay q' reflejar mada, S.A.P.E

El circuito es (despreciando r_o , r_μ y r_x):

$$A_{tr} = \frac{R_E A}{1/\beta_m + R_E A}$$

$$1 - A_{tr} = \frac{1/\beta_m}{1/\beta_m + R_E A}$$

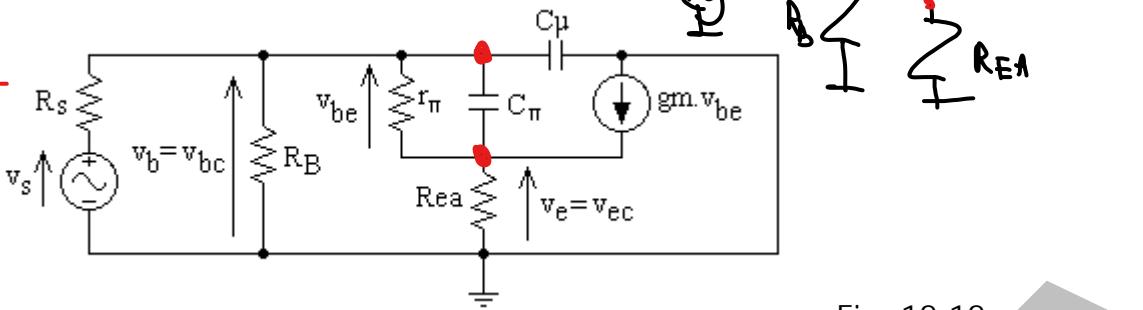


Fig. 12.12

Para determinar las constantes de tiempo por inspección se determinará usando Miller un C_i y un C_o , calculando luego: $\tau_H \approx \tau_{Ci} + \tau_{Co}$.

$$C_i = C_\mu + C_{\pi i}^*; \quad R_{Ci} = (R_{BS} // R_{ib})$$

$$\text{con } C_{\pi i}^* = C_\pi \cdot (1 - A_v) = C_\pi \cdot [1 - (\beta_o \cdot R_{ea}) / (r_\pi + \beta_o \cdot R_{ea})] = C_\pi \cdot r_\pi / (r_\pi + \beta_o \cdot R_{ea})$$

La constante de tiempo a la salida será la del emisor, donde debe reflejarse C_π mirando desde ese terminal del siguiente modo: $C_{\pi o}^* = C_\pi \cdot (1 - A_{v_{INV}})$, siendo $A_{v_{INV}} = R_{BS} / (r_\pi + R_{BS})$. $\rightarrow ?$

$$\text{Con esto: } C_{\pi o}^* = C_\pi \cdot [1 - R_{BS} / (r_\pi + R_{BS})] = C_\pi \cdot r_\pi / (r_\pi + R_{BS})$$

$$\text{Así resultará: } \tau_{Co} = [C_\pi \cdot r_\pi / (r_\pi + R_{BS})] \cdot [R_{ea} // (r_d + R_{BS} / \beta_o)]$$

Finalmente:

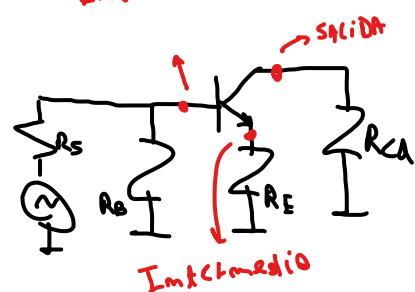
$$\tau_H \approx \tau_{Ci} + \tau_{Co} = \frac{[C_\pi \cdot r_\pi + C_\mu] \cdot (R_{BS} // R_{ib}) + C_\pi \cdot r_\pi [R_{ea} // (r_d + R_{BS} / \beta_o)]}{r_\pi + \beta_o \cdot R_{ea}}$$

Como hemos visto, los cálculos aproximados de las frecuencias de corte se tratarán de hacer por inspección. El método se basa en dividir el circuito en estudio en circuitos parciales asociados a cada nodo del circuito original, y hallar la **capacitancia equivalente entre cada nodo y común** para determinar el valor aproximado de la frecuencia de corte superior. Dicha capacitancia estará formada por la propia que existe entre ese nodo y común más la reflejada por Miller "mirando" desde ese nodo, con la amplificación correspondiente a frecuencias medias. Encontradas estas capacitancias, deberá hallarse la resistencia de Thevenin "vista" desde los extremos de cada una, **considerando a las restantes abiertas**. Es decir, se evalúa en forma aproximada la incidencia de cada capacitancia o grupo de capacitancias equivalentes entre un nodo y común, sobre el comportamiento que tiene el circuito a frecuencias medias. Haciendo el producto de cada capacitancia por su resistencia asociada se tendrá la constante de tiempo asociada a cada nodo.

La constante de tiempo equivalente total τ_H será la mayor de todas las constantes de tiempo, si hay una dominante, o la sumatoria de todas las constantes de tiempo halladas, si son de orden similar o con-

siderando sólo las de mayor valor. El valor aproximado de la frecuencia de corte superior se determinará como: $f_H = 1 / (2\pi \cdot \tau_H)$.

En una etapa en emisor-común o source-común realimentada para la señal alterna por emisor o source, se podrán distinguir tres nodos:



- un nodo de entrada
- un nodo de salida
- un nodo intermedio (emisor/source) - en un base común, el nodo intermedio será la base/gate - .

Se deberán calcular, por lo tanto, tres constantes de tiempo: τ_{ci} , τ_{co} y τ_{cint} (nodo intermedio). En un circuito con varios transistores deberán tenerse en cuenta los nodos de entrada, salida y uno o más nodos intermedios. Estos últimos serán los de acople entre dos etapas sucesivas y los asociados con electrodos que queden sin desacoplar introduciendo realimentación de señal.

12.5. Comparación de la respuesta en alta frecuencia para las distintas configuraciones

Desde el punto de vista de las salidas, para igual R_{ca} ambas salidas tienen la misma respuesta en frecuencia, admitiendo en principio que la resistencia de salida tiene un valor tendiendo a infinito en las dos configuraciones. Se puede admitir que la constante de tiempo calculada para el circuito de salida da una frecuencia de corte relativamente alta. Se deberá analizar entonces lo que pasa en el circuito de entrada, ya que determinará la influencia relativa de la frecuencia de corte alta de la salida.

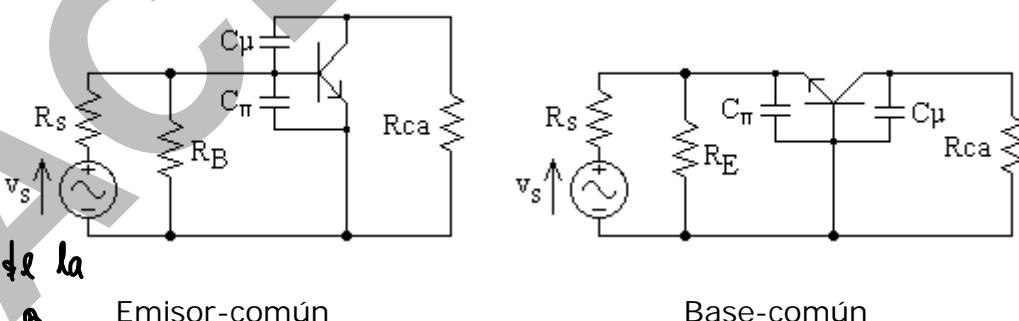


Fig. 12.13

En emisor-común: si se desprecia C_μ , la única capacitancia que queda en la entrada es C_π . Admitiendo que $R_B // R_s >> r_\pi$ quedaría: $\tau = C_\pi \cdot r_\pi = 1 / (2\pi f_\beta)$.

En base-común, admitiendo $R_E // R_s >> r_d$ resulta: $\tau = C_\pi \cdot r_d \approx 1 / (2\pi f_T)$. De acuerdo con esto, la frecuencia de corte superior para el emisor-

común sería f_β , mientras que para el base común sería f_T , por lo que en el emisor-común tendríamos una frecuencia de corte β veces menor que en base-común. Sin embargo, el τ total del circuito de entrada del emisor-común es: $[(R_{BS}+r_x) // r\pi] \cdot [C\pi + C\mu \cdot (1 + g_m \cdot R_{ca})]$.

Si bien R_{BS} baja un poco el valor de $r\pi$, normalmente el $C\mu$ reflejado a la entrada influye mucho más, a menos que la fuente de señal se aproxime a un generador de tensión ideal, pues en ese caso el paralelo entre R_s y $r\pi$ tendería a cero, con lo que la frecuencia asociada a la base subiría mucho y en el caso del TBJ estaría limitada por el valor de r_x .

Normalmente la frecuencia de corte va a resultar inferior a f_β a menos que la fuente de señal se comporte como ideal. Si esto ocurre, para encontrar la verdadera frecuencia de corte habrá que tener en cuenta r_x y se podrá demostrar que $f_x \geq f_\beta$: $f_x = (g_\pi + g_x) / (C\pi \cdot 2\pi)$ es algo mayor que f_β .

Con estas condiciones, la entrada del emisor-común normalmente (excepto cuando se excita con un generador de muy baja impedancia) posee una frecuencia de corte f_b tal que: $f_b \leq f_\beta$, mientras que la entrada de un base-común tiene una frecuencia de corte f_e tal que: $f_e \cong f_T >> f_\beta$.

La f_b del emisor-común en la entrada generalmente es tan baja que la de salida resultará despreciable (el efecto del τ de la salida será dominado por el de la entrada).

En base-común ocurre la situación inversa. Como la entrada tiene una respuesta tan elevada (la constante de tiempo es muy baja), normalmente quien fija la frecuencia de corte superior f_H es el circuito de salida. Sin embargo, la presencia de r_x en el TBJ, hace que deba tenerse en cuenta también el nodo de base. En ese caso, deberán reflejarse a la base ambas capacitancias:

$$- C\pi_b = C\pi \cdot (1 - Av_{seguidor}) \text{ y } C\mu_b = C\mu \cdot (1 - Av_{E-\text{común con Rea}}) -$$

Resumiendo, si suponemos que ambas etapas tienen aproximadamente la misma frecuencia asociada a la salida, mientras que en el emisor-común la entrada tiene una menor frecuencia asociada, la etapa en base-común tiene una respuesta en frecuencia mucho mejor (a menos que la carga tenga una capacidad muy elevada o bien influya el nodo intermedio de base). Por supuesto que siempre hay que considerar que si hay capacidad en la carga de la etapa ésta debe sumarse a $C\mu$ y por lo tanto la frecuencia de corte bajará (la constante de tiempo de la salida es mayor).

La etapa en base-común tiene el problema de la baja impedancia de entrada, por lo que debe colocarse a la entrada alguna otra etapa que adapte impedancias (emisor-común o colector-común).

Si se coloca un emisor-común con alta ganancia aparecen nuevamente los problemas de esta etapa en la respuesta en frecuencia. Si en cambio colocamos un emisor-común de baja ganancia, al reflejar el capacitor C_μ en la entrada su valor no será muy alto, con lo que la capacitancia total de entrada no será tan elevada como para afectar seriamente la respuesta en frecuencia. Los circuitos donde se combinan en cascada emisor-común y base-común, o bien source-común y gate-común se denominan etapas *cascode*.

Colector-común:

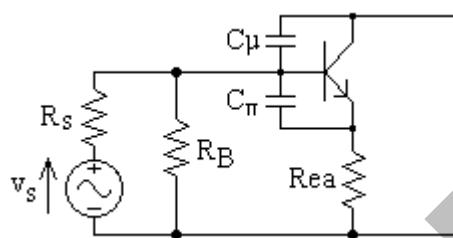


Fig. 12.14

$$C_i = C_\mu + C_{\pi i}^*$$

$$\text{donde } C_{\pi i}^* = C_\pi \cdot (1 - A_{\text{seguidor}})$$

$$\text{Si } R_{ea} \gg r_d \Rightarrow A_{\text{seguidor}} \rightarrow 1 \Rightarrow C_{\pi i}^* \ll C_\pi$$

$$\tau_{ci} = (R_{BS} // R_{ib}) \cdot C_i$$

La R_{cio} es en general alta (aunque depende de R_s) en tanto que C_i es muy baja (en general algo mayor a C_μ si $R_{ea} \gg r_d$). La constante de tiempo de la entrada es normalmente mayor que la de salida de un emisor-común o un base-común; pero en general menor que la de entrada de un emisor-común.

El τ del terminal de emisor será normalmente muy bajo - $\tau_e \approx (2\pi f_T)^{-1}$ - pues la resistencia que se ve desde ese punto es algo mayor que r_d y la capacitancia reflejada será menor que C_π , por lo que la respuesta en altas frecuencias de esta configuración está dominada por el circuito de entrada, y en general será mucho mejor que la respuesta de un emisor-común aunque más pobre que la de un base-común.

Lo q' decía Z., nunca domine el modo de
emisor

LACE' - FIUBA

LACE

FIUBA

**A0.9 – Amplificadores diferenciales
y fuentes de corriente**

13.- El amplificador de continua

El circuito de la Fig. 13.1a, que carece de capacitores de acople y desacople de señal, permitirá el paso de señales sin atenuación, desde frecuencia nula hasta una máxima dada por una frecuencia de corte superior resultante de la influencia de las capacitancias internas del dispositivo transistor y de las parásitas del conexionado y demás componentes (Fig. 13.1b). En este caso, dicho circuito amplificador en configuración emisor común, amplificará señales desde continua (incrementos de una tensión continua). A estos amplificadores se los conoce como *amplificadores de continua*. Observar que en este caso particular, el generador de señal v_i puede acoplarse en forma directa sin alterar el punto de reposo del transistor ya que la tensión de reposo en el terminal de base, es nula.

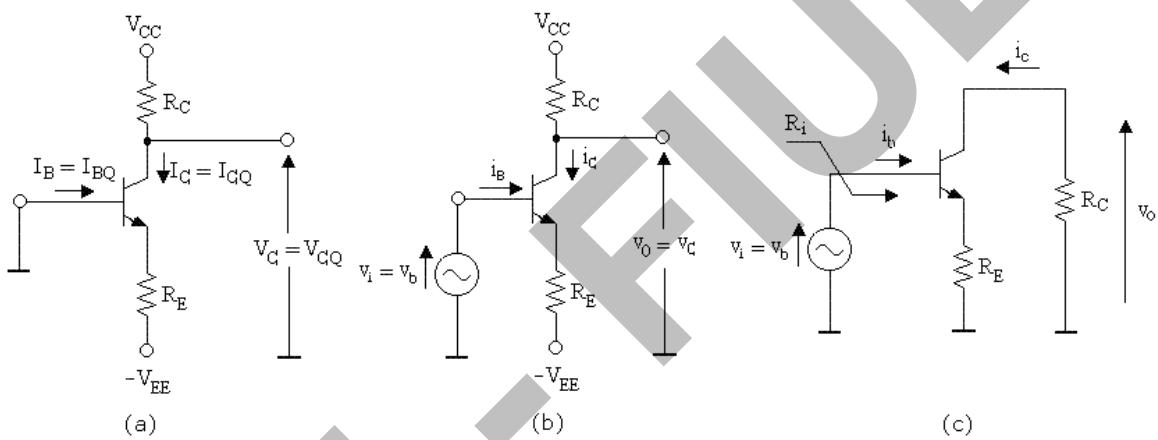


Fig. 13.1

La amplificación de tensión $A_v = v_o/v_i$ para señales incrementales de baja frecuencia, así como el resto de los parámetros de señal del amplificador, pueden obtenerse utilizando el modelo circuital de pequeña señal correspondiente (Fig. 13.1c).

Los valores obtenidos coincidirán con los calculados de evaluar las modificaciones de corrientes y tensiones continuas al aplicar un incremento de continua $\Delta v_i = v_i = v_b = V_{BQ'} - V_{BQ} = V_{BQ'} - 0$, en la base. Como puede verse, el uso de este modelo queda justificado para pequeños incrementos de tensión continua de entrada en régimen estacionario, es decir, una vez extinguidos los transitorios debidos a las capacitancias parásitas del dispositivo activo y del circuito.

Suponiendo que $v_i = 0$, si la temperatura ambiente varía entre 27°C y 37°C (10°C de incremento), el ΔI_{CQ} producido por la variación de V_{BEQ} ($\Delta V_{BE}/\Delta T \approx -2\text{mV}/^\circ\text{C} \Rightarrow \Delta V_{BE} \approx -20\text{mV}$ para un $\Delta T = 10^\circ\text{C}$), provocará un ΔV_{OQ} similar al v_o logrado por una señal v_i del tipo $v_i = +20\text{mV.u}(t)$.

La única alternativa para solucionar los problemas planteados de modo de poder construir amplificadores de pequeños incrementos de tensión continua sin que se vean afectados por la variación térmica de V_{BE} , consiste en lograr que la amplificación de tensión para la señal útil v_i sea mucho mayor que la relación $\Delta V_o / \Delta V_{BE}$ para las variaciones de la tensión de barrera V_{BE} con la temperatura.

Para señales alternas puede lograrse dentro de ciertos límites, ya que basta desacoplar R_E totalmente o en parte. Por supuesto, no se corrige con ello la variación de los parámetros incrementales del amplificador por corrimientos del punto de reposo, ni los recortes en la señal que se pudieran producir.

El corrimiento del punto de reposo por efectos de la variación térmica en un amplificador que puede amplificar también incrementos de continua, se manifiesta directamente como un incremento de continua a la salida dado que no hay en el circuito capacitores de acople ni desacople, no distinguiéndose del debido a una señal útil de continua.

Sin embargo, no se puede eliminar la realimentación mediante un capacitor, ya que se está trabajando con señales que son incrementos de continua. La alternativa más simple consiste en hacer que la realimentación para la señal útil sea mucho menor que para la variación térmica de V_{BE} .

Se deberá utilizar entonces un elemento no lineal conectado entre emisor y común que se comporte del siguiente modo:

- Ante variaciones de temperatura, la corriente a través de este elemento no lineal deberá modificarse del mismo modo que lo hace la corriente de colector del transistor. Es decir que la variación de la tensión de emisor del transistor sin dicho elemento no lineal en el circuito no se verá modificada al conectarlo. Se podría decir que ante variaciones térmicas, el amplificador "no ve" al elemento no lineal, o sea, éste presenta al amplificador una resistencia muy elevada.
- Ante la aplicación de señal útil en la entrada del amplificador, el elemento no lineal presentará a éste una resistencia muy baja. Es decir que la variación de la tensión de emisor del transistor sin dicho elemento no lineal en el circuito se verá modificada en forma apreciable al conectarlo.

Este elemento no lineal, que debe comportarse con variaciones de corriente idénticas a las del transistor resultará ser un diodo, como puede verse en la Fig. 13.2a.

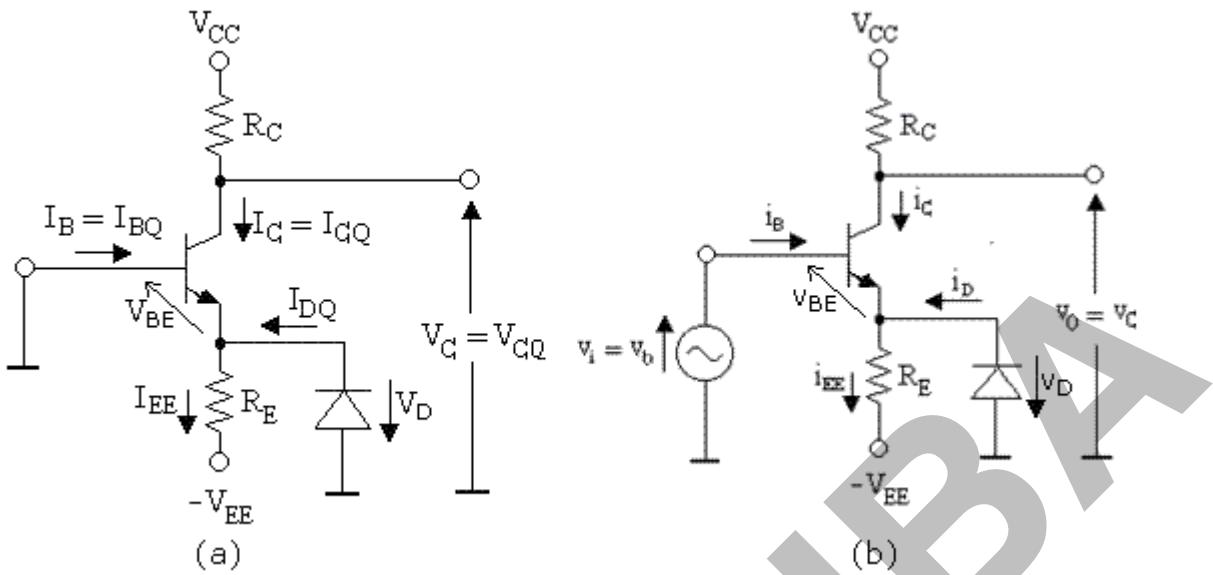


Fig. 13.2

El circuito propuesto consiste en agregar un diodo, de características exactamente iguales al diodo emisor-base del transistor, acoplado al emisor de este. Se polariza al transistor y al diodo mediante una fuente V_{EE} y un resistor R_E relativamente altos, de modo de minimizar la variación relativa $\Delta I_{CO} / I_{CO}$ por efectos térmicos sobre V_{BE} (Tener en cuenta que deberá ser $I_{CO} = I_{DO}$ de acuerdo con la hipótesis de suponer características idénticas para ambas junturas). Para la señal útil v_i , el circuito presentará una resistencia equivalente de emisor resultante del paralelo entre R_E y la resistencia dinámica del diodo, r_d , que normalmente será mucho menor que R_E y por ende la amplificación de tensión para la señal v_o / v_i será muy superior a la que se obtendría en ausencia del diodo.

Ante una señal pequeña, como por ejemplo $v_i = +20\text{mV.u}(t)$, la variación del potencial del nodo de emisor resulta ser $\Delta v_E = v_e \approx v_i/2$, con lo cual se produce un $\Delta i_{EE} = \Delta v_E / R_E \approx v_i / 2R_E$, pudiendo ser muy pequeño para elevados valores de R_E . Se verificará entonces un *aumento de corriente en el transistor* que se corresponderá con una *disminución de corriente en el diodo*, resultando $\Delta i_C \approx -\Delta i_D$ (se considera $|\Delta i_{EE}| \ll |\Delta i_C|$). De acuerdo con esto, la señal externa aplicada $v_i > 0$ se distribuirá entre la juntura base-emisor y el diodo, de forma tal que *v_{BE} aumente tanto como v_D disminuya*, es decir $\Delta v_{BE} \approx -\Delta v_D \approx v_i / 2$.

Aplicando *linealización* de la relación exponencial i_C-v_{BE} para pequeños incrementos, resulta $\Delta i_C \approx g_m v_i / 2$; y si se verifica que $R_E >> 1/g_m$, nos lleva a $\Delta i_C \approx -\Delta i_D \approx g_m v_i / 2 >> \Delta i_{EE} \approx v_i / 2R_E = 10 \text{ mV}/R_E$.

Por otra parte, en el caso en que $v_i = 0$ y se produce un $\Delta T = +10^\circ\text{C}$, entonces $\Delta V_{BE} = \Delta V_D \approx -20\text{mV}$ y *las variaciones de corriente*

en ambos dispositivos son iguales en valor y signo, siendo su suma igual a: $\Delta I_{EE} = \Delta V_E / R_E = - \Delta V_{BE} / R_E = +20mV/R_E$.

Como puede verse, la variación en la corriente por R_E resulta ser el doble de la que producía una señal de entrada $v_i = + 20mV.u(t)$, pero ahora se verifica $\Delta I_C = \Delta I_D = \Delta V_E / 2R_E = 10mV/2R_E$; resultando ser estas variaciones mucho menores a las que causaba v_i (ya que se supone $R_E >> 1/g_m$). De estos análisis surge que para el circuito dado la amplificación de tensión para la señal útil v_i es mucho mayor que la relación $\Delta V_o / \Delta V_{BE}$ para las variaciones de la tensión de barrera V_{BE} con la temperatura.

13.1. El amplificador diferencial

Tomando como ejemplo de análisis al transistor bipolar (en los FETs sucederá en forma similar al analizar sus parámetros), las dificultades que presentan los amplificadores de continua son:

- Inestabilidad térmica de la tensión de barrera V_{BE} .
- Inestabilidad térmica del factor de amplificación de corriente β (sin considerar los problemas de dispersión en su valor).

Tal como se analizó, el efecto de la variación térmica de V_{BE} puede enmascararse aumentando la amplificación de la señal útil agregando un diodo que posea exactamente las mismas características que el diodo base-emisor del transistor, de modo que su tensión de barrera varíe con la temperatura de la misma forma que V_{BE} .

Se necesita entonces: $V_{BE}(27^\circ C) = V_D(27^\circ C)$ y $\Delta(V_{BE}-V_D)/\Delta T = 0$

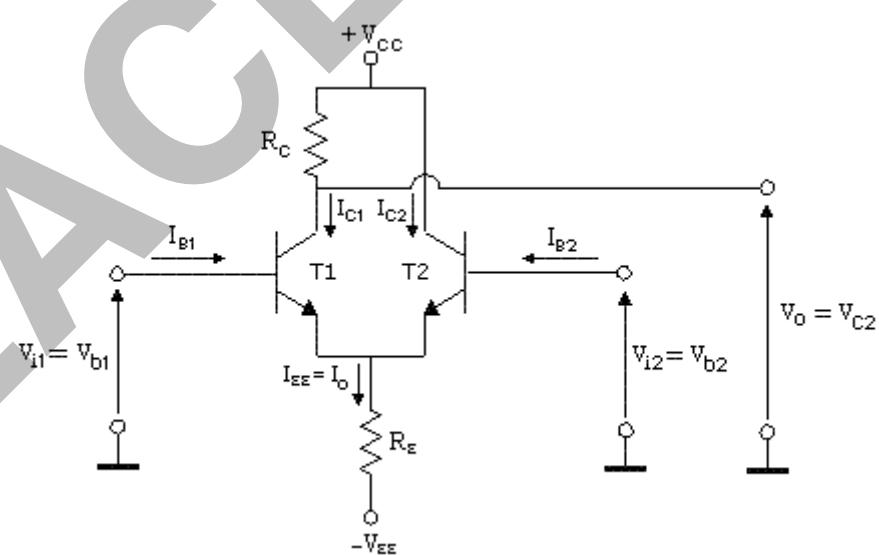


Fig. 13.3a

Esta condición es poco probable de lograr, aún con junturas teóricamente iguales, pues en la práctica siempre existirá dispersión.

Al efecto de V_{BE} , si existe una resistencia interna del generador de señal, se le agregará la influencia de la variación térmica del β .

Los efectos de los problemas señalados se atenúan en parte reemplazando el diodo por un transistor apareado con el primer transistor amplificador (es decir, con características teóricamente idénticas) y ubicándolos en el chip sobre la misma isoterma, de modo que la juntura base-emisor de uno de ellos actúe como el diodo mostrado anteriormente (Fig. 13.3a). De este modo, si los transistores fuesen exactamente iguales de manera que posean los mismos parámetros a temperatura ambiente y con idénticos corrimientos térmicos de V_{BE} , β e I_{CBO} (cuando pueda influir), quedarían casi solucionados todos los problemas señalados siempre que pudiera utilizarse una resistencia de polarización de emisores, R_E , suficientemente grande como para enmascarar las variaciones térmicas a la salida, respecto a la causada por la señal útil.

Con resistencias iguales en ambas bases se obtendrá igual valor de corriente de polarización en ambos transistores y esta igualdad se mantendrá al variar los β de los dos transistores en un mismo valor.

Si se le conecta un generador a la segunda base y se utiliza al amplificador como amplificador de la diferencia de tensiones en ambas bases (amplificador diferencial), sean estas señales alternas o continuas, el circuito presentará a ambos generadores de señal igual impedancia de carga, siempre que estos posean resistencias internas del mismo valor, cosa que no sucedería en el circuito original con el diodo.

Obviamente, si bien en el análisis inicial se suponen que los transistores que conforman el amplificador diferencial (AD) o par diferencial están perfectamente apareados (incluyendo todos sus parámetros: I_S , V_A , R_B - cuerpo de la base -, etc), en realidad siempre existirán los efectos de despareamientos, que son muy importantes en la estabilidad y funcionamiento de los amplificadores diferenciales, a pesar que en los circuitos integrados monolíticos (CIM) se puedan lograr apareamientos muy buenos al construir ambos transistores lo más cercanos posibles y dispuestos convenientemente.

Como se explicó, el circuito de la Fig. 13.3a muestra al de la Fig. 13.2 modificado con el reemplazo del diodo por un transistor. De este modo se obtiene un circuito formado por dos transistores que forman un *par acoplado por emisor* si se utilizan TBJs (o un *par acoplado por fuente o source*, si se usan FETs). Para el análisis, se consideran a los dos transistores como una etapa llamada *etapa diferencial* o *amplificador diferencial (AD)*. La misma resulta imprescindible como entrada de todo amplificador de continua. Asimismo, se la debe utilizar toda vez que se requiera amplificar

diferencia de señales, ya sea de continua o variables en el tiempo.

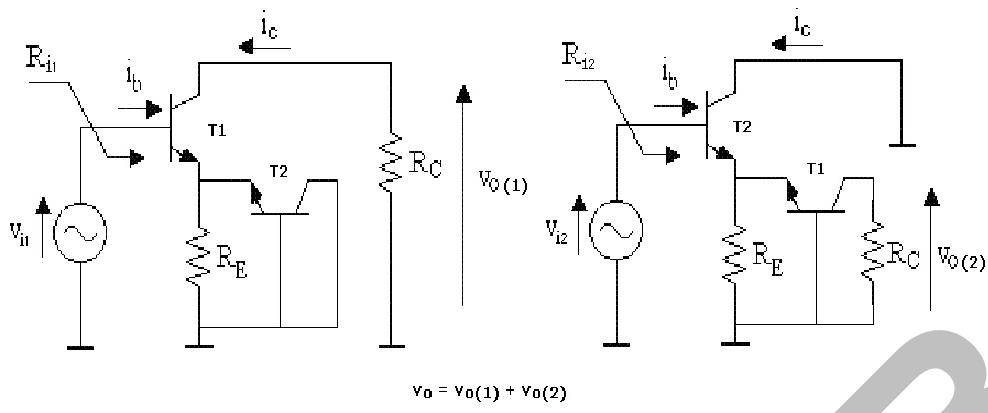


Fig. 13.3b

La amplificación de la diferencia entre las señales de entrada (señales en contrafase para las alternas) o amplificación de modo diferencial, $v_o/(v_{i1} - v_{i2})$, se podría obtener aplicando superposición de las señales de entrada v_{i1} y v_{i2} (Fig. 13.3b), dando como resultado aproximado “ $-g_m R_C / 2$ ” (de la Fig. 13.3b puede verse que, para v_{i1} , el circuito equivale a un emisor común realimentado por emisor cuya amplificación de tensión aproximada es “ $-g_m R_C / 2$ ”, mientras que para v_{i2} , el circuito equivale a un seguidor de amplificación aproximada “ $1/2$ ” y un base común, de amplificación “ $g_m R_C$ ”).

Por otro lado, la amplificación de las señales comunes a ambas entradas, como lo son por ejemplo las variaciones térmicas de V_{BE} analizadas (o señales en igual fase para las alternas) o amplificación de modo común, $v_o / [(v_{i1} + v_{i2})/2]$, resultará en un cálculo aproximado de valor nulo, como era de esperar que se comporta este amplificador. Sin embargo, se observa en este caso, que la expresión a hallar deberá obtenerse sin aproximaciones ni despreciar términos, para evitar que el valor resultante sea nulo. Específicamente, debe tenerse en cuenta que no se podrá aproximar en este caso $R_E//r_d \approx r_d$, ya que la expresión final de dicha amplificación será función de $[(R_E//r_d) - r_d]$, por lo que la aproximación antes indicada equivaldría a obtener un resultado nulo erróneo.

Si se modifica el circuito de la Fig. 13.3a mediante el agregado de una resistencia en el colector del segundo transistor de modo que sea $R_{C1} = R_{C2} = R_C$, como se indica en el circuito de la Fig. 13.3c, no solo se aprovecha el colector de T_2 como salida V_{O2} del circuito, sino que además ahora es indistinguible cuál transistor es el amplificador y cuál el que provee la juntura base-emisor para la mejora de la amplificación de señal útil. Es decir, dada la simetría, ambos transistores están cumpliendo ambas funciones al mismo tiempo.

Obviamente, las corrientes de reposo serán iguales en ambos

transistores y las mismas que en los circuitos anteriores, con la diferencia de que en este caso las tensiones de colector en reposo serán iguales. Si $v_{i1} = v_{i2} = v_{ic}$, se comprueba que la tensión v_{o1} resulta: $v_{o1} = A_{v1c} \cdot v_{ic}$, donde A_{v1c} es la amplificación de tensión para una señal común a ambas entradas (modo común) con la salida en el colector de T_{13} .

Si se repite el análisis anterior para v_{o2} , se obtendrá una relación similar a la indicada pero con A_{v2c} (amplificación de modo común con la salida en el colector de T_2). Dada la simetría existente tanto para la señal de entrada como para la de salida, resulta obvio que se obtendrá $A_{v1c} = A_{v2c}$. Por último, para $\Delta V_{od} = v_{od} = v_{o1} - v_{o2}$, si $v_{i1} = v_{i2} = v_{ic}$, por la simetría indicada, dicha salida resultará nula para excitación de modo común.

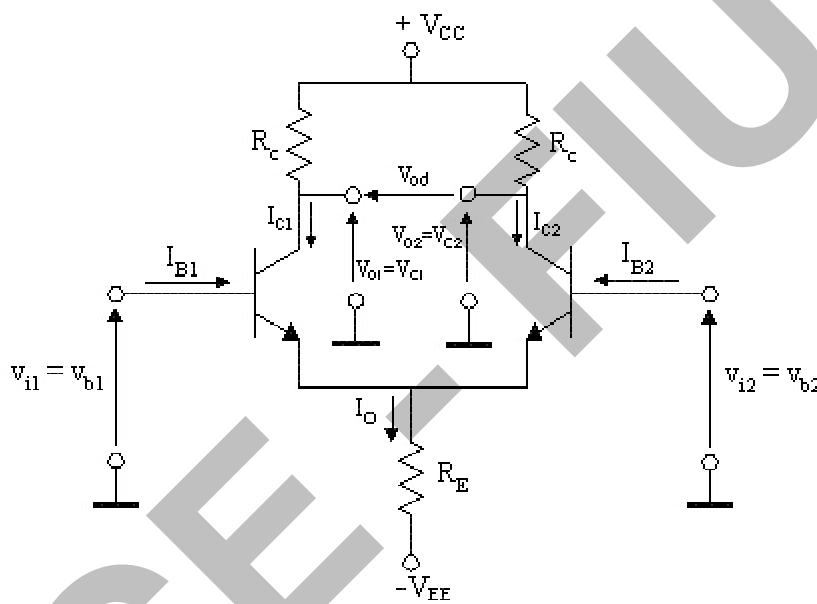


Fig. 13.3c

Para el amplificador de la Fig. 13.3c puede plantearse el siguiente sistema de ecuaciones lineales:

$$V_{o1} = A_{v11} v_{i1} + A_{v12} v_{i2}; V_{o2} = A_{v21} v_{i1} + A_{v22} v_{i2} \quad (13.1)$$

donde por ejemplo, A_{v12} es la amplificación de tensión tomando como salida el colector de T_1 y como entrada la señal de base de T_2 , v_{i2} (pasivando v_{i1}).

Se define:

- $v_{id} = v_{i1} - v_{i2}$: *tensión de entrada de modo diferencial*.
- $v_{ic} = (v_{i1} + v_{i2})/2$: *tensión de entrada de modo común*.

Transformando las ecuaciones anteriores de modo que se obtengan las tensiones de salida en función de las tensiones de

entrada de modo diferencial y de modo común, pueden definirse:

- $A_{v1d} = v_{o1} / v_{id}$ para $v_{ic} = 0$: Amplificación de tensión de modo diferencial o con entrada diferencial tomando como salida el colector de T_1 .
- $A_{v1c} = v_{o1} / v_{ic}$ para $v_{id} = 0$: Amplificación de tensión de modo común o con entrada común tomando como salida el colector de T_1 .
- $A_{v2d} = v_{o2} / v_{id}$ para $v_{ic} = 0$: Amplificación de tensión de modo diferencial o con entrada diferencial tomando como salida el colector de T_2 .
- $A_{v2c} = v_{o2} / v_{ic}$ para $v_{id} = 0$: Amplificación de tensión de modo común o con entrada común tomando como salida el colector de T_2 .

Se sobreentiende que, en todos los casos, las tensiones de salida se toman respecto al punto común.

Con el mismo criterio utilizado para las tensiones de entrada, cuando se toma salida diferencial en un AD, puede convenir definir las tensiones de salida de modo diferencial y de modo común como: $v_{od} = v_{o1} - v_{o2}$; $v_{oc} = (v_{o1} + v_{o2})/2$

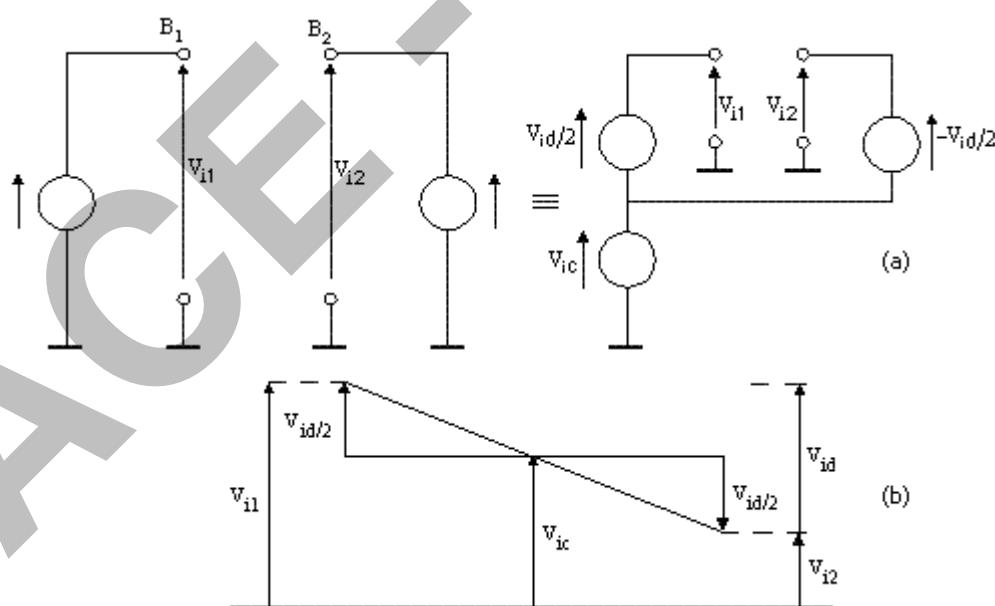


Fig. 13.4a y b

A partir de esto se pueden definir las siguientes amplificaciones de tensiones:

- A_{vdd} : amplificación de tensión con salida y entrada diferencial.
- A_{vdc} : amplificación de tensión con salida diferencial y con entrada en modo común.
- A_{vcd} : amplificación de tensión con salida en modo común y con entrada diferencial.
- A_{vcc} : amplificación de tensión con salida y entrada en modo común.

Por ejemplo, $A_{vdd}=v_{od}/v_{id}$ para $v_{ic} = 0$ y $A_{vdc}=v_{od}/v_{ic}$ para $v_{id} = 0$.

Las amplificaciones A_{vdc} y A_{vcd} , denominadas *amplificaciones cruzadas*, serán nulas si se tiene una perfecta simetría, como es el caso que se está considerando.

Como conclusión surge que v_{o1} y v_{o2} pueden obtenerse por superposición de los efectos causados por las tensiones de entrada de modo diferencial, v_{id} y de modo común, v_{ic} , lo que permite simplificar los cálculos a realizar, a la vez que introducir los conceptos de señales de modo diferencial y común. De esta forma, el par de generadores de tensión de señal de entrada v_{i1} y v_{i2} podrán representarse mediante los generadores equivalentes de tensión de entrada de modo diferencial y común que surgen de despejar v_{i1} y v_{i2} en función de v_{id} y v_{ic} , como se ve en la Fig. 13.4a. Esta última disposición puede interpretarse mediante el diagrama de la Fig. 13.4b).

Se observa entonces que:

- v_{ic} representa una componente de tensión equivalente aplicada simultáneamente a las dos entradas, ya que se desprende que estas quedan conectadas entre sí al anularse v_{id} con v_{ic} aplicada.
- v_{id} es una componente de tensión equivalente aplicada entre las entradas, cosa que surge de circular entre ellas y es la única señal si se anula v_{ic} .

Del mismo modo, para el amplificador de la Fig. 13.3c, podría definirse una resistencia de entrada vista desde los terminales de base para la señal de modo diferencial, $R_{id}=v_{id}/i_b=2r_\pi$, y otra para la señal de modo común, $R_{ic}=v_{ic}/i_b=r_\pi+\beta 2R_E$.

De acuerdo con esto, y observando la Figs. 13.4b y c, puede considerarse al nodo de los emisores como si estuviera conectado a una *masa virtual* a los efectos de la señal diferencial (modo común nulo). Es decir, existe un incremento nulo de tensión en la unión de los emisores: $\Delta V_E=v_e=0$.

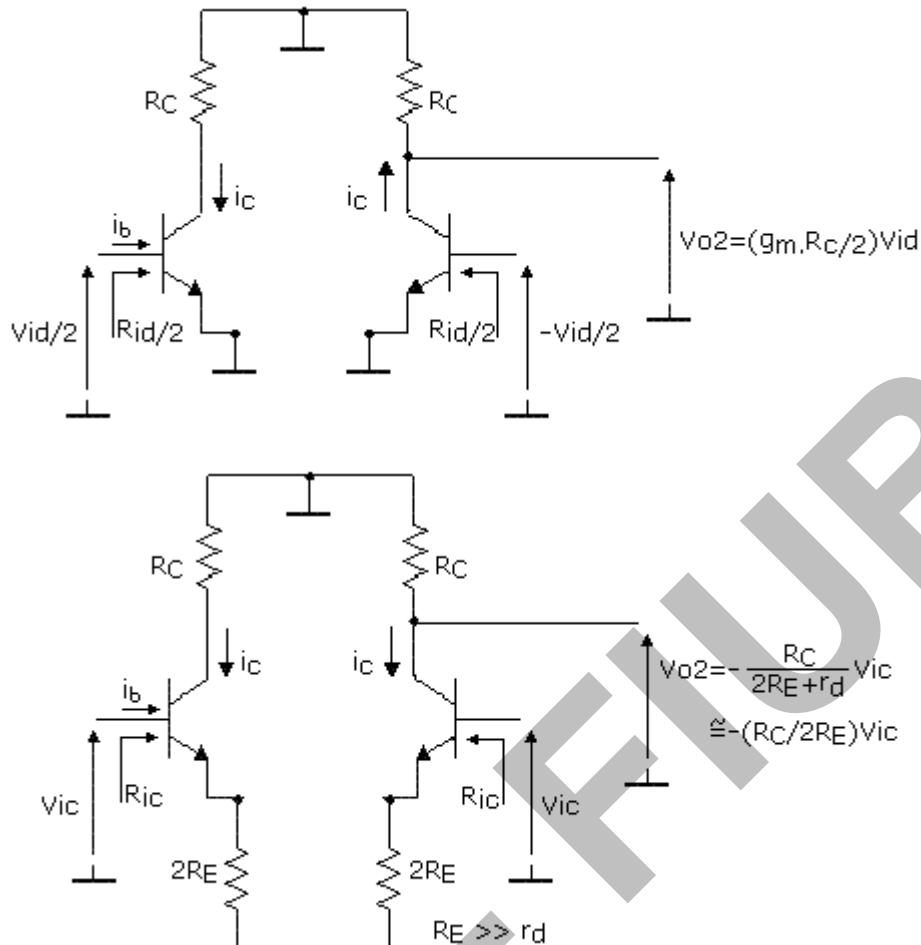


Fig. 13.4c

Por otro lado, a los efectos de la señal de modo común (modo diferencial nulo), puede admitirse que *prácticamente toda la señal de modo común v_{ic} cae sobre R_E* ($\Delta V_E = V_e \approx V_{ic}$).

Este hecho permite enunciar lo siguiente (Fig. 13.4c):

- Para una señal de entrada de modo diferencial pura ($v_{ic} = 0$), el circuito del par diferencial quedará dividido, a los efectos del análisis de pequeños incrementos, en dos circuitos idénticos (*hemi-circuitos*) formados por dos amplificadores en configuración emisor común sin realimentar, es decir con los emisores a común.
- Para una señal de entrada de modo común pura ($v_{id} = 0$), el circuito del par diferencial quedará dividido, a los efectos del análisis de pequeños incrementos, en dos circuitos idénticos (*hemi-circuitos*) formados por dos amplificadores en configuración emisor común realimentados por emisor mediante una resistencia de valor $2R_E$.

Esta simplificación en el circuito de un AD, que permite analizar su funcionamiento aprovechando su simetría, la cual se pone en

evidencia al transformar las señales de entrada en una de modo diferencial y otra de modo común, se conoce como *Teorema de hemi-circuitos o de Bartlett*. Para cualquier par de señales v_{i1} y v_{i2} se podrían hallar v_{id} y v_{ic} y luego aplicar superposición para encontrar las señales de salida utilizando circuitos distintos para cada señal de entrada (v_{id} , para $v_{ic} = 0$ y v_{ic} , para $v_{id} = 0$).

Si al amplificador de la Fig. 13.3c se lo excita con dos generadores v_{s1} y v_{s2} , de resistencias internas iguales, R_s , teniendo en cuenta que se considera al amplificador perfectamente simétrico y excitado con generadores de iguales resistencias internas, pueden definirse las tensiones en vacío de excitación de modo común y modo diferencial de manera análoga a la realizada para las tensiones aplicadas a las bases de los transistores. Es decir:

$$v_{sd} = v_{s1} - v_{s2} \text{ y } v_{sc} = (v_{s1} + v_{s2})/2$$

En la práctica, las *asimetrías* en la construcción de los transistores, en los valores de R_c (tener en cuenta que uno de estos resistores podría no existir -salida por uno de los colectores o salida simple- y en ese caso cambian completamente los resultados) y en los valores de R_s , harán que se tenga salida de modo común con entrada diferencial y viceversa, con lo que las amplificaciones de tensión cruzadas, de un modo a la entrada a otro en la salida, *no resultarán nulas*. Si las R_c y R_s son iguales nominalmente, pero poseen dispersión (tolerancias), el desapareamiento en los transistores, en las R_c y en las R_s , producirán valores de A_{vdc} y A_{vcd} muy pequeños, pero que deberán tenerse en cuenta al analizar el circuito.

13.2. Parámetros del amplificador diferencial

El AD presenta determinadas ventajas tanto al utilizárselo como amplificador de continua como cuando se requiere una salida proporcional a la diferencia de dos señales cualquiera. Para el amplificador de continua los corrimientos térmicos simultáneos en ambos transistores no deberían afectar la salida ya que su efecto limita la mínima tensión continua que puede amplificarse sin error apreciable. Según se vio, este corrimiento se comporta como una señal de entrada de modo común. Para esto último, interesa que la tensión de salida no se vea afectada por la tensión de entrada de modo común, lo que da una gran flexibilidad en el uso de estos amplificadores para distintas aplicaciones. Es decir, que sólo se debe tener señal de salida cuando hay diferencia entre las señales de entrada, independientemente de sus amplitudes individuales o que posean una componente continua de igual valor. De acuerdo con lo expresado, lo ideal sería tener un amplificador donde la tensión de entrada de modo común no afectara la salida, lo que equivale a tener A_{v1c} y A_{v2c} nulas (o lo que es lo mismo A_{vdc} y A_{vcc} nulas). Como esta

última condición no puede lograrse aunque sí mejorarse, lo importante sería lograr que la amplificación de tensión con entrada diferencial fuera lo mayor posible con respecto a la amplificación de tensión con entrada de modo común. Por este motivo interesa que la relación entre la amplificación de tensión diferencial y la amplificación de tensión de modo común, sea la mayor posible. Evidentemente esta relación dependerá de la forma cómo se tome la salida ya que, en un AD perfectamente simétrico, la tensión de entrada de modo común no se amplificará si la salida es diferencial ($A_{vdc} = 0$) pero las tensiones de salida simple (v_{o1} o v_{o2}) sí se verán afectadas.

Así, conviene definir un factor de mérito que mida las aptitudes del AD de rechazar las señales de modo común, aunque su definición diferirá según se tome la salida simple o diferencial. Para salida simple, definiremos este factor de mérito, denominado *Relación de rechazo de modo común*, RRMC (o CMRR), como: $RRMC = |A_{v1d}/A_{v1c}| = |A_{v2d}/A_{v2c}|$; o en dB como:

$$RRMC = 20 \cdot \log |A_{v1d}/A_{v1c}| \quad (13.2)$$

Si el amplificador es perfectamente simétrico, se cumplirá que:

$$A_{v1d} = -A_{v2d} = A_{vdd}/2 \text{ y } A_{v1c} = A_{v2c} = A_{vcc} \quad (13.3)$$

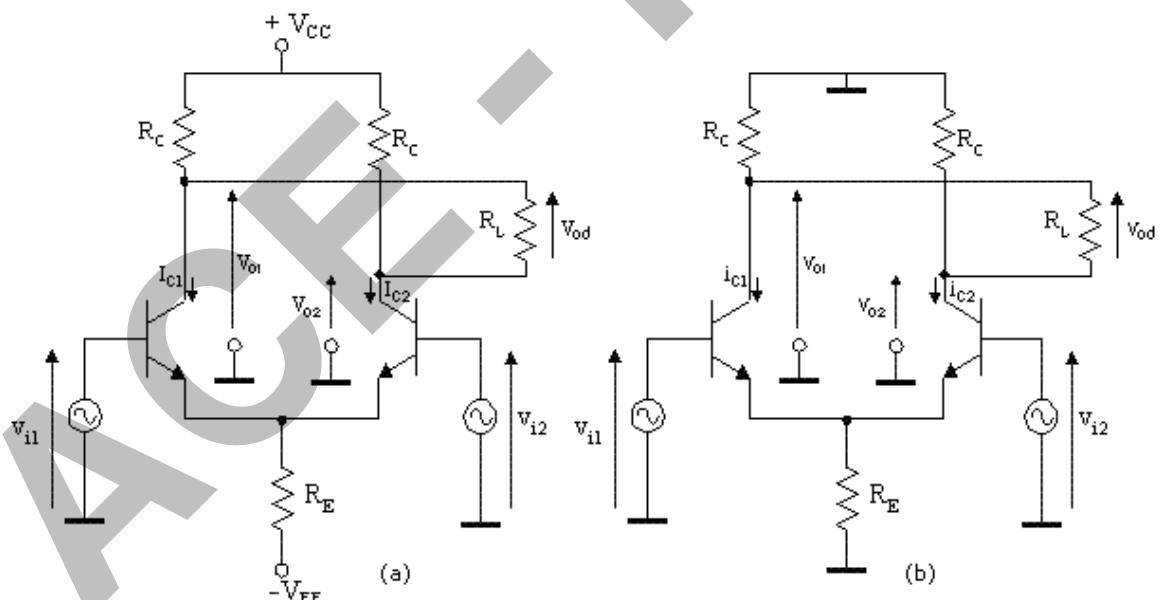


Fig. 13.5a y b

Con lo cual, la RRMC resultará, en función de A_{vdd} y A_{vcc} como $|A_{vdd}/2A_{vcc}|$. Para salida diferencial (Fig. 13.5a), el factor de mérito más significativo para medir el rechazo de modo común, es la relación entre la amplificación con salida y entrada diferencial, A_{vdd} , y la amplificación que transfiere una señal de modo común a salida diferencial, A_{vdc} (Fig. 13.5b).

Su significado es el de una relación de discriminación de modo diferencial, pues da noción de cómo el amplificador discrimina una salida diferencial proveniente de una entrada diferencial de una salida diferencial proveniente de una entrada común, aunque la bibliografía la trata normalmente como una RRMC.

$$RRMC = |A_{vdd}/A_{vdc}| \quad (13.4)$$

Si la simetría es perfecta, $A_{vdc}=0$ y esta relación tenderá a infinito. Por ejemplo, si se utiliza el circuito de la Fig. 13.5a, la tensión sobre R_L ($v_o = v_{od}$), por superposición de las entradas de modo diferencial y modo común será: $v_{od} = A_{vdd}v_{id} + A_{vdc}v_{ic}$. Para apareamiento perfecto, el resultado final sería: $v_{od} = A_{vdd}v_{id}$. Si existiese una diferencia entre los valores de R_c (pequeño desapareamiento), tal que $R_{c1} - R_{c2} = \Delta R_c \ll R_c$ (R_{c1} ó R_{c2}), A_{vdc} no será nula. En ese caso, la aplicación estricta de hemi-circuitos no resultaría válida, aunque admitiendo su aplicación con una tolerancia dada en los valores de los componentes y parámetros de los dispositivos, podría aplicarse una quasi-simetría. En ese caso, se tendrían ambos hemi-circuitos con valores similares aunque no idénticos en ambas ramas del AD, obteniéndose (admitiendo para simplificar $R_L \gg 2R_c$):

$$\begin{aligned} A_{vdd} &= v_{od}/v_{id} = (v_{o1}-v_{o2})/v_{id} \approx -g_{m1}R_{c1}/2 + g_{m2}R_{c2}/2 \\ &\approx -g_m(R_{c1}+R_{c2})/2 \approx -g_mR_c \\ A_{vdc} &\approx v_{od}/v_{ic} = (v_{o1}-v_{o2})/v_{ic} \approx -R_{c1}/2R_E + R_{c2}/2R_E \approx -\Delta R_c/2R_E \\ &\approx -(\Delta R_c/R_c)(R_c/2R_E) \end{aligned} \quad (13.5)$$

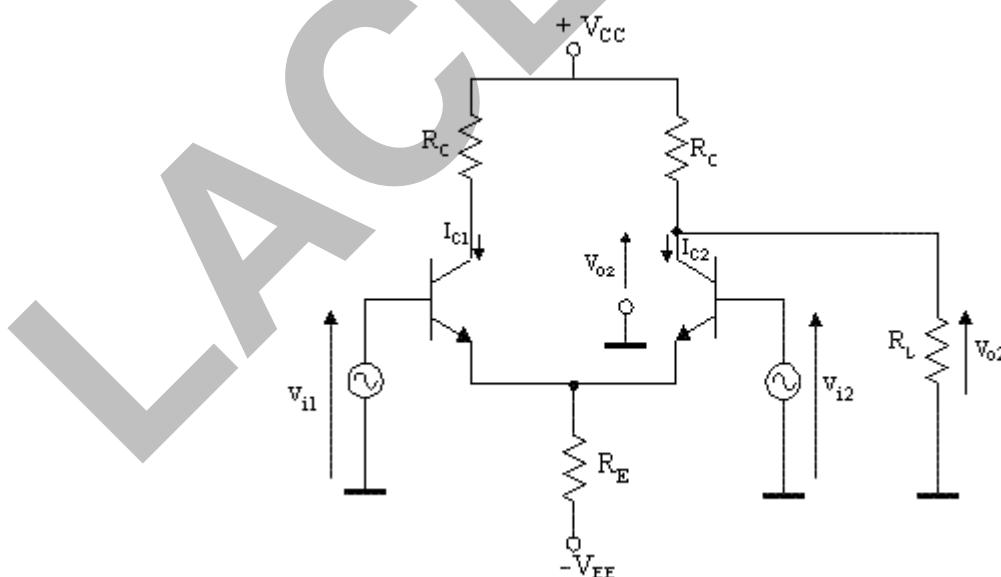


Fig. 13.5c

Puede observarse que el desapareamiento afecta en forma importante a la amplificación cruzada, mientras que A_{vdd} casi no se ve afectada.

Repetiendo el análisis para $v_o = v_{o2}$, en el circuito de la Fig. 13.5c y admitiendo en este caso $R_L \gg R_C$, se observa que la influencia del desapareamiento en los valores de A_{v2d} y A_{v2c} resulta despreciable, obteniéndose igual resultado que para el circuito apareado:

$$A_{v2d} \approx g_{m2}R_C/2 ; A_{v2c} \approx -R_C/2R_E \quad (13.6)$$

De las expresiones obtenidas resulta importante observar que, para el caso del par diferencial con salida simple, la RRMC será:

$$RRMC_{(s)} = |A_{v2d} / A_{v2c}| \approx g_{m1}R_E \quad (13.7)$$

Es decir, que la RRMC depende de la corriente de reposo y de la resistencia conectada a la unión de los emisores, mientras que cuando se tiene salida diferencial:

$$RRMC_{(d)} = |A_{vdd} / A_{vdc}| \approx g_mR_E / (\Delta R_C / R_C) \approx RRMC_{(s)} / (\Delta R_C / R_C) \quad (13.8)$$

aumenta con la simetría (tendiendo a infinito con apareamiento perfecto).

Puede observarse que, independiente de la simetría, si se modificara el circuito de la Fig. 13.5b, eliminando el resistor de colector del primer transistor, bajo la condición de apareamiento en los transistores y despreciando la corrección en el valor las I_{CO} por efecto Early, sobre el valor de v_{o2} no habrá influencia del otro colector. Por lo tanto la expresión de la RRMC debería coincidir con $RRMC_{(s)}$. Vale hacer notar que esta etapa así modificada, entrando por la base de T_1 con la de T_2 a común (que resulta ser un seguidor sin R_C que excita a un base común), tiene una buena respuesta en alta frecuencia, lo que la convierte en la etapa utilizada en amplificadores integrados de alta frecuencia (gran ancho de banda desde continua).

13.3. El par diferencial como etapa de entrada de un CI

El AD de la Fig. 13.3c puede representarse del modo que se indica en la Fig. 13.6a, donde se pone de manifiesto las dos entradas y las dos salidas del amplificador. Los signos marcados en cada terminal indican la correspondencia de las fases o signos de los incrementos entre las dos entradas y las dos salidas. Una señal positiva aplicada en la entrada v_{i1} , indicada con signo positivo, produce una señal negativa en el terminal de salida v_{o1} y positiva en el terminal de salida v_{o2} , de acuerdo a los signos marcados en ambos terminales de salida. Esto puede comprobarse por las configuraciones de los transistores del circuito de la Fig. 13.3c. Análogamente puede analizarse la entrada v_{i2} .

Si del AD se toma una única salida, el signo de los terminales de entrada indica la correspondencia de la fase de la señal de salida. De este modo, se denominará *entrada no inversora* (indicada con el signo "+") al terminal que produce a la salida una señal en fase con la aplicada en él y *entrada inversora* (indicada con signo "-") al que produce a la salida una señal en contrafase.

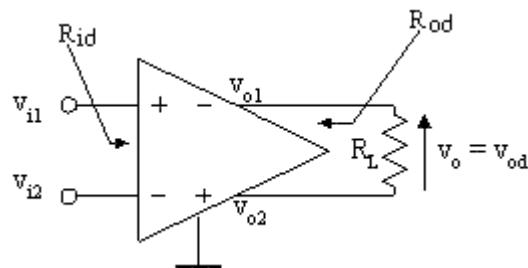


Fig. 13.6a

En cualquier AD se observa que, debido a las asimetrías internas, al aplicar una señal de modo común a la entrada se obtiene una señal diferencial de salida y viceversa, lo que hace que las amplificaciones cruzadas no sean nulas. Si suponemos un juego de valores para las cuatro amplificaciones que definen el sistema de ecuaciones $v_{od} = f(v_{id}; v_{ic})$ y $v_{oc} = f(v_{id}; v_{ic})$, tendremos con: $A_{vdd} = -400$; $A_{vcc} = -0,5$; $A_{vdc} = \pm 0,01$; $A_{vcd} = \pm 0,002$

$$V_{od} = A_{vdd}v_{id} + A_{vdc}v_{ic} = -400v_{id} \pm 0,01v_{ic}$$

$$V_{oc} = A_{vcd}v_{id} + A_{vcc}v_{ic} = \pm 0,002v_{id} - 0,5v_{ic}$$

Las A_{vdc} y A_{vcd} dependen en valor y signo de las asimetrías de cada amplificador en particular. Se entiende por valor de desapareamiento la variación relativa porcentual, por ejemplo $(I_{S1} - I_{S2})/I_{S1}$. Notar que un pequeño desapareamiento (del orden del 1% al 5%) puede llegar a provocar los niveles de amplificación cruzada indicados.

Si se conectan en cascada dos amplificadores idénticos al definido, en la configuración de la Fig. 13.6b y se puede admitir, para simplificar los cálculos que:

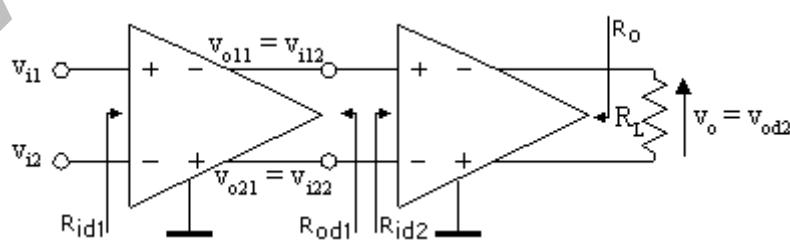


Fig. 13.6b

- La resistencia de entrada diferencial del segundo amplificador es mucho mayor que la de salida del primero, es decir R_{id2}

>> R_{od1} de modo de admitir que el segundo amplificador no carga al primero.

- $R_L \gg R_o$.

$$\text{Entonces, } v_o = v_{od2} = f(v_{id1}, v_{ic1}) = A_{vdd(2)}v_{id(2)} + A_{vdc(2)}v_{ic(2)}$$

$$= A_{vdd(2)}v_{od(1)} + A_{vdc(2)}v_{oc(1)}$$

Donde $v_{od(1)}$ y $v_{oc(1)}$ son los hallados anteriormente.

Teniendo en cuenta los valores de referencia, vemos que la expresión de v_o se puede simplificar del siguiente modo:

$$\begin{aligned} v_o &= v_{od2} = f(v_{id1}, v_{ic1}) = \\ &= A_{vdd(2)}A_{vdd(1)}v_{id(1)} + A_{vdc(2)}A_{vcd(1)}v_{id(1)} + A_{vdc(2)}A_{vcc(1)}v_{ic(1)} + A_{vdd(2)}A_{vdc(1)}v_{ic(1)} \\ &\approx A_{vdd(2)}A_{vdd(1)}v_{id(1)} + A_{vdd(2)}A_{vdc(1)}v_{ic(1)} \end{aligned} \quad (13.9)$$

El resultado resulta lógico cuando se analiza la RRMC del circuito:

$$\text{RRMC} = |A_{vdd(\text{total})}/A_{vdc(\text{total})}| \approx |A_{vdd(1)}/A_{vdc(1)}| \quad (13.10)$$

Es decir que el amplificador que limita el rechazo a las señales de modo común es el que se encuentra a la entrada, dado que el segundo amplificará la señal de salida de modo diferencial que le entregue el primero.

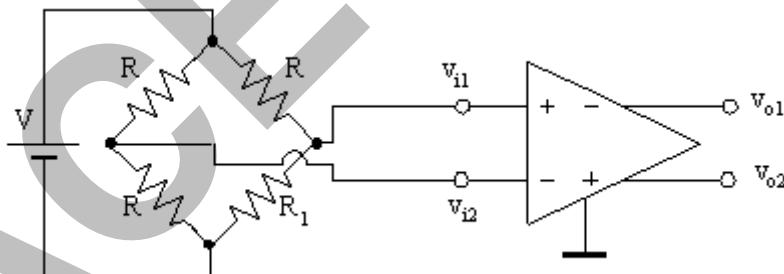


Fig. 13.6c

La Fig. 13.6c muestra un ejemplo de la utilización de un AD para poder medir el desbalance de un circuito puente (como es por ejemplo la estructura circuital de una balanza electrónica, donde R_1 es una resistencia variable con la fuerza aplicada – peso a medir –). En este caso, podemos ver que el equivalente Thévenin del puente, visto desde las entradas inversora y no inversora del amplificador representan los generadores de excitación v_{s1} y v_{s2} con sus respectivas resistencias internas. La exactitud en la medición estará dada por la RRMC del amplificador (admitiendo que este no carga al puente, es decir que la resistencia de entrada del AD resulta mucho mayor que las resistencias del puente).

13.4. Fuentes de corriente para polarizar al par diferencial

Para minimizar los efectos de las señales de modo común, ya sea por la posible componente común de la señal a amplificar o por corrimientos simultáneos de los parámetros de ambos transistores, se necesita aumentar el valor que presenta la resistencia de emisor frente a las variaciones de señales de modo común, sin afectar el valor de las corrientes de reposo. La solución consiste en utilizar una fuente de corriente constante para polarizar los emisores o sources, que posea la mayor resistencia dinámica de salida posible (infinita en el caso ideal) – Fig. 13.7a --.

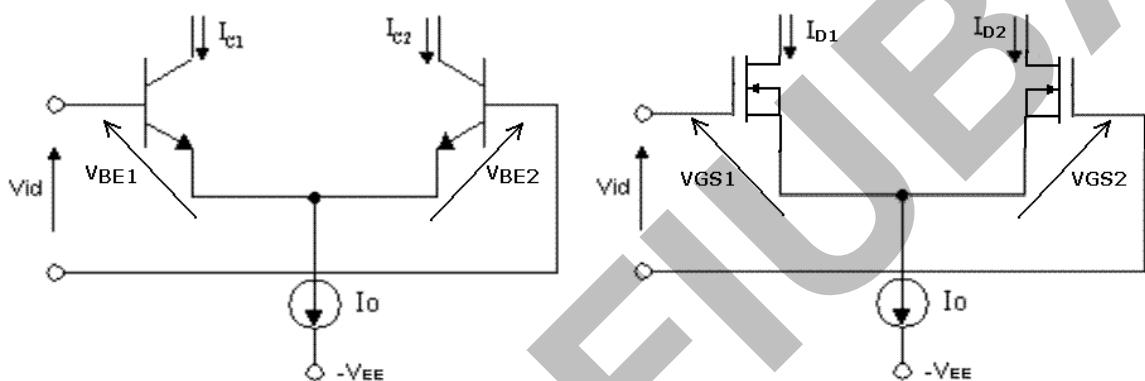


Fig. 13.7a

Las fuentes de corriente más simples se pueden obtener mediante transistores convenientemente polarizados, como los circuitos de la Fig. 13.7b. Siempre se busca obtener una R_o lo más elevada posible para que la fuente tienda al caso ideal, es decir que I_o sea constante independientemente (casi independiente en el caso real) de la variación de la tensión de salida. (siempre y cuando R_L no sea tan elevada como para provocar la saturación del transistor).

Los problemas de estabilidad de las fuentes de corriente de la Fig. 13.7b (por variaciones de β y V_{BE} , respectivamente, con la temperatura) y el logro de elevadísimas resistencias dinámicas de salida (sin necesidad de integrar resistores, los cuales ocupan un área de integración muchísimo mayor que un transistor), se solucionan en los circuitos integrados utilizando varios transistores.

La fuente de corriente mas simple utilizada en un CIM es la conocida como *espejo de corriente* (Fig. 13.7c). Su funcionamiento se basa en el hecho de que, fijando la corriente por la rama de referencia I_r , si se tienen transistores idénticos la corriente por la rama de salida I_o tendrá aproximadamente el mismo valor que I_r , dado que $V_{BE1}=V_{BE2}$. Es decir, $I_r = (V_{CC} - 0,7V)/R_r$ se copiará a la rama de salida.

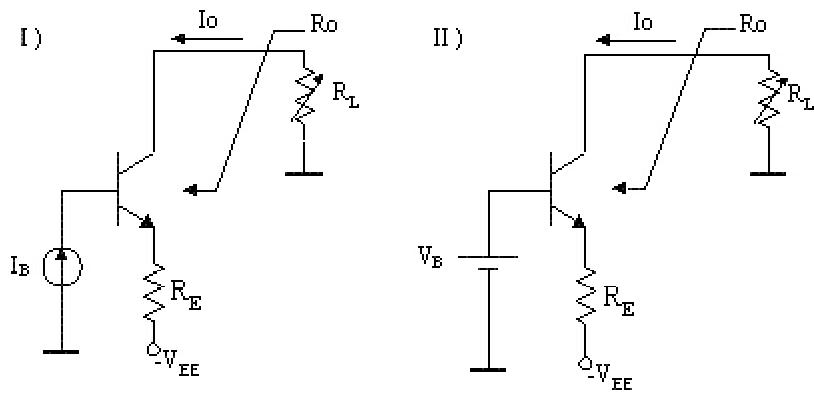


Fig. 13.7b

Considerando la influencia de las corrientes de base de los transistores, se define al cociente $I_0/I_r = \beta/(\beta+2)$ como *factor de copia de la fuente espejo simple*. Si bien este cociente puede considerarse en general como unitario, tendrá influencia en el caso en que ambas ramas (salida y referencia) sean cada una de ellas parte de cada rama del AD (fuente espejo como carga activa).

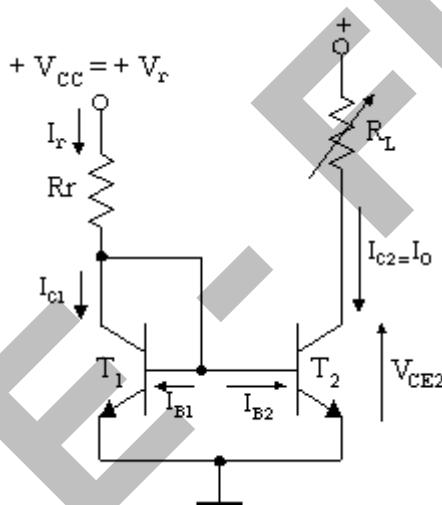


Fig. 13.7c

Los beneficios de esta fuente, frente a las indicadas en la Fig. 13.7b, pueden indicarse del siguiente modo: polarizar mediante una I_r (como la I_B del circuito "I"), minimiza los efectos sobre I_c de las variaciones de V_{BE} con la temperatura, y a su vez fijar la tensión base-emisor de T_2 mediante V_{BE1} (como la V_B del circuito "II"), minimiza los efectos sobre I_c de las variaciones de β con la temperatura.

Sin embargo, si bien la fuente de corriente espejo simple es la configuración más elemental, existen otras. En la Fig. 13.7d se presentan algunas de las distintas configuraciones circuitales para las diferentes fuentes de corriente. Los circuitos indicados tienen la particularidad de que I_o "copia" a I_r . En otros términos, podemos considerar a dichos circuitos como bipuertas, con una puerta de entrada (la puerta comando o gabinete) y una puerta de salida (la puerta controlada o gobernada). De esta forma, la característica

fundamental de los circuitos descriptos es su *factor de copia*, es decir, la relación I_o/I_r y su resistencia de salida, R_o .

Todos estos circuitos (salvo la espejo con ganancia de corriente) pueden implementarse con MOSFETs de canal inducido (en cuyo caso el *factor de copia* será unitario, pues $I_G = 0$), pero no preformado (así como tampoco con JFETs) dado que los transistores de la rama de referencia con gate y drain en corto se encontrarían trabajando en la zona óhmica y por lo tanto el esquema no se comportaría como un espejo de corriente.

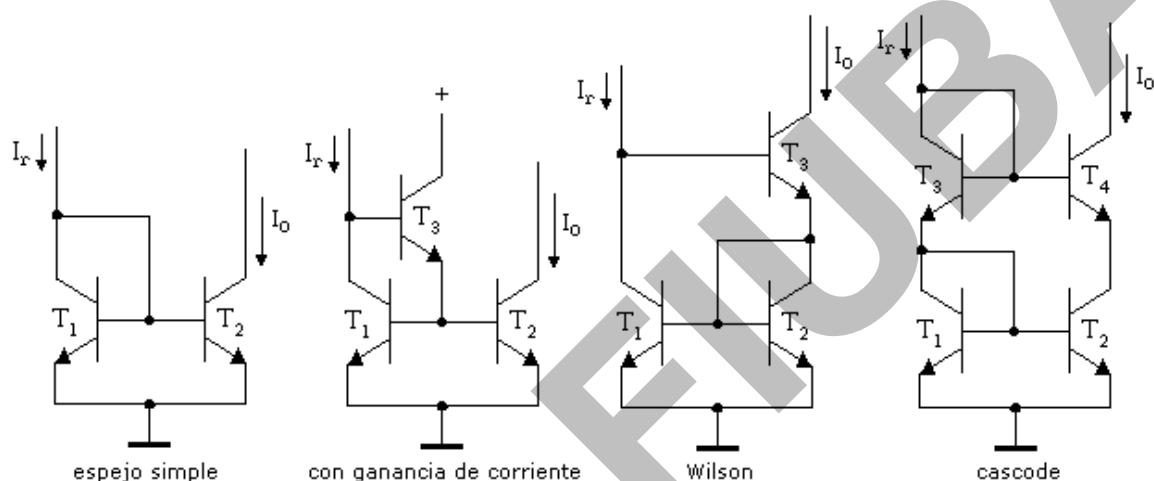


Fig. 13.7d

El factor de copia varía en estos esquemas de $I_o/I_r \approx \beta/(\beta+4)$ en la cascode, a prácticamente la unidad en la espejo con ganancia de corriente y la Wilson.

La resistencia de salida varía en estos esquemas desde " r_o " en la espejo, hasta valores del orden de " βr_o " en la cascode y Wilson (" r_{ds} " a " $g_m r_{ds}^2$ " para los MOSFETs).

Si, tomando como ejemplo la fuente espejo simple, T₁ tuviese un área de emisor del doble de valor que la de T₂ (es decir, $I_{S1} = 2I_{S2}$), la corriente de salida sería la mitad que la de referencia. Pero dado que la relación de corrientes es una constante para cualquier I_r, el comportamiento de esta fuente sigue siendo la de un espejo de corriente, con copia no unitaria. De igual modo sucede si la fuente espejo se implementara con MOSFETs donde $W_1 = 2W_2$, por ejemplo.

Si se polariza al par diferencial mediante una fuente de corriente I_o, puede obtenerse en forma simple la $V_{idmáx}$ aproximada a aplicar, manteniendo los transistores del diferencial trabajando en la zona activa (Fig. 13.7e).

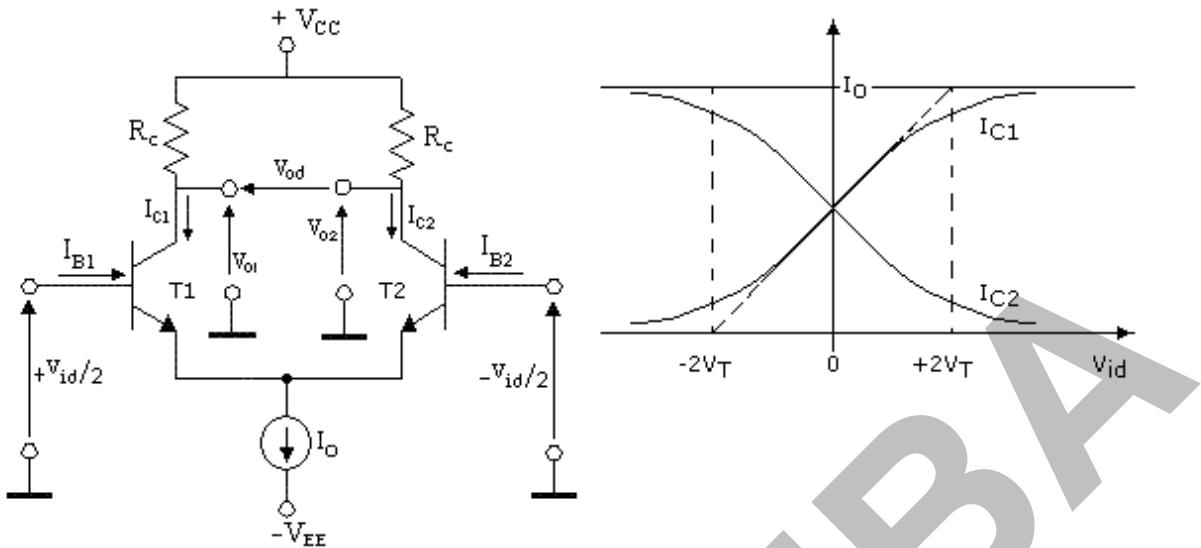


Fig. 13.7e

Si $V_{id} = V_{BE1} - V_{BE2} > 0$, entonces $I_{C1} > I_{C2}$, (debiendo cumplirse que $I_{C1} + I_{C2} \approx I_o$, despreciando las corrientes de base). Si V_{id} es suficientemente grande como para que $I_{C1} = I_o$ e $I_{C2} = 0$, entonces significa que, approximando linealmente la característica exponencial, V_{BE2} debe disminuir un $\Delta V_{BE} \approx V_T$ para obtener I_{C2} nula y por lo tanto V_{BE1} aumentar en igual valor. Así, la $V_{idmáx}$ será aproximadamente $2V_T$.

Obviamente, esto es válido mientras se cumpla que $V_{CC} - I_o R_c > 0$, es decir no sature T₁ para corrientes menores a I_o . En caso de no cumplirse esta condición, el $V_{idmáx}$ será menor que $2V_T$.

En el caso de los MOSFETs, el análisis resultará similar, obteniéndose un $V_{idmáx} \approx V_{GSQ} - V_{TH}$ (o $V_{GSQ} - V_P$ en el JFET, para valores de $I_o < I_{DSS}$)

13.5. Offset

Podemos definir de una forma genérica a la tensión residual o "de offset" como la tensión de entrada diferencial necesaria a aplicar en reposo al amplificador, con el fin de minimizar los efectos de desapareamiento, de modo tal que afecten lo menos posible a la señal diferencial útil amplificada.

Si la salida es diferencial, se suele definir el offset como *la tensión de entrada diferencial necesaria para lograr salida diferencial nula*.

Sin embargo, en otros esquemas circuitales conviene a veces definir la tensión residual o de offset como la tensión de entrada diferencial necesaria para obtener iguales corrientes en las dos ramas del par. Por ejemplo, en el par acoplado por emisor de la Fig. 13.7a, si existe un desapareamiento entre las áreas de emisor de T₁ y

T_2 , es decir entre I_{S1} e I_{S2} , ($\Delta I_S = I_{S1} - I_{S2}$) puede determinarse la tensión de offset obteniendo la tensión diferencial de entrada necesaria para igualar las corrientes en ambas ramas, desapareadas por los valores de I_{S1} e I_{S2} :

$$V_{off} = V_{id(off)} = V_{BE1} - V_{BE2} = V_T \ln(I_o/2I_{S1}) - V_T \ln(I_o/2I_{S2}) \\ = V_T \ln(I_{S2}/I_{S1}) = V_T \ln(1 + \Delta I_S/I_{S1})$$

Tener en cuenta que, en general el desapareamiento de algún parámetro particular de un dispositivo no superará el 5% en circuitos integrados de tecnología actual. Por lo tanto:

$$V_{off} \approx \pm V_T (\Delta I_S/I_S) \quad (13.11)$$

Donde I_S es el promedio entre I_{S1} e I_{S2} o cualquiera de los dos valores, dado que son muy similares. Y el signo “ \pm ” se debe a que el desapareamiento resulta aleatorio y dependiente en valor de la tecnología de fabricación del dispositivo.

En el par acoplado por source de la misma figura, si existe desapareamiento entre las tensiones de umbral V_{TH} de ambos transistores, la V_{off} se calculará como:

$$V_{off} = V_{GS1} - V_{GS2} = (I_o/2k)^{1/2} + V_{TH1} - (I_o/2k)^{1/2} - V_{TH2} = V_{TH1} - V_{TH2} \approx \pm \Delta V_{TH}$$

La aplicación de una tensión de offset, V_{off} , como tensión diferencial de entrada para equilibrar las corrientes de colector por ambas ramas del diferencial, provocará, para el caso de transistores bipolares, una variación en las corrientes de base. Las diferentes caídas de tensión en los resistores conectados a las bases de un par diferencial, como por ejemplo las resistencias equivalentes de los generadores de señal equivalentes conectados en cada entrada, R_{S1} y R_{S2} vistas anteriormente, desequilibrarán nuevamente dichas corrientes de colector. Se define entonces una *corriente residual* o de *offset* como la que provee un generador de corriente diferencial que tenga en cuenta esta diferencia de corrientes de base ($I_{off} = I_{B1} - I_{B2}$). Obviamente, no será necesario considerar dicha corriente de offset para un diferencial con transistores JFET o transistores MOSFET.

Para compensar el offset (tensión y corriente) pueden utilizarse soluciones como las indicadas en los circuitos de las Figs. 13.8a y b. En ellos se ajustarán los resistores variables de modo que sin tensión de entrada diferencial aplicada, la tensión $v_{O_{DQ}}$ sea nula (En el caso “a”, variando V_{BE} y por lo tanto I_C de cada transistor – ajuste exponencial – y en el caso “b”, variando R_C sin modificar I_C – ajuste lineal –).

En un amplificador operacional donde el circuito diferencial de entrada y/o subsiguientes podrán tener salida simple o diferencial, el

ajuste se realizará buscando tensión nula a la salida cuando el circuito se alimenta con fuente simétrica ($\pm V_{CC}$). Se debe tener en cuenta que, si los generadores de señal poseen resistencias internas que influyan en el comportamiento del circuito, deberán conectarse resistencias de ese valor y anular v_{sd} para el ajuste del offset.

Resulta importante notar que, para un AD, la RRMC se relaciona con la tensión residual o de offset como:

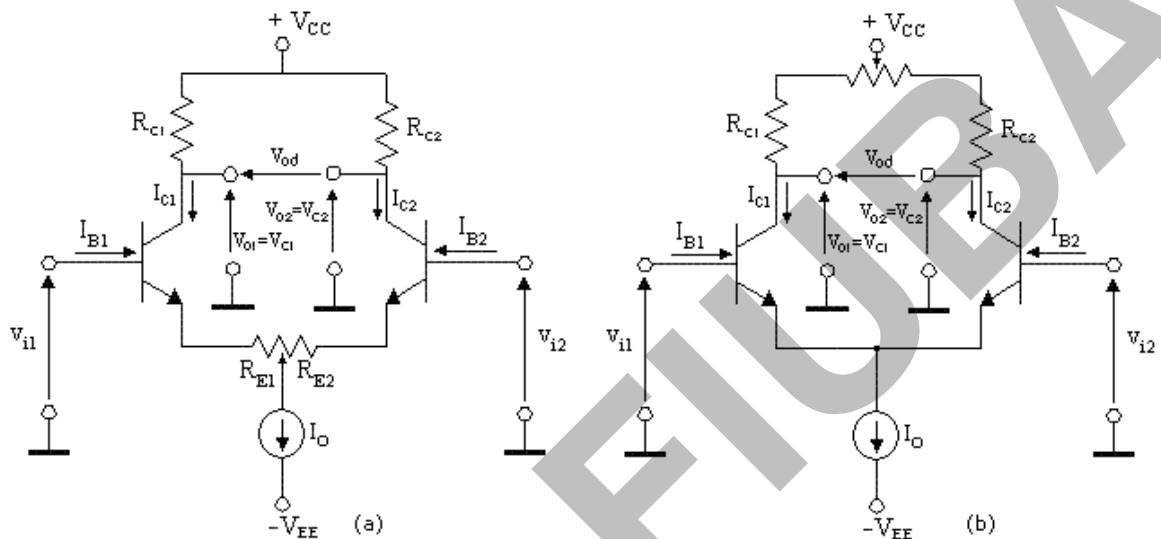


Fig. 13.8

$$RRMC = |A_{vdd}/A_{vdc}| = (dV_{off}/dV_{ic})^{-1} \text{ para } v_{od} = 0 \quad (13.12)$$

O sea, la V_{ic} necesaria para lograr $v_{od} = 0$, será RRMC veces mayor que V_{off} .

Definidas la tensión y corriente residual a una dada temperatura, para el caso del par diferencial de la Fig. 13.8a, cuando los resistores de emisor son nulos:

$$V_{off}(T) = V_{BE1}(T) - V_{BE2}(T); I_{off}(T) = I_{B1}(T) - I_{B2}(T) \quad (13.13)$$

Es decir, la que se tienen en el AD para tener iguales corrientes en los dispositivos o tensión v_{odQ} nula, según sea el caso; el desapareamiento de los dispositivos y los componentes asociados producirán un corrimiento, deriva o *drift térmico* de los offset, $\Delta V_{off}/\Delta T$ y $\Delta I_{off}/\Delta T$, respectivamente. Evidentemente el signo de este corrimiento no puede ser previsto.

- $\Delta V_{BE}/\Delta T \approx -2 \text{ mV}/^\circ\text{C}$.
- $\Delta V_{off}/\Delta T = \Delta(V_{BE1} - V_{BE2})/\Delta T \approx 2 \mu\text{V}/^\circ\text{C}$.
- $\Delta I_{off}/\Delta T \approx 5 \text{ nA}/^\circ\text{C}$.

Observar que de tratarse de la etapa de entrada de un CIM, el potenciómetro de ajuste será externo y por lo tanto tendrá un coeficiente de temperatura distinto al de los integrados, lo que provocará un aumento en la deriva térmica.

Puede entenderse la deriva térmica (tanto de tensión como de corriente) como una señal perturbadora (de tensión o corriente) de modo diferencial de valor:

$$v_{id} = (\Delta V_{off} / \Delta T) \cdot (T_{máx} - T_{mín}) ; i_{id} = (\Delta I_{off} / \Delta T) \cdot (T_{máx} - T_{mín})$$

Si se polarizan los emisores o sources (según se hable de transistores bipolares o de efecto de campo) de un AD con una fuente de corriente, al variar las tensiones de alimentación, teóricamente la salida diferencial, v_{od} , no debería verse afectada. Sin embargo, la resistencia interna equivalente de dicha fuente de corriente y las asimetrías que pueden existir en el circuito producen variaciones de la tensión de salida al variar los valores de las fuentes de alimentación. Se define entonces una relación de rechazo a las variaciones de la tensión de las fuentes de alimentación o *Sensibilidad de la tensión residual de entrada* al variar la tensión de alimentación. Dicha relación se expresa como:

$$RRFA \text{ (o SVRR)} = \Delta V_{off} / \Delta V_{CC} \text{ para } \Delta V_{od} = v_{od} = 0 \quad (13.14)$$

$$\text{o bien: RRFA (o SVRR)} = \Delta V_{od} / \Delta V_{CC} \text{ para } \Delta v_{Id} = \Delta v_{Ic} = 0$$

La fuente de corriente Widlar brinda mayor inmunidad de su corriente de salida respecto a las variaciones de V_{CC} (Fig. 13.9). La relación entre la corriente de referencia I_r e I_o es una ecuación trascendente dada por: $I_o R_E = V_T \ln(I_r/I_o)$.

Puede observarse que no sólo existe una relación logarítmica entre I_o y V_{CC} (menos sensible que la lineal de la fuente espejo) sino que además la caída de tensión en R_E (de decenas a centenares de Ω) provoca una disminución de algunos mV a decenas de mV en V_{BE2} , haciendo $I_o << I_r$. Es decir, puede obtenerse una corriente de polarización de decenas μA mediante una corriente de referencia $I_r = (V_{CC}-0,7V)/R_r$ de algunos mA. En una fuente espejo se necesitaría integrar una R_r muy grande para lograr una I_o de ese nivel (con el gasto de área de integración que esto implica). Por otro lado, una corriente de polarización de ese nivel no solo trae un consecuente aumento de la resistencia de entrada diferencial del amplificador, al disminuir g_m , sino que además disminuye el nivel de ruido que aportan los semiconductores, lo que es beneficioso para evitar enmascarar señales pequeñas de entrada. Es cierto que también disminuye la amplificación diferencial al disminuir la transconductancia, pero el parámetro a priorizar en el par diferencial como etapa de entrada de un amplificador integrado es la RRMC.

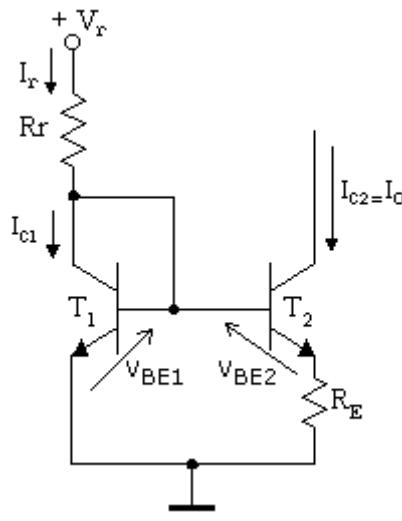


Fig. 13.9

13.6. El amplificador operacional básico

El circuito de la Fig. 13.10 representa el esquema simplificado de un amplificador operacional integrado (OPAMP) con TBJs, en cuya salida se conectó una carga R_L . En un CIM, la mayoría de los resistores serán reemplazados por transistores que harán las funciones de éstos (además de otras ventajas que se verán al estudiar los amplificadores con cargas activas), ocupando mucha menor área de integración.

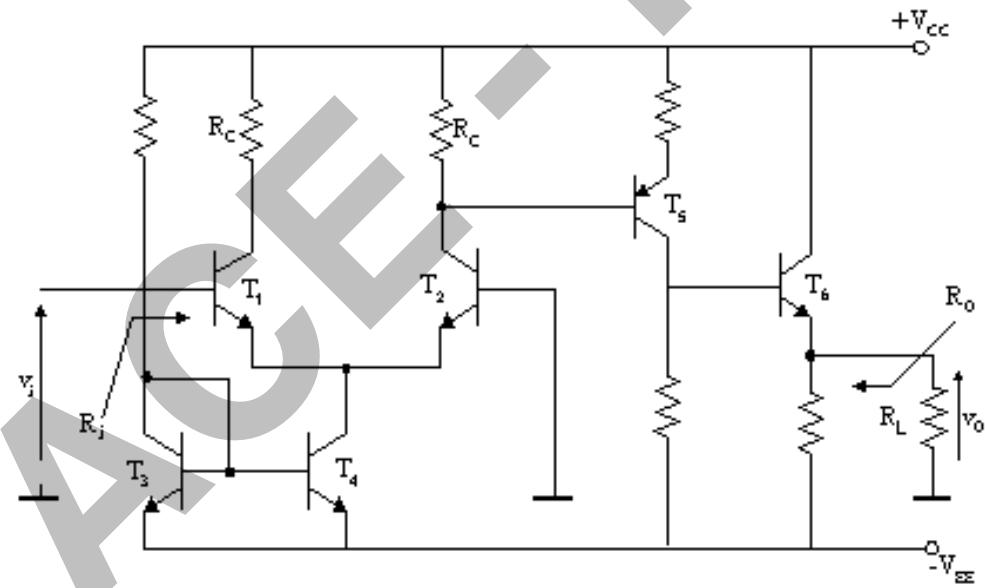


Fig. 13.10

Puede verse que la etapa de entrada resulta ser un par acoplado por emisor. A esta le sigue una etapa amplificadora en emisor común y finalmente una etapa de salida, en este caso en configuración seguidor en clase A (aunque en general resulta más común una etapa de salida de potencia en clase B). La entrada inversora del amplificador corresponderá a la base de T_1 y la no inversora a la de T_2 (conectada a común en esta figura).

Se define como Rango de tensión de modo común, al rango de valores de tensión de entrada de modo común comprendidos entre un mínimo y un máximo tal que todos los transistores del circuito permanezcan en MAD, es decir, que el circuito amplificador siga funcionando como tal. Cabe tener en cuenta que puede admitirse que, para la obtención de valores aproximados del *Rango de tensión de modo común*, siendo la amplificación de modo común de muy bajo valor, los valores de las corrientes de reposo se mantendrán prácticamente constantes ante señales de entrada de modo común. Por lo tanto, los límites lo darán la saturación del transistor de salida de la fuente de polarización del par diferencial y la saturación de uno o ambos transistores del par diferencial:

$$-V_{CC} + V_{CE4(\text{sat incip})} + V_{BE2} < V_{ic} < V_{CC} - R_C I_o / 2$$

$$-V_{CC} + 1,4V < V_{ic} < V_{CC} - R_C I_o / 2$$

Para los FETs se buscarán igualmente las condiciones límite de estrangulamiento incipiente de los transistores de la fuente de polarización y del AD.

LACE - FUUBA

A0.10 – Amplificadores diferenciales con carga activa

14.- Amplificadores diferenciales con carga activa

Introducción

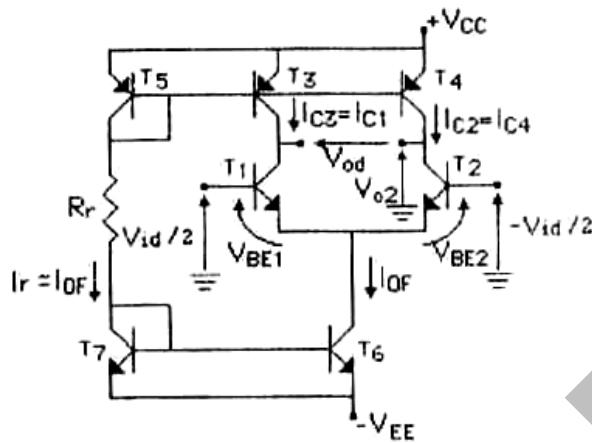


Fig. 14.A

Para aumentar su amplificación, la carga resistiva de un par diferencial simétrico se podría en primera instancia, reemplazar por fuentes de corriente $-I_F$. Implementando estas por fuentes espejo simple, el circuito sería el de la Fig. 14.A. La carga está formada por las fuentes espejo T_5-T_3 y T_5-T_4 – Fig. 14.B –.

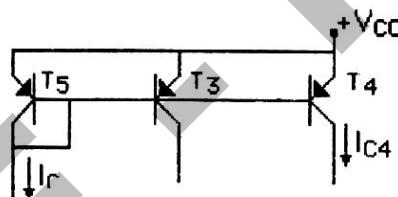


Fig. 14.B

Despreciando corrientes de base, como por T_5 circula I_{OF} , su área de emisor deberá ser el doble que las de T_3 y T_4 para que por estos circule una corriente $I_C = I_{OF}/2$ de modo de mantener la simetría.

Para calcular el valor de la tensión de colector respecto de común de T_1 y T_2 para este amplificador en vacío, se deberá considerar la relación existente entre I_C , V_{BE} y V_{CE} . Puede demostrarse que, en reposo (bases de T_1 y T_2 a común):

$$V_{o2} = \frac{(V_{CC} - V_{BE2})V_{A2}}{V_{A2} + V_{A4}}$$

En este caso, puede considerarse que ambas ramas poseen una carga *activa* pues la resistencia dinámica que presentan T_3 y T_4 a T_1 y T_2 resultan distintas – mucho mayores – que las respectivas resistencias estáticas, aunque estrictamente los generadores controlados del modelo incremental de T_3 y T_4 no se activan, ya que estos transistores poseen una $V_{BE} = \text{cte}$. Fijada por T_5 .

Por otro lado, si la simetría es perfecta, las amplificaciones de tensión con entrada diferencial y salida simple y diferencial serán respectivamente:

$$A_{v2d} = \frac{v_{o2}}{v_{id}} = \frac{g_{m2}}{2} (r_{o2} // r_{o4}) = \frac{V_{A2}V_{A4}}{2V_T(V_{A2} + V_{A4})} = -\frac{V_{Aef}}{2V_T}$$

$$A_{vdd} = \frac{v_{od}}{v_{id}} = -2A_{v2d} = -\frac{V_{Aef}}{V_T}$$

Donde: $V_{Aef} = \frac{V_{A2}V_{A4}}{(V_{A2} + V_{A4})}$

Como la amplificación de tensión es muy elevada, el rango de linealidad será mucho menor que en el caso de carga resistiva ($V_{id} << 2V_T$) debido a la casi inmediata saturación de los transistores ante un pequeño valor de tensión de entrada diferencial.

De igual modo, un pequeño desbalance en reposo de los parámetros teóricamente apareados de los pares de transistores que conforman el par diferencial – T₁ y T₂ - y la carga activa – T₃ y T₄ - respectivamente, provocarían variaciones en los valores de las tensiones y corrientes similares a los que se produciría al aplicar una tensión diferencial en un amplificador apareado. Por ejemplo, si I_{S1} es ligeramente mayor que I_{S2}, aumentará I_{C1} y disminuirá I_{C2} tal como si se aplicara v_{id} > 0 en un par perfectamente apareado.

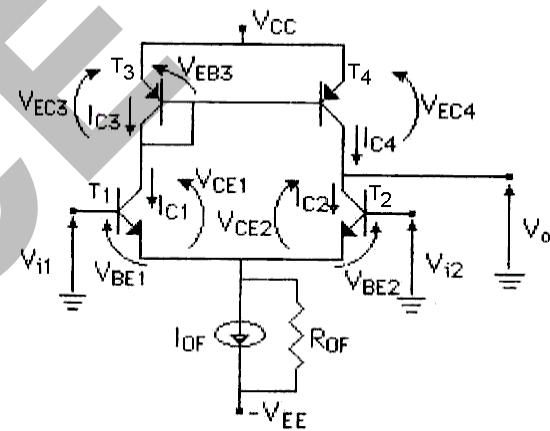


Fig. 14.C

En estas condiciones, V_{oO} se correría sensiblemente de acuerdo con la amplificación de tensión. Por lo tanto, en ausencia de señal los transistores T₂ – T₃ ó T₁ – T₄ podrán saturar.

Normalmente, se modifica entonces el amplificador de la forma que se indica en la Fig. 14.C, en el que la corriente de referencia del espejo que actúa como *carga activa* – CA –, es la corriente de colector de uno de los transistores del par diferencial. Se logra así un lazo de

realimentación que estabiliza la polarización – si la fuente espejo, posee factor de copia unitario, tiende a igualar las corrientes por ambas ramas del amplificador diferencial, disminuyendo los efectos de los desapareamientos.

Por supuesto, deberá tomarse salida simple por T_2 , ya que en colector de T_1 se tiene una impedancia muy baja (aproximadamente r_d). Sin embargo, puede verse por inspección que al copiar en señal i_{c4} a i_{c3} , se tendrá sobre la carga (no mostrada en la figura) el doble de variación de corriente que en la salida simple del amplificador diferencial de la figura A, o sea que se tendrá un valor de amplificación con entrada diferencial, A_{vd} , equivalente a A_{vdd} del amplificador de la Fig. 14.A.

La denominación de carga activa es más evidente en este caso, pues T_4 actúa como dispositivo activo de carga para T_2 , ya que se enciende su generador controlado de señal.

Al referirse a la fuente de corriente que actúa como carga activa espejo (CAE) se quiere indicar cualquier fuente de corriente en que una de las ramas *copia* la corriente que circula por otra, considerada como referencia. Entendemos por "copia" que entre la corriente de salida de la fuente y la de referencia exista proporcionalidad en todo el rango útil de corrientes del circuito. Esta constante de proporcionalidad o factor de copia de la FI, es el valor de "a", indicado en los problemas de la serie de FI y CA – publicación 66.08.14 del CEI -.

Este factor "a", puede interpretarse como una *ganancia de corriente* de la fuente. Por ejemplo las FI T_3-T_5 y T_4-T_5 de la Fig. 14.A poseen $a = 1/2$, admitiendo corrientes de base nulas.

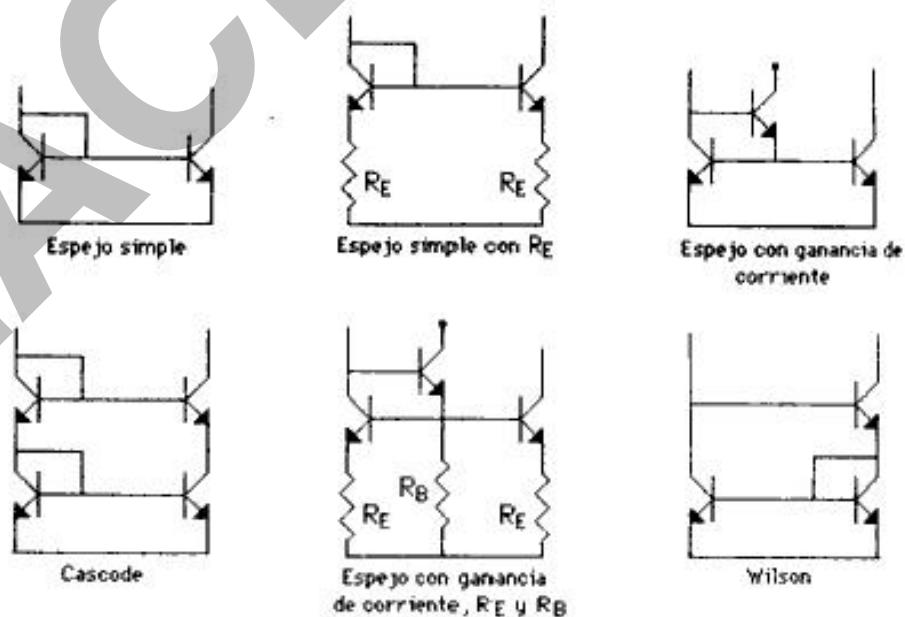


Fig. 14.D

Cualquiera de estas fuentes indicadas en la Fig. 14.D podría reducirse a una fuente espejo simple como la primera, considerando dos transistores equivalentes que poseen un factor de amplificación de corriente equivalente (β_{Eq}) y una tensión de Early equivalente ($V_{A\text{eq}}$).

Del mismo modo, cualquiera sea el circuito amplificador diferencial (AD) como los indicados en la Fig. 14.E, podrá reducirse a un par diferencial simple con β y V_A equivalentes, por lo que analizaremos fundamentalmente el circuito con la configuración de la Fig. 14.C.

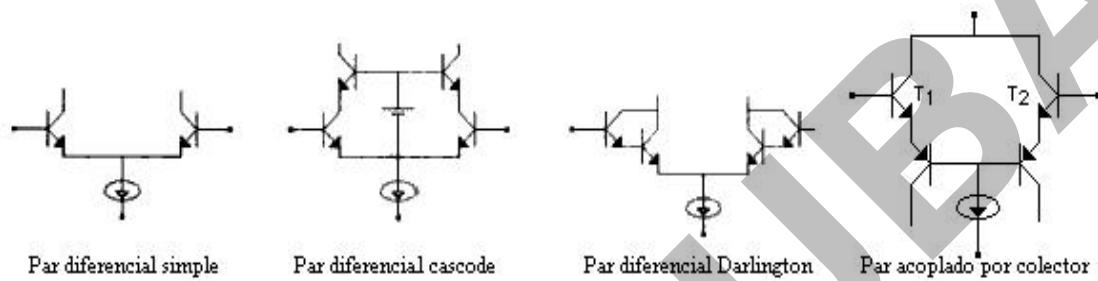


Fig. 14.E

Cabe acotar que la mayor parte de los circuitos de las figuras D y E pueden implementarse con transistores bipolares o de efecto de campo, con las salvedades que se hará en cada caso. El análisis de la configuración con TBJ resulta válido si los circuitos anteriores se implementan con transistores FET - JFET ó MOSFET - Fig. 14.F -, considerando el factor de modulación del largo del canal, λ , en lugar de la tensión de Early y haciendo la salvedad que la corriente de gate es nula en continua y el factor de amplificación de corriente β_{FET} es muy elevado en bajas frecuencias.

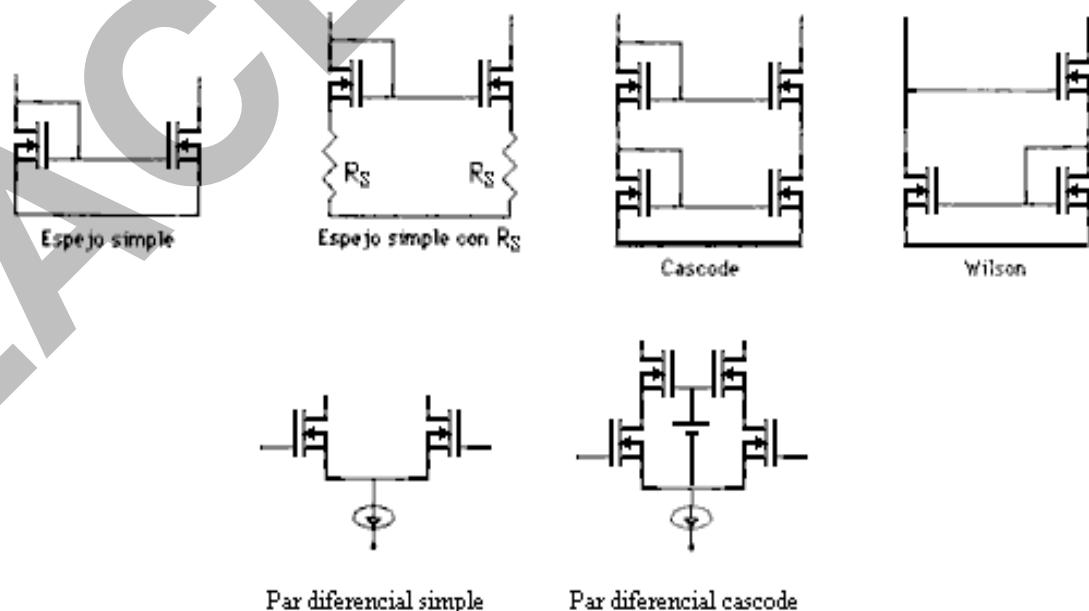


Fig. 14.F

Por ejemplo, si bien en la mayoría de los casos consideraremos al par diferencial como dos transistores acoplados por emisor o por source, para el caso de transistores bipolares se utiliza también el par acoplado por colector, como aparece en último término en la Fig E. Esta última configuración busca incrementar la resistencia de entrada – uno de las necesidades a satisfacer en los amplificadores ideales de tensión y transconductancia -, y es utilizada como etapa de entrada del amplificador operacional – AO – de uso común, AO741.

Se hace notar que sólo el MOSFET de canal inducido podrá utilizarse en las FI espejo, pues tanto los JFETs como los MOSFETs de canal preformado no se encuentran en modo activo con $V_{DG} = 0$.

14.1. Análisis de las condiciones de reposo del AD con CAE

En los circuitos integrados (CI) la carga a conectar al terminal de salida de un AD con CAE, se elige de modo que posea características que permitan incidir favorablemente sobre su funcionamiento.

Se admitirá, en un primer estudio, que los dos transistores del AD son idénticos entre sí, lo mismo que los dos que conforman la CAE.

Para comprender y justificar la configuración que deberá tener la carga a conectar, se describe inicialmente el funcionamiento del amplificador en vacío.

Considerando una fuente espejo con $\beta_{CA} \rightarrow \infty$ – Fig. 14.G – y sabiendo que: $I_C = I_S e^{V_{BE}/V_T} (1 + V_{CE}/V_A)$

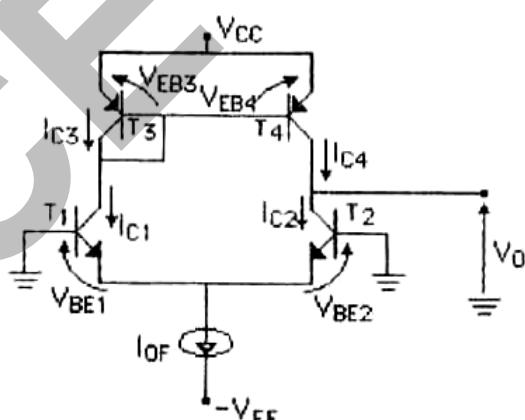


Fig. 14.G

$$I_{C1} = I_{C2} = I_{C3} = I_{C4} \approx I_{E1} = I_{E2} = I_{OF}/2 \Rightarrow$$

$$\Rightarrow I_{C2}/I_{C1} = I_{C4}/I_{C3} = \frac{1 + V_{EC4}/V_{A(PNP)}}{1 + V_{EB3}/V_{A(PNP)}} = 1$$

$$(dado que V_{EC3} = V_{EB3}) \Rightarrow V_{EC4} = V_{EB3} \Rightarrow V_{OO} = V_{CC} - V_{EB3}$$

Las corrientes en ambas ramas serán iguales, así como también la tensión en los colectores ($V_{CB4} = 0$).

Notar que $V_{CE1} = V_{CC} - V_{EB3} + V_{BE1} \approx V_{CC}$, prácticamente invariable bajo cualquier condición, ya sea por desapareamiento o en funcionamiento con señal.

En el caso de una fuente espejo con MOSFET perfectamente apareados, se alcanzaría la misma expresión dado que las corrientes de gate son nulas y por ende el factor de copia unitario $-V_{OO} = V_{CC} - V_{SG3}$ - (es decir $V_{DG4} = 0$).

Como en TBJs la corriente de base no es despreciable, es fácil ver que la corriente de referencia de una fuente espejo, no será igual a la corriente de colector del transistor de esa rama. Como el valor de la tensión base – emisor será el mismo en los dos transistores de la fuente, la corriente de salida de ésta - suponiendo al transistor de salida en saturación incipiente – será igual a la corriente de colector del transistor de referencia, pero no a la corriente de referencia I_r .

En el circuito de la Fig. 14.G, $I_r = I_{C1}$ será: $I_r = I_{C1} = I_{C3} + I_{B3} + I_{B4} \approx I_{C3} + 2I_{B3}$.

Esto indica que el factor de copia de una fuente espejo con TBJ no será unitario aún para transistores idénticos.

Como pequeños desapareamientos entre las ramas del AD con su carga incluida, inciden fuertemente tanto en la condición de reposo – pudiendo llevar a saturación a alguno de los transistores de la rama de salida -como en señal – RRMC-, la suposición de despreciar I_B al analizar la CAE requeriría que estrictamente sea $I_B = 0$, es decir $\beta_{CA} \rightarrow \infty$. Esto solo puede admitirse si se utilizan MOSFET.

Dado que para $V_{i1} = V_{i2} = 0$ (condición de reposo), $I_{C1} = I_r$ de la CAE será algo mayor que I_{C4} , si T_4 se encontrase en saturación incipiente y las ramas del par no serán perfectamente simétricas aunque sean iguales los dos transistores del AD y de la CAE.

Como del circuito de la Fig. 14.G se desprende que forzosamente deben ser $I_{C2} = I_{C4}$ y $V_{BE1} = V_{BE2}$, para que I_{C2} no sea exactamente igual a I_{C1} , deberá intervenir el efecto Early. Esto significa que V_{CE2} será menor que V_{CE1} y por ende $V_{EC4} > V_{EB3}$, saliendo T_4 de su condición de saturación incipiente, obteniéndose valores de $I_{C1} > I_{C2}$ con $V_{OO} < V_{CC} - V_{EB3}$.

Cabe hacer notar que al utilizar MOSFET en la CAE, el transistor de la rama de referencia funcionará en modo activo con $V_{DS} > V_{DSE}$.

Para lograr $I_{CQ1} = I_{CQ2}$ – corrientes simétricas en ambas ramas del AD -, el corrimiento de V_{OQ} ($V_{OQ} < V_{CC} - V_{EB3}$), deberá ajustarse de modo que iguale la tensión de colector del transistor de la rama opuesta, para corregir las corrientes por efecto Early.

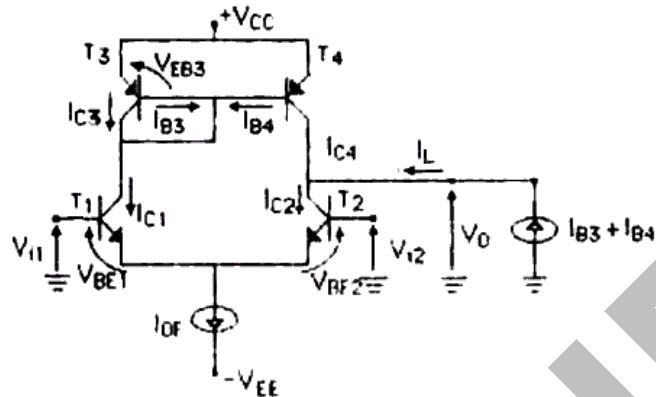


Fig. 14.H

Dicha igualación de tensión se realiza inyectando una corriente en el colector de T_2 de igual valor a $I_{BQ3} + I_{BQ4}$, mediante el circuito de carga conectado al terminal de salida, que actúa como muestra la Fig. 14.H. Notar que mediante este ajuste se obtiene también $I_{CQ3} = I_{CQ4}$.

Por otro lado, si la CAE se implementara con MOSFETs idénticos, para mantener la simetría lograda, la carga debe ser tal que no modifique las condiciones de tensión en vacío ($I_{LO} = 0$) – ver Tabla I -.

AD	CAE	I_{LQ}
TBJ	TBJ	2I _{BQ}
	MOSFET (canal inducido)	0
FET (MOSFET ó JFET)	TBJ	2I _{BQ}
	MOSFET (canal inducido)	0

Tabla I

Si bien en muchos circuitos con este tipo de amplificador – AD con CAE – se busca que la FI sea un espejo con $a = 1$, hay CI donde esto no ocurre. Por ejemplo, la Fig. 14.1 muestra la rama de salida de un circuito de este tipo, donde la carga es un transistor T_5 con su emisor conectado a la unión de los colectores de T_2 y T_4 . En este caso es necesario que T_4 entregue una corriente que alimente también a T_5 y por lo tanto se deberá construir la CAE con un factor $a \neq 1$ – mayor que 1 si T_5 es PNP y menor que 1 si es NPN -. Análogamente ocurrirá si se utilizan MOSFET.

La corriente de carga necesaria para ajustar la igualdad de las corrientes de polarización en los dos transistores del AD, sólo cumple dicha función para la condición de reposo. Para los incrementos - sean de señal útil o por inestabilidad térmica del sistema - las ramas del AD tendrán distintos niveles de carga.

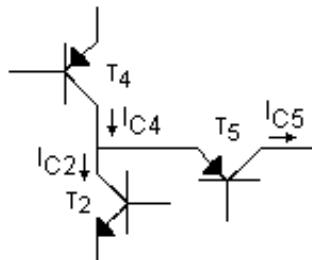


Fig. 14.1

Los desapareamientos de parámetros teóricamente apareados, son de signo y magnitud aleatorios (siguiendo una distribución estadística especificada de acuerdo con su forma de construcción). Por ello, el ajuste realizado mediante el circuito de carga, sólo ayuda a mejorar la simetría del par – por ejemplo, la igualdad en el valor del g_m de los transistores del AD en bipolares o la aproximación de los valores de g_m , en FETs (tener en cuenta que en éste tipo de transistores g_m depende también de las características de los dispositivos, que tendrán sus desapareamientos).

Los efectos de los desapareamientos de los distintos parámetros de cada rama del AD y CAE se corregirán en reposo mediante la tensión y corriente de offset. Tal como se indicó, la carga adecuada del AD con CAE sólo contribuye a la simetría de la FI y de las corrientes en los dos transistores del AD.

A partir de este punto, se considerará ajustada la tensión de salida V_{OQ} de modo que las corrientes en T_1 y T_2 del AD sean iguales.

14.2. Análisis cualitativo de pequeña señal

El análisis de pequeña señal se realizará para un circuito constituido por un par diferencial acoplado por emisor con carga activa espejo simple, despreciando la incidencia de r_μ y r_x en el modelo de los transistores bipolares ó r_{dg} en los FETs, así como todos los efectos reactivos -Fig. 14.1-.

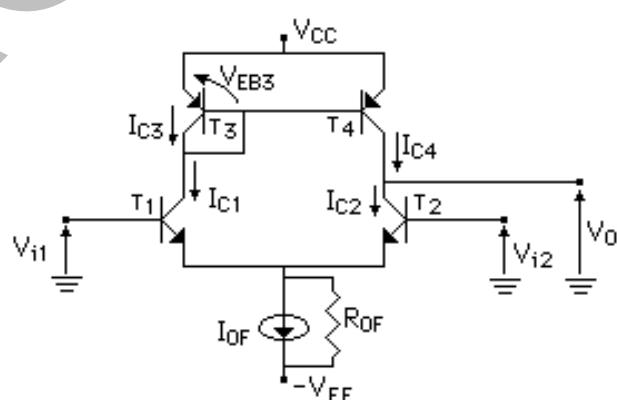


Fig. 14.1

Por el lado de r_μ , este criterio resulta válido dada la tecnología actual de construcción de circuitos integrados monolíticos (CIM) y en

especial, en transistores bipolares NPN ($r_{\mu} \gg \beta r_o$). En el caso de los PNP, podría en algunos casos llegar a influir r_{μ} , como por ejemplo en aquellos valores de resistencia de salida del orden de βr_o .

Por otro lado, el hecho de no tener en cuenta r_x (o sea despreciar la caída en la resistencia del cuerpo de la base para la señal), queda justificado dado que, la resistencia de entrada que presenta en general un par acoplado por emisor utilizado en etapas de entrada de un CIM - con muy bajas corrientes de polarización - es muy elevada frente a r_x y resulta por tanto despreciable la pérdida de señal de excitación de entrada en dicha resistencia. Puede agregarse a esto, que se realizará un análisis en baja frecuencia y por lo tanto los efectos reactivos propios del modelo de señal de los transistores, así como todos aquellos componentes parásitos de los CIM, pueden no ser considerados. Esto es un motivo más de por qué puede despreciarse la resistencia de base r_x , ya que sólo tendrá influencia importante en alta frecuencia.

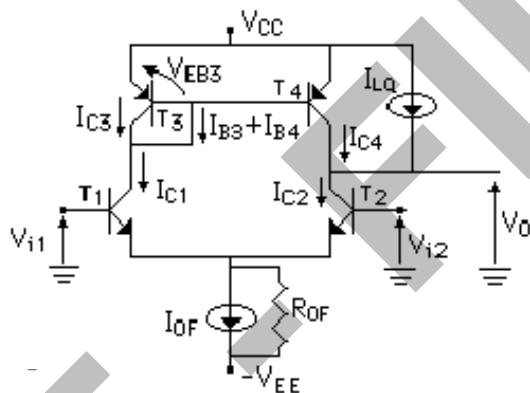


Fig. 14.2a

Dado que los CIM analógicos son circuitos esencialmente que no poseen capacitores de acople y desacople de señal internos por la imposibilidad tecnológica de su construcción – se necesitarán conexiones externas que aumentarían tamaño del conjunto CIM + elementos externos y su confiabilidad -se los tratará como amplificadores de continua, lo cual implica que su rango de frecuencia de trabajo se extiende desde frecuencia nula hasta aquellas en las que comienzan a tener influencia las capacidades propias de los transistores y las parásitas del CIM.

El circuito de carga conectado a la unión de colectores $T_2 - T_4$ se admitirá que puede modelizarse para reposo mediante un generador de corriente continua ideal que entrega una corriente entrante por colectores $I_{LQ} = I_{BQ3} + I_{BQ4}$ – para el caso de TBJ – y para señal mediante una resistencia incremental R_L -Fig. 14.2a y b -.

Por ejemplo, con TBJ, podría implementarse una carga que puede modelizarse en la forma vista, mediante un transistor PNP – con área doble que T_3 y T_4 e igual β - que entrega por su base el valor I_{LQ} en reposo, alimentándolo desde una fuente de corriente, con la misma I_{OF}

que alimenta el amplificador diferencial. Para la señal, R_L resultará igual a $r_{\pi 5}$ – Fig. 14.3 -.

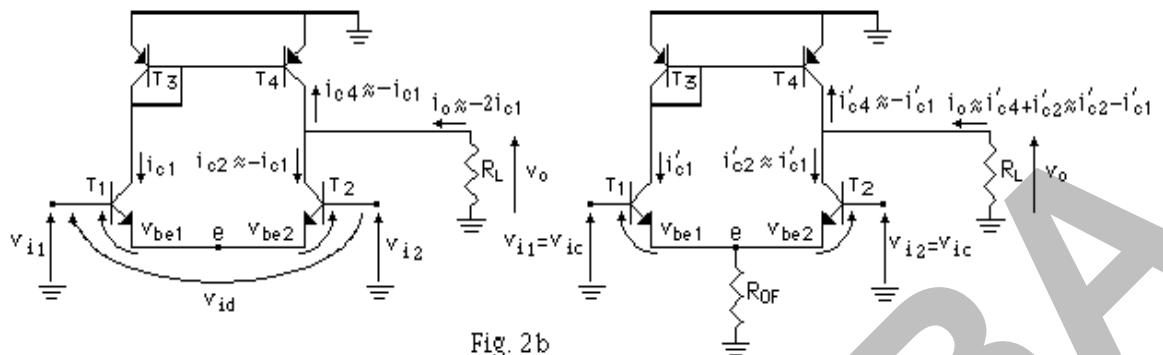


Fig. 14.2b

La resistencia de carga total "vista" por los generadores controlados de corriente de señal de T_2 y T_4 ($g_m v_{be2}$ y $g_m v_{be4}$, respectivamente) puede considerarse directamente como la resistencia de salida del AD con CAE en paralelo con la R_L que presenta el circuito conectado a la salida.

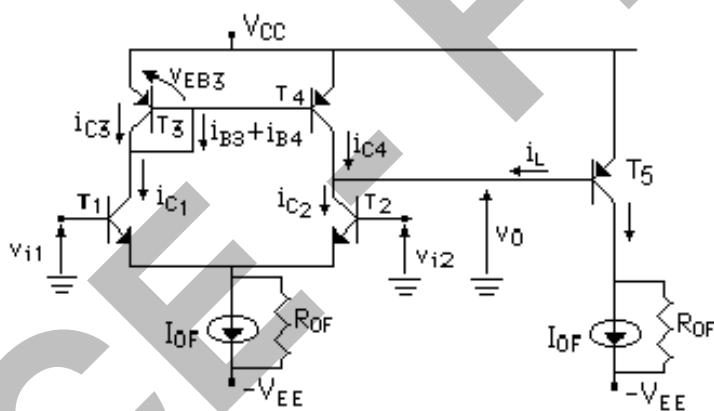


Fig. 14.3

Para entender el funcionamiento de esta configuración, puede realizarse un primer análisis puramente cualitativo sobre su comportamiento ante señales de entrada de modo diferencial y común. Se admitirá para este análisis simplificado, que R_L es mucho menor que la resistencia de salida del circuito, R_o , con el único fin de considerar que los incrementos de corriente de los generadores controlados equivalentes de los transistores T_2 y T_4 se cierran a través de R_L y no tener en cuenta las corrientes que se derivan por las r_o de los mismos.

Cabe aclarar que, si bien en gran parte de los circuitos prácticos conviene que la R_L sea comparable a la R_o para poder aprovechar los altos valores de la amplificación de tensión que posibilita el hecho de utilizar carga activa, este análisis simplificado permitirá realizar un análisis cualitativo muy simple del funcionamiento en señal de este circuito.

Para una señal de entrada diferencial -Fig. 14.2b- $v_{id} = v_{i1} - v_{i2} = v_{b1} - v_{b2} > 0$, se tendrá un incremento de corriente de colector de $T_1 - i_{c1}$ - que se copiará a T_4 a través de la CAE, teniendo en cuenta el factor de copia de ésta. Aunque dicho factor de copia sea distinto que la unidad y se incluyan los desapareamientos que pudieran existir entre T_3 y T_4 , en general se podrá admitir para *señales incrementales de modo diferencial* que $i_{c4} \approx -i_{c1}$ de acuerdo con los sentidos de referencia definidos.

Por otro lado, la tensión diferencial de entrada provocará un incremento en la corriente de colector de $T_2 - i_{c2}$ -. Ese incremento será negativo – un decremento – de acuerdo al funcionamiento del AD. Teniendo en cuenta los desapareamientos que pudieran existir entre T_1 y T_2 y las diferencias en sus cargas, se aceptará para *modo diferencial* que $i_{c2} \approx -i_{c1}$ de acuerdo con los sentidos de referencia definidos.

O sea que para $v_{id} > 0$, ambas corrientes incrementales de los transistores de salida T_2 y T_4 se sumarán aritméticamente, circulando por la carga R_L una corriente entrante $i_o = i_{c2} + i_{c4} \approx -2i_{c1}$, por lo que la corriente real tendrá sentido saliente - sumándose sus valores absolutos en la carga de acuerdo con el análisis realizado -. Se obtiene así un incremento de la tensión de salida:

$$v_o = -i_o R_L = -(i_{c2} + i_{c4}) R_L \approx -(i_{c2} - i_{c1}) R_L \approx 2i_{c1} R_L > 0 \quad (14.1)$$

De manera similar, para una señal de entrada en modo común $v_{ic} = (v_{i1} + v_{i2})/2 = (v_{b1} + v_{b2})/2 > 0$, debido a la R_{OF} finita y a los desapareamientos entre las ramas del AD y la CAE, existirán incrementos de corrientes (que indicaremos con "̄" para que no se confunda con los incrementos de modo diferencial), pudiéndose admitir en primera instancia que $i_{c2} \approx i_{c1}$ e $i_{c4} \approx i_{c3} \approx -i_{c1}$.

Se desprende del principio de funcionamiento del AD que *estos incrementos tendrán una magnitud mucho menor a los provocados por la entrada diferencial*.

Ambas corrientes incrementales en este caso, se restarán en valor absoluto, obteniéndose un incremento de la tensión de salida:

$$v_o = (i_{c2} + i_{c4}) R_L \approx (i_{c2} - i_{c1}) R_L \rightarrow 0 \quad (14.2)$$

Debe tenerse en cuenta que, si bien $i_{c2} - i_{c1}$ será muy pequeña, no valdrá cero, ya que los desapareamientos siempre existirán (si el apareamiento constructivo fuese perfecto entre los dos transistores del AD y los dos de la CAE, el hecho de que la R_{OF} no sea infinita o que el factor de copia de la CAE sea distinto de la unidad, ya producirá una diferencia de corrientes, si bien más pequeña, distinta de cero).

Así, aunque i_{c2} e i_{c4} en modo común sean relativamente pequeñas frente a los incrementos en modo diferencial, su diferencia en valores absolutos puede ser del mismo orden que ellas, ya que se restan valores muy cercanos con lo que será en general pequeña frente al $2i_{c1}$ de modo diferencial, *pero no nula*.

Resulta evidente observar que la acción del circuito es la de sumar o restar incrementos de corriente sobre la carga según sea la señal de entrada de modo diferencial o común respectivamente, por lo que los incrementos de tensión de salida serán muy diferentes y obviamente mucho mayores para entrada diferencial que para común.

La forma de las expresiones halladas son similares a las amplificaciones de modo diferencial y común de un par acoplado por emisor con carga resistiva R_L en ambas ramas y salida en forma diferencial -Fig. 14.4-. En ese caso se tendrá, admitiendo la existencia de pequeños desapareamientos entre los TBJ que conforman el par y aplicando superposición para las señales de entrada diferencial y común:

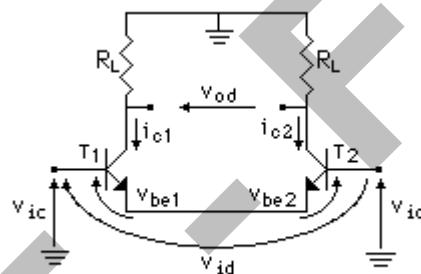


Fig. 14.4

$$\text{Para } v_{id} > 0 : i_{c2} \approx -i_{c1} \quad v_{odd} = v_{o1} - v_{o2} = -(i_{c1} - i_{c2})R_L \approx -2i_{c1}R_L$$

$$(14.3)$$

$$\text{Para } v_{ic} > 0 : i_{c2} \approx i_{c1} \quad v_{odc} = v_{o1} - v_{o2} = -(i_{c1} - i_{c2})R_L \ll v_{odd}$$

14.3. Análisis para señal de entrada de modo diferencial pura

La amplificación de tensión para entrada diferencial pura se define como:

$$Av_d = \left. \frac{v_o}{v_{id}} \right|_{v_{ic}=0} \quad (14.4)$$

Para analizar al sistema del AD con CAE para incrementos de continua y bajas frecuencias, *a los efectos de la carga R_L* , lo modelizaremos mediante un generador de corriente controlado ideal de valor $i_o |_{v_o=0} = -g_{MD} v_{id}$ y una resistencia de salida R_o . *A los efectos del*

generador de señal v_{id} , la red será modelizada por su resistencia de entrada diferencial R_{id} - Fig. 14.5 -.

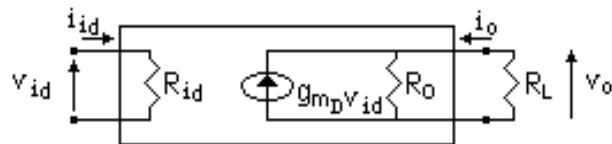


Fig. 14.5

Dichos componentes se definirán como:

$$g_{mD} = \left. \frac{-i_o}{v_{id}} \right|_{v_o=0}; R_o = \left. \frac{v_{op}}{i_{op}} \right|_{v_{id}=0; v_{ic}=0}; R_{id} = \left. \frac{v_{id}}{i_{id}} \right|_{v_o=0} \quad (14.5)$$

Notar que el signo negativo en g_{mD} se debe a las referencias adoptadas en la Fig. 14.5. Y pueden calcularse a partir de los circuitos indicados en las Fig. 14.6 (en el caso de AD con FET, $R_{id} \rightarrow \infty$).

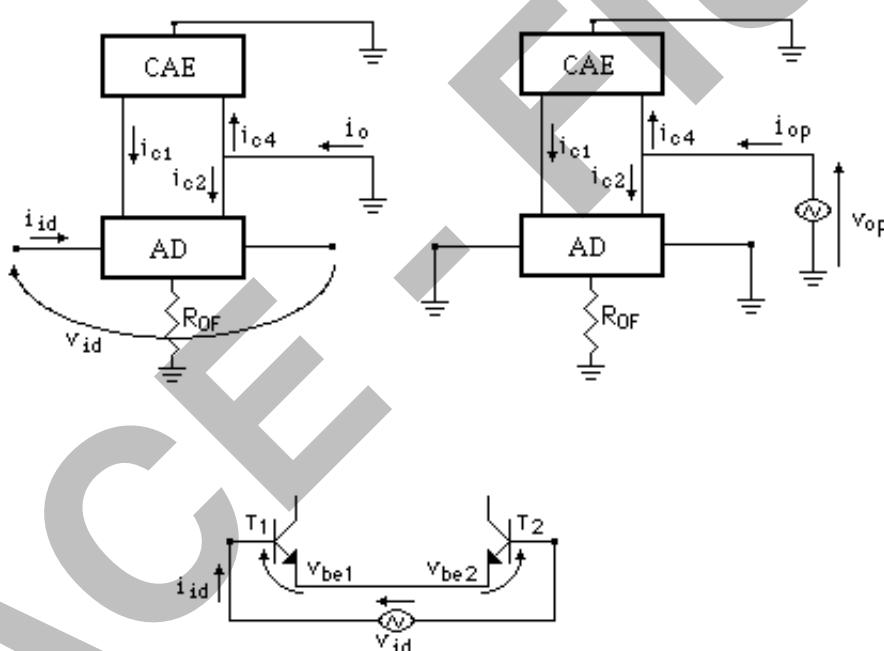


Fig. 14.6

De acuerdo al análisis cualitativo realizado se obtuvo al aplicar v_{id} , $i_o \approx -2i_{c1}$, considerando $R_L \ll R_o$. Lo que equivale en realidad a:

$$i_o \Big|_{v_o=0} \approx (i_{c2} + i_{c4}) \approx (i_{c2} - i_{c1}) \approx -2i_{c1} \quad (14.6)$$

Dado que $i_{c1} \approx g_{m1} v_{id}/2$, se obtendrá $g_{mD} \approx g_{m1}$.

Teniendo en cuenta los desapareamientos entre los valores de g_m , resulta:

$$g_{mD} = \frac{g_{m1} + g_{m2}}{2} \quad (14.7)$$

Pudiéndose aceptar en forma aproximada para modo diferencial puro $g_{mD} \approx g_{m1}$.

De acuerdo al análisis cualitativo realizado, resulta que para $v_{id} > 0$ será $i_o < 0$, lo que justifica el sentido del generador controlado $g_{mD} v_{id}$.

De acuerdo con la Fig. 14.6b, $i_{op} = i_{c2} + i_{c4}$, lo que significa que $1/R_o = i_{op} /v_{op} = i_{c2} /v_{op} + i_{c4} /v_{op}$, en donde, en base a las correspondientes definiciones se tendrá:

$$R_{oc2} = v_{op} /i_{c2} \text{ y } R_{oc4} = v_{op} /i_{c4}$$

La primera de ellas, como se observa fácilmente en las Fig. 14.7a y b, corresponde a la de un transistor - T_2 -en emisor común, realimentado por emisor mediante $r_{d1}/R_{OF} \approx r_{d1}$ y $R_B = 0$.

$$R_{oc2} = v_{op} /i_{c2} = r_{o2}[1 + g_{m2}(r_{d1}/r_{\pi2})] \approx 2r_{o2}$$

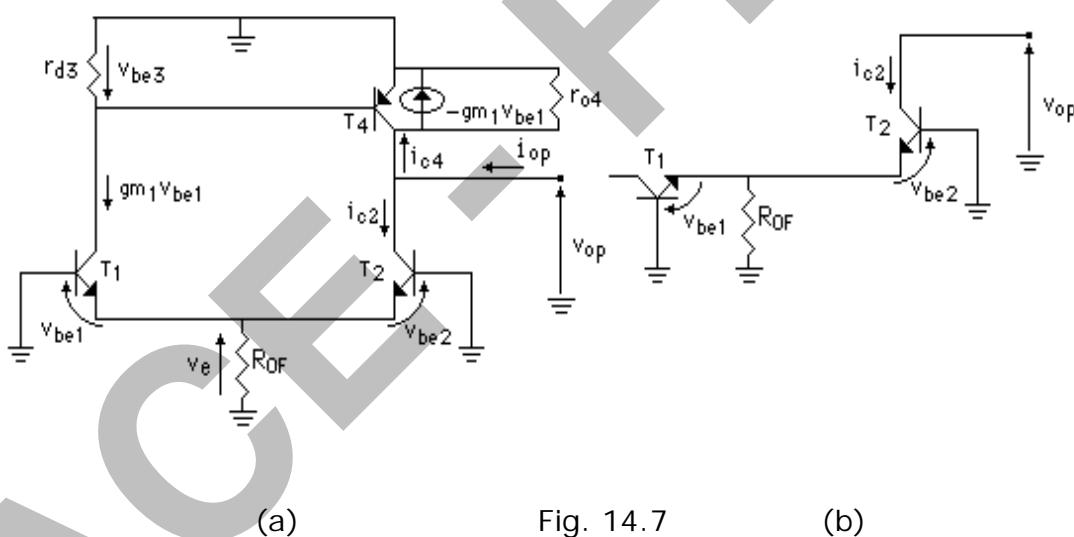


Fig. 14.7

La segunda, resulta del paralelo entre r_{o4} , sobre la que cae v_{op} y una resistencia equivalente al efecto del generador controlado, tal como se observa en la Fig. 14.7a.

Valiendo este último generador $-g_{m1}v_{be1} \approx -i_{c1} \approx i_{c2}$, la resistencia equivalente que presenta el generador será $v_{op} /i_{c2} = R_{oc2}$.

La resistencia total de salida del transistor $T_4 - R_{oc4}$ -, será:

$$R_{oc4} = v_{op} /i_{c4} = r_{o4}/R_{oc2} \approx r_{o4}/2r_{o2}$$

La resistencia de salida de todo el sistema será:

$$R_o = \left. \frac{v_{op}}{i_{op}} \right|_{v_{id}=0; v_{ic}=0} = R_{oc2} // R_{oc4} \cong r_{o2} // r_{o4} \quad (14.8)$$

Circuitalmente, la resistencia de entrada diferencial sería la obtenida mediante el cociente entre la tensión de un generador de señal v_{id} conectado en forma flotante entre ambas bases de los transistores que conforman el par diferencial $T_1 - T_2$ (entradas no inversora e inversora, respectivamente) y la corriente de señal i_{id} que circule por él (Fig. 14.6c).

Obviamente, conectando el generador en forma flotante, la malla por la que se cierra i_{id} no podrá ser otra que la que contiene al generador, a $r_{\pi 1}$ y $r_{\pi 2}$. Por lo tanto, *la resistencia de entrada para una excitación en modo diferencial puro* será :

$$R_{id} = \left. \frac{v_{id}}{i_{id}} \right|_{v_o=0} = r_{\pi 1} + r_{\pi 2} = 2 r_{\pi 1} = 2 r_{\pi 2} = 2 r_{\pi D} \quad (14.9)$$

Donde $r_{\pi D}$ tiene el mismo significado que se ha dado para g_{mD} .

Si la salida no está en cortocircuito, despreciando r_{μ} , el valor de R_{id} será el mismo.

Considerando que la entrada diferencial pura normalmente está dividida en dos fuentes $v_{id}/2$ y $-v_{id}/2$ aplicadas entre las entradas no inversora e inversora y común, respectivamente, la influencia de la tensión de salida v_o sobre la tensión v_e de la unión de los emisores del par $T_1 - T_2$, provocará que la resistencia obtenida de este modo, no se corresponda con la R_{id} , dado que, al ser $v_e \neq 0$, será $v_{be1} \neq v_{be2}$ y por lo tanto $i_{b1} \neq i_{b2}$, siendo entonces las resistencias vistas desde cada entrada $v_{id}/2i_{b1}$ y $-v_{id}/2i_{b2}$. O sea, las corrientes por cada generador $v_{id}/2$ serán diferentes.

Si se desprecia el efecto de realimentación citado, podrá considerarse $v_e \cong 0$ y por lo tanto, $v_{be1} = v_{be2}$ e $i_{b1} = i_{b2} = i_{id}$, siendo en este caso ambas resistencias de entrada iguales y coincidentes cada una con $R_{id}/2$, caso similar al de un par acoplado por emisor con carga resistiva en ambos colectores perfectamente apareado.

Cabe aclarar que, estrictamente, las resistencias vistas entre cada entrada y común se definen como:

$$R_{i1} = \left. \frac{v_{b1}}{i_{b1}} \right|_{v_{b2}=0}; \quad R_{i2} = \left. \frac{v_{b2}}{i_{b2}} \right|_{v_{b1}=0} \quad (14.10)$$

De acuerdo con lo analizado para R_{id} , es evidente que el efecto de la realimentación sobre la entrada provocada por la CAE, hará que las

resistencias vistas desde la entrada no inversora e inversora sean diferentes entre sí y dependientes de los valores de r_{o2} y r_{o4} . Estas expresiones resultan ser para el AD con CAE en vacío para la señal:

$$R_{i1} = 2r_{\pi D} \frac{1}{\frac{1}{\beta_D} + \frac{1}{1+r_{o4}/r_{o2}}} \quad ; \quad R_{i2} = 2r_{\pi D} \frac{1}{\frac{1}{\beta_D} + \frac{1+2r_{o4}/r_{o2}}{1+r_{o4}/r_{o2}}} \quad (14.11)$$

Puede verse a partir de (14.11) que la influencia de la realimentación a través de la carga activa desaparece para $r_{o4} \ll r_{o2}$, (o considerando R_L , para $r_{o4}/R_L \ll r_{o2}$) en cuyo caso $R_{i1} \approx R_{i2} \approx 2r_{\pi D}$, resultando igual a R_{id} .

De acuerdo al modelo de la Fig. 14.5 y la definición de la amplificación de tensión en modo diferencial, se tendrá:

$$Av_d = \left. \frac{v_o}{v_{id}} \right|_{v_{ic}=0} = g_{mD} (R_o // R_L) \quad (14.12)$$

Finalmente, de (14.12), para este circuito en vacío con transistores bipolares, puede rescribirse Av_d :

$$Av_d = \left. \frac{v_o}{v_{id}} \right|_{v_{ic}=0} = g_{mD} R_o \approx g_{mD} (r_{o2} // r_{o4}) \approx \frac{I_{CQ} / V_T}{I_{CQ} / V_{A2} + I_{CQ} / V_{A4}} = V_{Aef} / V_T \quad (14.13)$$

Resulta evidente que el análisis con señal diferencial en AD con CAE para FETs es similar.

14.4. Análisis para señal de entrada de modo común pura

La amplificación de tensión para una entrada de modo común se define como -Fig. 14.8-:

$$Av_c = \left. \frac{v_o}{v_{ic}} \right|_{v_{id}=0} \quad (14.14)$$

La amplificación de modo común depende *principalmente* de las *asimetrías entre las dos ramas del circuito*, que se traduce en la diferencia entre incrementos de corriente de los transistores de la rama de salida correspondientes a los transistores del AD y de la CAE y de la resistencia de salida de la fuente de polarización de corriente R_{OF} .

Por lo tanto, Av_c será, en forma general, una función de los parámetros del circuito y de sus asimetrías.

$$Av_c = f (R_{OF}; I_S; \beta; V_A; \dots; \Delta I_S; \Delta \beta; \Delta V_A; \dots) \text{ para TBJ} \quad (14.15)$$

$$A_{Vc} = f(R_{OF}; W; L; V_T; \lambda; \dots; \Delta W; \Delta L; \Delta V_T; \Delta \lambda; \dots) \text{ para MOSFET (14.16)}$$

Donde la diferencia entre parámetros teóricamente apareados se indica con Δ y el parámetro, como su valor promedio.

Si se considera copia unitaria en la fuente de corriente y se admite apareamiento perfecto en los transistores que cumplen igual función en las dos ramas ($T_1 - T_2$ en el AD y $T_3 - T_4$ en la CAE), el análisis se reduce notablemente.

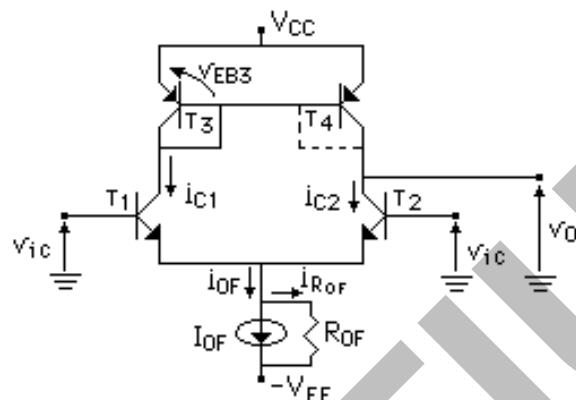


Fig. 14.8

Como se demostró en condiciones de reposo, si la copia de la CAE es unitaria, existirá un *corto virtual* entre colector y base de T₄, dado por la realimentación de una rama del AD sobre la otra la cual fuerza igualdad de corrientes y por ende de tensiones – Fig. 14.8 -.

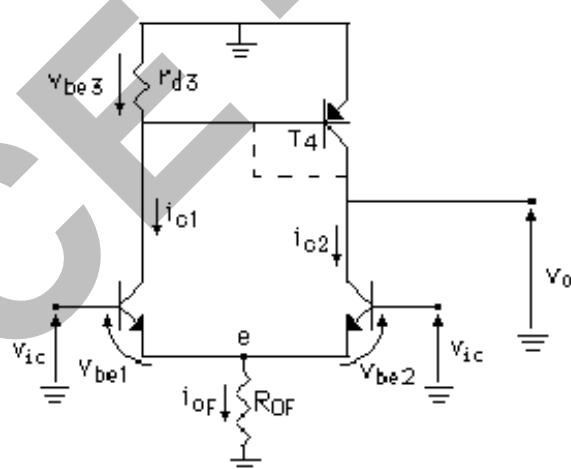


Fig. 14.9

Para señal – Fig. 14.9 -, ante una v_{ic} aplicada, la tensión v_e de la unión de los emisores del AD seguirá a la entrada de modo común v_{ic} , por lo que un incremento de ésta provocará un aumento de la corriente por R_{OF} y por lo tanto un aumento en la corriente i_{OF} . Este incremento de $i_{OF} - i_{oF}$ traerá como consecuencia un aumento de las corrientes de colector de los transistores del par $T_1 - T_2$, i_{c1} e i_{c2} , respectivamente, y el lazo de realimentación de la CAE deberá funcionar de la misma forma para estos nuevos valores de corriente. Es decir, el aplicar un

incremento de modo común resultará equivalente a cambiar el valor de las corrientes de reposo – y las tensiones -, y el análisis que lleva a $V_{CB4Q} = 0$ seguirá siendo válido ya que variará sólo $v_{BE3} = v_{BE4}$.

Por lo tanto, siendo $v_{ce3} = v_{be3} = v_{ce4} = v_o$, se cumplirá - Fig. 14.9 -:

$$Av_c = \left. \frac{v_o}{v_{ic}} \right|_{v_{id}=0} = \frac{v_{be3}}{v_{ic}} = \frac{i_{c1}r_{d3}}{i_{c1}r_{d1} + i_{oF}R_{OF}} \approx \frac{r_{d3}}{2R_{OF}} \quad (14.17)$$

ya que $i_{oF} = i_{c1} + i_{c2} = 2i_{c1}$ y $R_{OF} >> r_{d1}$.

O sea que podrá admitirse que se mantendrá el corto virtual entre colector y base de T_4 como en reposo, presentando la rama de salida de la CAE una resistencia dinámica $r_{d4} \approx 1/g_{m4}$ al transistor T_2 , igual a la presentada por T_3 a T_1 . Es decir, se admite que la fuente espejo "carga" a ambas ramas del AD con igual resistencia.

Si bien la expresión de Av_c a la que se llega es similar a la obtenida por el hemicircuito de un AD con carga resistiva r_d en ambas ramas, sigue siendo válido el hecho de la imposibilidad de aplicar hemicircuitos, ya que sólo se llega a este resultado considerando la influencia de una rama del AD sobre la otra y no separando ambas ramas y analizándolas en forma independiente.

Para este circuito en particular, con transistores bipolares, donde $g_{mD} \approx g_{m3}$, Av_c puede reducirse a la siguiente expresión:

$$Av_c \approx \frac{1}{2g_{mD}R_{OF}} = \frac{V_T}{V_{AF}} \quad (14.18)$$

Donde V_{AF} es la tensión de Early equivalente de la fuente de corriente de polarización.

En MOSFETs, la expresión será similar a (14.17), teniendo en cuenta que normalmente g_{m3} será distinto a g_{mD} de acuerdo a la diferencia que pueda existir entre los valores de las características constructivas de los transistores canal N y canal P.

Teniendo en cuenta los desapareamientos, de acuerdo con (14.15), se puede demostrar que la expresión de la amplificación de modo común para TBJs será:

$$Av_c \approx -\frac{r_{d3}}{2R_{OF}} - \frac{R_o}{\beta_3 R_{OF}} + \frac{R_o}{2R_{OF}} \left(\pm \frac{\Delta g_{m1,2}}{g_{m1}} \mp \frac{\Delta g_{m3,4}}{g_{m3}} \pm \frac{2R_{OF}}{r_{o1}} \frac{\Delta V_{A1,2}}{V_{A1}} \right) \quad (14.19)$$

Y para MOSFETs:

$$Av_c \approx -\frac{r_{d3}}{2R_{OF}} + \frac{R_o}{2R_{OF}} \left(\pm \frac{\Delta g_{m1,2}}{g_{m1}} \mp \frac{\Delta g_{m3,4}}{g_{m3}} \mp \frac{2R_{OF}}{r_{o1}} \frac{\Delta \lambda_{1,2}}{\lambda_1} \right) \quad (14.20)$$

Los signos y valores de los desapareamientos son aleatorios (dentro de un margen de tolerancia y distribución estadística dada por el proceso de fabricación). Por lo que el Av_c máximo de peor caso se obtendrá tomando todos los términos dentro del paréntesis de (14.19) y (14.20) en valores absolutos y sumándolos a los primeros.

Cabe acotar, que para los MOSFETs, se ha incluido en el desapareamiento de los g_m los factores ΔW , ΔL y ΔV_T , y que al ser $\lambda = 1/V_A$, se invierte su signo respecto de (14.19)

14.5. Relación de rechazo de modo común

La RRMC considerando las condiciones de apareamiento perfecto entre las ramas, será, para TBJ

$$RRMC = \left| \frac{Av_d}{Av_c} \right| = 2g_{mD} R_{OF} g_{mD} (r_{o2} // r_{o4} // R_L) \quad (14.21)$$

Resulta interesante comparar las expresiones de la RRMC para el AD con CAE y el AD con carga resistiva y salida simple ($RRMC_R$), considerando que no hay desapareamientos:

$$\begin{aligned} RRMC_R &= \left| \frac{Av_{2d}}{Av_{2c}} \right|_R = g_{mD} R_{OF} \\ RRMC_{CAE} &= \left| \frac{Av_d}{Av_c} \right|_{CAE} = 2g_{mD} R_{OF} g_{mD} (r_{o2} // r_{o4} // R_L) \end{aligned} \quad (14.22)$$

Es decir que, de (14.22), se desprende que la $RRMC_{CAE}$ será, en condiciones ideales, mucho mayor que su similar con carga resistiva - $2Av_d|_{CAE}$ veces mayor que la de un AD con carga resistiva y salida simple -.

Al considerar los desapareamientos, la A_{vc} del AD con CAE, aumenta fuertemente, por lo que la RRMC tendrá un valor mucho menor que el dado por (14.21), pero normalmente superior en un factor de decenas respecto a su equivalente con carga resistiva.

14.6. Tensión de offset y su relación con la RRMC

Definiremos la *tensión residual o de offset*, V_{off} , para un AD como aquella *tensión de entrada diferencial* necesaria para obtener igualdad en tensiones de reposo en ambas ramas del diferencial, o sea $V_{CO1} = V_{CO2}$, cuando existe desapareamiento en transistores teóricamente

apareados. La V_{off} se define sobre el circuito cargado, donde la corriente de reposo que entrega el circuito de carga en el caso de CAE con TBJ, $I_{LQ} = 2I_{BQ3}$, lograría igualar las tensiones de reposo si los transistores estuvieran perfectamente apareados.

La V_{off} modificará la tensión de salida, de forma tal de igualar las tensiones de colector en ambas ramas.

Como la tensión de offset resulta ser un ajuste de los desapareamientos de las ramas del par con su carga para los puntos de reposo y la RRMC una relación entre las amplificaciones de modo diferencial y modo común, cuyo valor depende fuertemente de los mismos desapareamientos que la V_{off} , resulta lógico relacionarlas.

Puede obtenerse una relación entre la V_{off} y la RRMC a partir de considerar iguales incrementos de la tensión de salida (v_o) ante excitaciones de modo diferencial (v_{id}) y común (v_{ic}). O sea si a un incremento de v_o debido a una v_{ic} , le oponemos un decremento de v_o mediante una tensión aplicada v_{id} , de forma tal que el incremento total de v_o sea nulo, se tendrá:

$$RRMC = \left| \frac{Av_d}{Av_c} \right| = \left| \frac{\frac{v_o}{v_{id}} \Big|_{v_{ic}=0}}{\frac{v_o}{v_{ic}} \Big|_{v_{id}=0}} \right| = \left| \frac{v_{ic}}{v_{id}} \right| \Rightarrow \left| v_{id} \right| = \frac{\left| v_{ic} \right|}{RRMC} \quad (14.23)$$

Si se piensa esta v_{id} así obtenida como una compensación del v_o causado por desapareamiento, entonces esa v_{id} es la tensión de offset.

Otro modo de interpretar la expresión (14.23) podría ser que, si $V_{CQ1} \neq V_{CQ2}$ debido a los desapareamientos, para obtener su igualdad sin aplicar la tensión de offset en modo diferencial, deberá aplicarse una tensión de entrada de modo común RRMC veces mayor que la V_{off} correspondiente.

Obviamente, sería un error analizar (14.23) como que a $v_{ic} = 0$, $V_{off} = 0$, ya que en esta expresión se parte de lograr igualdad de V_{CQ1} y V_{CQ2} mediante una tensión de modo común equivalente a la que se debe aplicar en modo diferencial para obtener igual efecto sobre el desapareamiento existente.

Tanto una menor Tensión de offset como una mayor Relación de Rechazo de Modo Común indican un menor grado de desapareamiento del circuito y constituyen una medida equivalente a un "factor de mérito" en un amplificador diferencial.

Si bien ambos parámetros brindan información sobre el grado de desapareamiento de los transistores del circuito, existe entre ambos

una diferencia conceptual importante. La V_{off} es el equivalente a una tensión de entrada diferencial necesaria para obtener apareamiento en *tensiones de reposo*. La RRMC es una relación entre amplificaciones de tensión de señal para el circuito ya igualado en *tensiones de reposo*. Los desapareamientos seguirán influyendo en señal, tal como se mostró en (14.19) y (14.20). Pero si no se corrigieran los puntos de reposo mediante V_{off} , sería muy factible la posibilidad de que este corrimiento de tensiones lleve a corte o a saturación a alguno de los transistores de circuito integrado al que pertenece el diferencial, en particular cuando es su etapa de entrada.

Del mismo modo, las variaciones de los parámetros teóricamente apareados debido a cambios en la temperatura de funcionamiento del circuito, podrán analizarse de la misma forma que las anteriores.

**A0.11 – Amplificadores Operacionales:
Conceptos básicos**

15.- Amplificadores Operacionales – Conceptos básicos

Introducción

Los **Amplificadores Operacionales de Tensión** son circuitos con dos terminales de entrada contra común y normalmente uno de salida, y se distinguen por las siguientes características:

A) Ante una señal $v_{id} = \varepsilon$ impuesta como diferencia de potencial entre las dos entradas, – Fig. 15.1 –, presenta una amplificación de tensión:

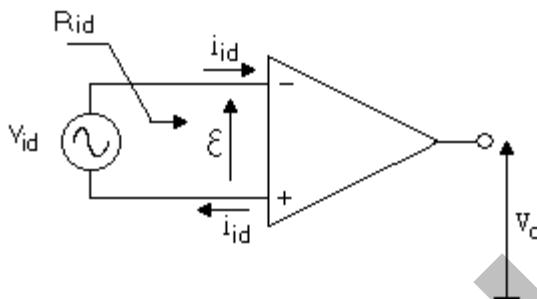


Fig. 15.1

$A_{vd} = A_{vol} = v_o/v_{id} = v_o/\varepsilon$, con un valor muy elevado ($A_{vd} \sim 10^5 ; 10^6$) donde $\varepsilon = v_{id}$, como se utiliza en parte de la bibliografía.

Se define como **tensión de entrada diferencial** $v_{id} = \varepsilon$ a la diferencia de potencial entre las entradas inversora y no inversora,

El subíndice "ol" en el segundo término significa lazo abierto (open loop), dado que esta amplificación es la que proporcionaría el circuito sin realimentación; aunque en la práctica no funcionaría correctamente en esa condición, por razones que se analizarán posteriormente.

$R_{id} = v_{id} / i_{id}$ es también muy elevada ($R_{id} \sim$ algunos $M\Omega$ con entrada TBJ; $R_{id} \sim 10^{12} \Omega$ con entrada JFET; $R_{id} \rightarrow \infty$ con entrada IGFET – dispositivos de compuerta aislada –).

B) Ante una señal v_{ic} que haga variar ambas entradas en igual forma respecto a común, –Fig. 15.2–

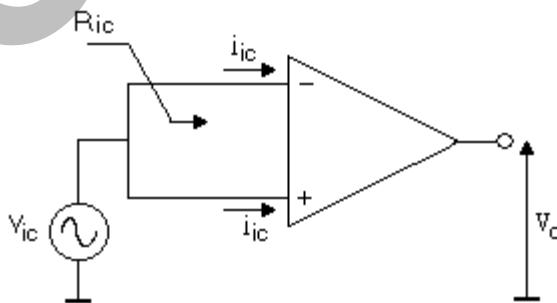


Fig. 15.2

$A_{vc} = v_o/v_{ic}$ es un valor muy pequeño frente a A_{vd} ($A_{vc} \sim 10^{-5} A_{vd}$)

Definiéndose ahora como **tensión de entrada de modo común** v_{ic} al valor promedio de ambas tensiones de entrada medidas con respecto a común o masa del sistema.

$R_{ic} = v_{ic} / i_{ic}$ es un valor aún mucho mayor que el de R_{id} .

C) Con respecto a la resistencia de salida, – Fig. 15.3 –:

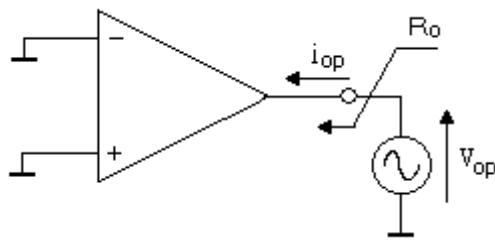


Fig. 15.3

$R_o = v_{op} / i_{op}$ presenta valores bajos, del orden de decenas de ohm.

D) **Conclusiones** : De acuerdo con lo anterior, se ve que el amplificador operacional de tensión puede ser modelizado como un amplificador ideal de tensión diferencial con amplificación muy elevada para esta excitación y despreciable para el modo común, – Fig. 15.4 – obteniéndose con estas aproximaciones resultados satisfactorios para el análisis básico de los circuitos prácticos. ⁽¹⁾

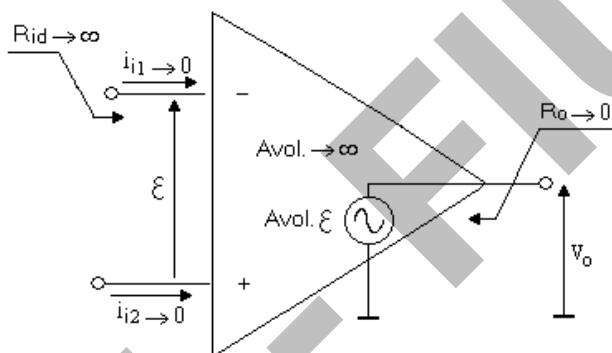


Fig. 15.4

15.1. Características principales para señal de un amplificador operacional ideal de tensión.

- $A_{vd} = A_{vol} \rightarrow \infty$
- $R_{id} \rightarrow \infty$
- $R_{ic} \rightarrow \infty$
- $R_o \rightarrow 0$
- $A_{vc} \rightarrow 0$

De la condición $A_{vd} = A_{vol} \rightarrow \infty$ surge que **siendo v_o finito**, acotado por los valores de las fuentes de alimentación, entonces $\epsilon \rightarrow 0$; **siempre que el amplificador esté operando linealmente**. Si el nivel de señal es elevado como para que el circuito salga de su zona de **funcionamiento lineal**, el concepto de A_{vd} pierde validez y no puede plantearse $\epsilon \rightarrow 0$. La condición $\epsilon \rightarrow 0$ permite hablar de un **corto virtual** entre los terminales de entrada de un AO ideal. Este corto virtual podrá admitirse en un AO real siempre que la amplificación de tensión del sistema realimentado sea mucho menor que A_{vol} .

⁽¹⁾ Se hace notar que también existen amplificadores operacionales de trasconductancia (AOT u OTA), los cuales se comportan como amplificadores casi ideales de G_m .

De las condiciones $R_{id} \rightarrow \infty$, $R_{ic} \rightarrow \infty$ surge $(i_{i1}; i_{i2}) \rightarrow 0$.

E) Consideraciones relativas al punto de reposo para una etapa de entrada del AO con TBJs:

E₁) Efecto de las corrientes de polarización de los transistores de la etapa de entrada –Fig. 15.5–

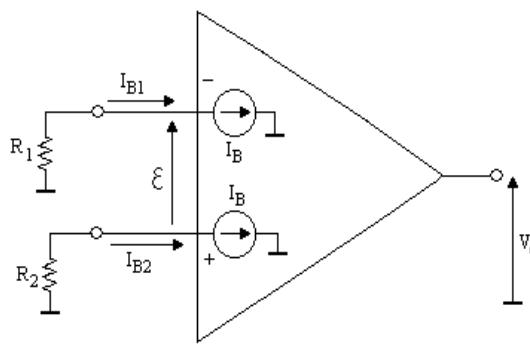


Fig. 15.5

Para evitar que las corrientes de polarización I_B produzcan una tensión diferencial $\varepsilon \neq 0$, que se amplificaría provocando un corrimiento en el valor de reposo V_o , los valores de las resistencias R_1 y R_2 vistas desde ambas entradas deberán ser iguales. Estas corrientes I_B suelen denominarse I_{BIAS} .

E₂) Efectos de los desapareamientos.

Cuando los transistores que forman las etapas diferenciales no son idénticos, surgen dos efectos:

- Tensión de offset V_{off} : Tensión diferencial que se debería aplicar a la entrada para obtener una salida $V_o = 0$ en reposo.
- Corriente de offset I_{off} : Diferencia entre las dos corrientes de entrada cuando $V_o = 0$.

Para compensar estos efectos, siendo inconveniente hacerlo en la entrada debido a la alta sensibilidad del amplificador, los fabricantes proveen dos terminales conectados a nodos convenientes del circuito interno, los cuales permiten mediante un preset de ajuste lograr la condición $V_o=0$ para el punto de reposo.– Fig. 15.6 –.

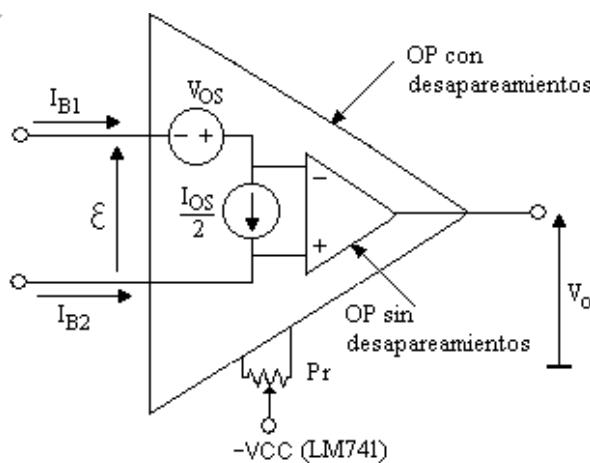


Fig. 15.6

1) Amplificador inversor con amplificación de tensión $A_v = -10$ –Fig. 15.7-:

Los resistores $R_3//R_4$ compensan la diferencia de resistencias de base para equilibrar las tensiones continuas de ambas bases de los TBJ de entrada, debido a la circulación de corriente de base. Por este motivo $R_3//R_4$ debe ser igual a $R_1//R_2$ por las que circula I_{BQ1} e I_{BQ2} cuando no hay señal ($v_i = 0$, $v_o = 0$).

Notar que la tensión en ambas entradas serán aproximadamente $I_{BQ} \cdot (1K/10K)$, del orden de algunos microvolt para el OP741. – Tener en cuenta que para la continua la salida del AO también presenta una resistencia relativamente muy pequeña –.

Según lo expresado en la sección D), para cualquier incremento (sea de señal útil o efectos espúreos), podemos escribir:

$$i_3 \rightarrow 0 \Rightarrow v_3 \rightarrow 0$$

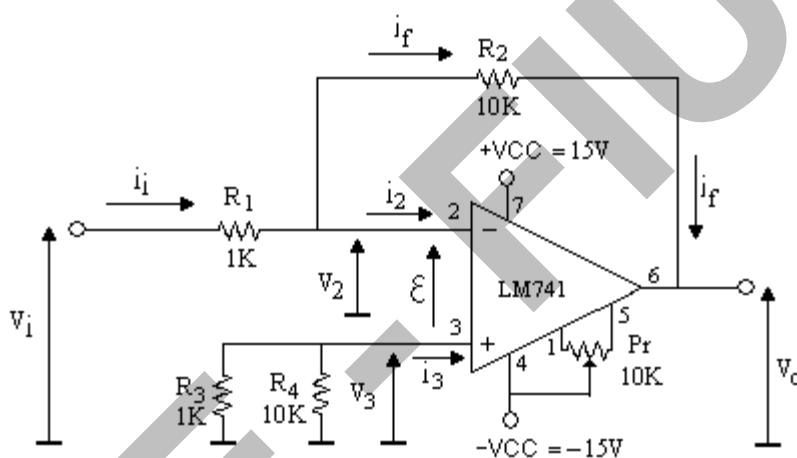


Fig. 15.7

Además $\varepsilon \rightarrow 0$ por lo cual también $v_2 \rightarrow 0$ y por lo tanto $i_1 \approx v_i / R_1$ (I)

Como también $i_2 \rightarrow 0$; $i_f \approx i_1$, con lo cual $v_o = v_2 - i_f \cdot R_2 \approx -i_f \cdot R_2 \approx -i_1 \cdot R_2$ (II)

De (I) y (II) surge:

$$A_v = v_o / v_i \approx -i_1 \cdot R_2 / i_1 \cdot R_1 = -R_2 / R_1$$

Nótese que si el generador de señal que provee v_i posee capacitor serie a la salida, debe preverse el cierre del circuito de la entrada inversora para la polarización (tanto para TBJ como para MOSFET).

Los generadores de señal de nuestro laboratorio no poseen capacitores de paso y presentan una resistencia de salida muy baja (50Ω) por lo que para cumplir con lo indicado en la sección E1) resulta suficiente la igualdad entre $R_3//R_4$ con $R_1//R_2$.

2) Amplificador no inversor con $A_v = 11$ –Fig. 15.8-:

Nuevamente, según lo expresado en D):

$$i_3 \rightarrow 0 \Rightarrow v_3 \approx v_i$$

Como $\varepsilon \rightarrow 0$; $v_2 \approx v_3 \approx v_i$ y por lo tanto $i_1 \approx -v_i / R_1$ (III)

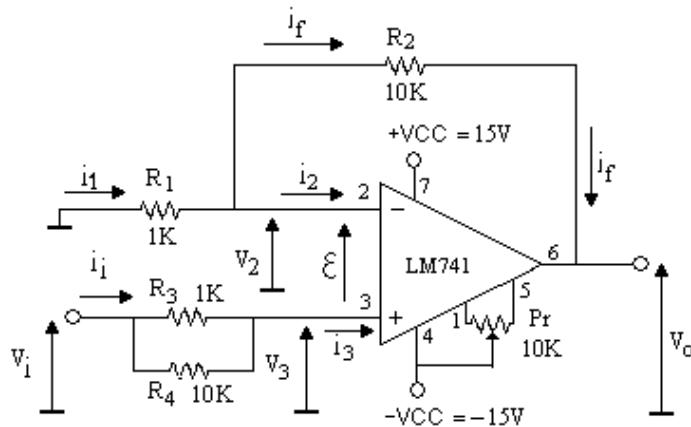


Fig. 15.8

Siendo que $i_2 \rightarrow 0$, $i_1 \approx i_f$, por lo cual $v_o \approx -i_1 \cdot (R_1 + R_2)$ (IV)

De (III) y (IV) surge que:

$$Av = v_o / v_i \approx (R_1 + R_2) / R_1$$

Al igual que en el amplificador inversor, se fijó $R_3//R_4 = R_1//R_2$ de acuerdo con lo establecido en E).

3) Amplificador seguidor –Fig. 15.9-:

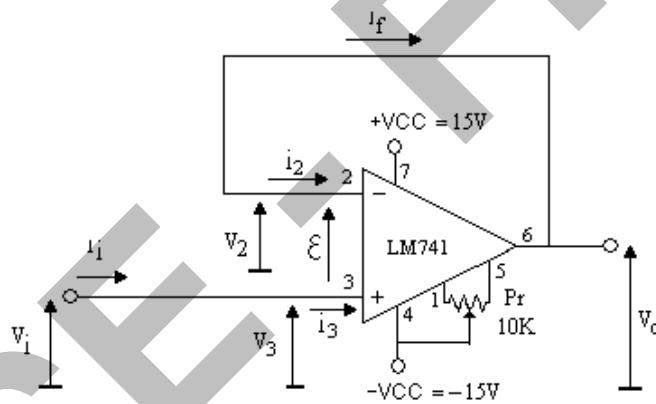


Fig. 15.9

Planteamos $v_3 = v_i$; y como $\epsilon \rightarrow 0$, $v_2 \approx v_3 = v_i$

Luego $v_o = v_2 \approx v_i$, por lo cual:

$$Av = v_o / v_i \approx 1$$

Es interesante ver que lo exigido en E₁) se verifica en el circuito planteado dado que tanto el generador de señal como la salida del operacional presentan una resistencia muy baja para corriente continua.

4) Amplificador diferencial con amplificación de tensión $Av_d = -10$ –Fig. 15.10-:

Se define Av_d como v_o/v_{id} ; donde $v_{id}=v_{i1}-v_{i2}$ es la diferencia entre las dos tensiones de entrada del circuito completo. Analizar el concepto de terminales de entrada inversor y no inversor, y su relación con el signo de la amplificación indicada.

Como $i_3 \rightarrow 0$; R_3 y R_4 forman un divisor de tensión en vacío, siendo $v_3 = v_{i2}$. $R_4 / (R_4 + R_3)$.

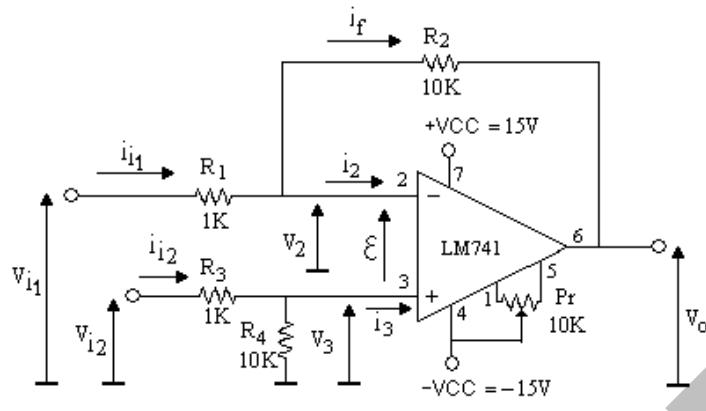


Fig. 15.10

Dado que $\epsilon \rightarrow 0$, $v_2 \approx v_3$, con lo cual:

$$v_2 \approx v_{i2} \cdot R_4 / (R_4 + R_3)$$

$$i_{i1} = (v_{i1} - v_2) / R_1 \approx (v_{i1} - v_3) / R_1 = [v_{i1} - v_{i2} \cdot R_4 / (R_4 + R_3)] / R_1$$

También $i_2 \rightarrow 0$ con lo cual $i_f \approx i_{i1}$ y entonces:

$$\begin{aligned} v_0 &= v_2 - i_{i1} \cdot R_2 = v_{i2} \cdot R_4 / (R_4 + R_3) - [v_{i1} - v_{i2} \cdot R_4 / (R_4 + R_3)] R_2 / R_1 = \\ &= -v_{i1} \cdot R_2 / R_1 + v_{i2} [R_4 / (R_4 + R_3)] \cdot (1 + R_2 / R_1) = \\ &= -v_{i1} \cdot R_2 / R_1 + v_{i2} [R_4 / (R_4 + R_3)] \cdot (R_1 + R_2) / R_1 \end{aligned}$$

Tomando $R_3 = R_1$ y $R_4 = R_2$, se obtiene:

$$v_0 = (v_{i2} - v_{i1}) R_2 / R_1$$

5) Amplificador diferencial como medidor de corriente continua –Fig. 15.11-:

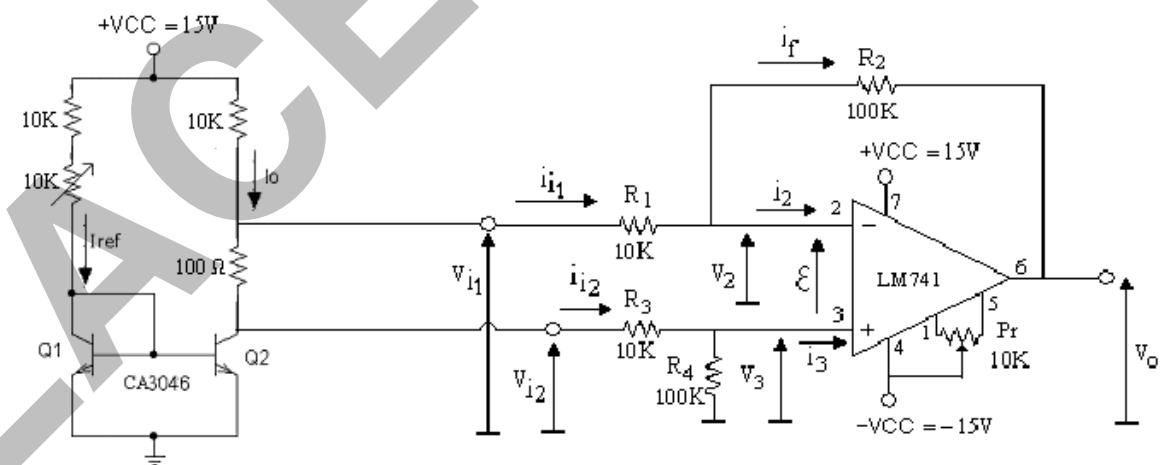


Fig. 15.11

Mediante el circuito de la Fig. 15.11, se quiere medir la corriente de salida de la fuente espejo a través del resistor de 100Ω . Analizar el funcionamiento del circuito y los valores que se esperan tener en V_o al variar la corriente de referencia de la fuente espejo mediante el preset de $10 K\Omega$ entre 0 y $10 K\Omega$. Analizar la influencia en el valor obtenido de

V_o mediante el AD, de la tensión de entrada de modo común al amplificador y de las corrientes i_{i1} e i_{i2} . Obtener mediante el valor de V_o la corriente de referencia I_{Ref} de la fuente espejo. Analizar cómo influye el factor de copia de la fuente con el nivel de corriente a medir.

6) Amplificador diferencial como medidor de un puente de impedancias –Fig. 15.12–:

Mediante el circuito de la Fig. 15.12, se pretende medir el desbalance del puente de Wheatstone (construido con resistores al 5% y un preset de ajuste), con el fin de ajustar el valor del preset de $1K\Omega$, de modo de obtener tensión diferencial nula (se supone V_p de 1 a 5 Volts). Analizar el funcionamiento del circuito que se conoce como puente de Wheatstone, encontrando la condición de equilibrio entre las ramas. ¿Qué utilidad tiene?

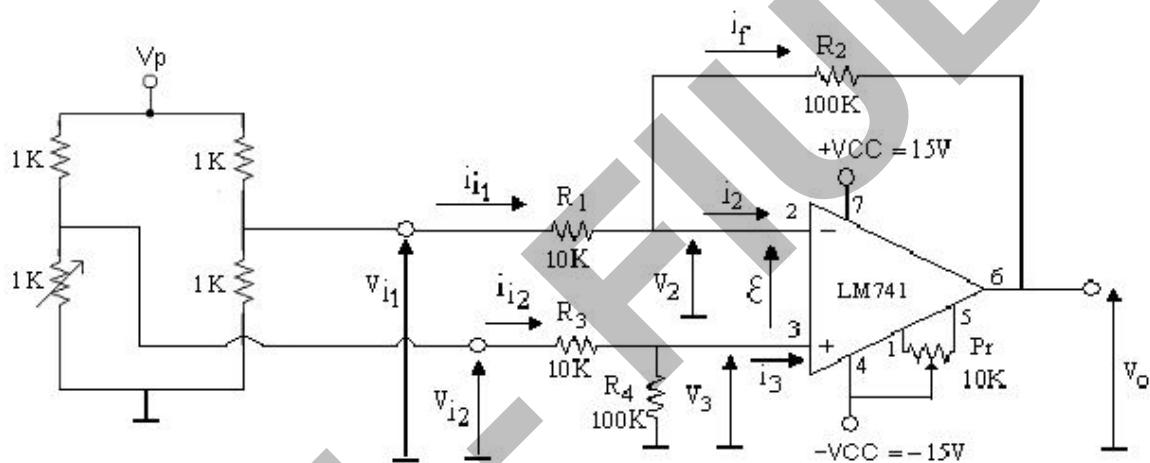


Fig. 15.12

Analizar el funcionamiento del circuito, reemplazando el puente por los equivalentes Thévenin $v_{th1}-R_{th1}$ y $v_{th2}-R_{th2}$ vistos desde cada terminal del amplificador. Obtener la $V_o = f(v_{th1}, v_{th2})$.

Si se ajustar el puente hasta obtener V_o nula, analizar la influencia en el valor obtenido de V_o mediante el AD, de la tensión de entrada de modo común al amplificador y de las corrientes i_{i1} e i_{i2} .