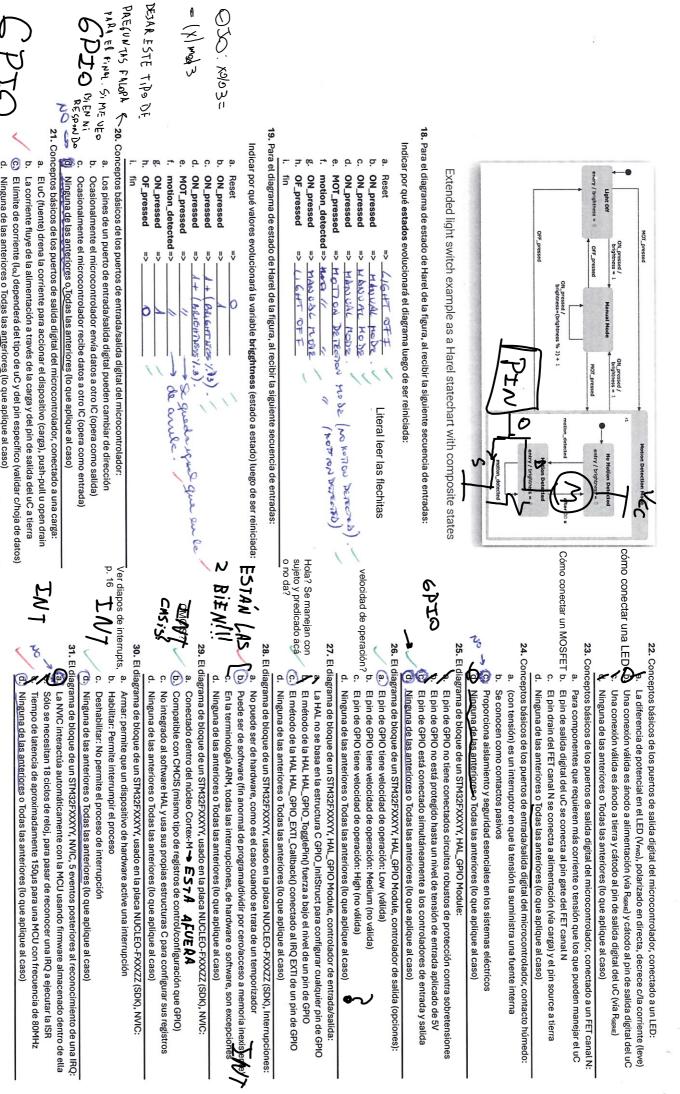
Taller de Sistemas Embebidos – 2024 2C – Parcial

																							_	,		_		_		-	-	
	<		, <		9				<u>ب</u>			.4.		<	3. Las	(2			.	60	50	40	30	10	Item	avor c	Aciertos (suman): 13+61/2+6	Apellidos: W60	
2 (a. E	Oué es l	о . П с	a. Lo	(<u>0</u>)	; ;	Э.	ara el Di		ب 1. 5	omo sol	d. N	c (b)	as carac	(<u>e</u>)	ç p	a. U	os comp		p (@	urante e						_	e indic	s (sun	los: ∭	
inguna c	s un sist	s un sist	(d.) Ninguna de las ar	código	seno/De	inguna d	ip-switch	erramier	seño/De	n evento	acción	ución a	inguna d	Jbdividir ficultad	acterísticas de la programo Código no estructurado	inguna d	Unidad Central de Unidad de Salida	Unidad de Entrada	onentes	n único c	n diagrar n único c	Diseño			+			2	ar en c	າan): <u>ໄ</u>	8	Talle
de las an	/icio de a	ema de g	le las an	bloquea	los se co	le las an	hs, Butto	ntas Info	sarrollo	significa	puede s	Sistema	e las ant	un prog de uso (s de la p	e las ant	Salida	Entrada	básicos	diagrama e las ant	na de bl diagrama	/Desarro		H	+	+			ada p	3+61	A8 84	r de S
teriores	desarroll	gestión c	teriores	nte es in	/Depura omunica	teriores	cos: Pla ons, Keyl	rmática	/Depura	ativo pue	er la eje	s Embek	teriores	rama en v reuso)	rograma urado	teriores	Unidad Central de Procesamiento (CPU) Unidad de Salida		de una	conten	oques di conten	ollo/Dep				1		ω	unto u	2+6	9	istem
o Todas	nto (nos	de códig	o Todas	aceptat	in / sincr	o Todas	boards, I	s CAE: c	ción de	ede resu	cución o	oidos ori	o Todas	subprog	ación Mo	o Todas	miento		comput	iendo to o Todas	e las tun iendo to	uración						4	na úni	Yer		าas Er
Ninguna de las anteriores o Todas las anteriores (lo que aplique al caso)	Es un servicio de alojamiento (nosting) para repositorios Es un sestema de desarrollo, que usaremos para desarrollar/depurar Diagramas de Estado	Es un sistema de gestión de código fuente y control de versiones distribuido	las ante	c. El código bloqueante as inaceptable -> ?? -> [l código bloqueante as cro)	a. Los módulos se comunican / sincronizan mediante: Flags o Variables o Colas	d) Ninguna de las anteriores o Todas las anteriores (lo que aplique al caso)	Dip-switchs, Buttons, Keyboards, Leds, LCD Displays, etc. e instrumentos de Laboratorio	Herramientas Informáticas CAE: captura esquemática, simulación, depuración, validación y	Para el Diseño/Desarrollo/Depuración de Hardware de SE, recurriremos a:	Un evento significativo puede resultar de una "condición de programa/encuesta/interrupción"	La acción puede ser la ejecución de una tarea encargada de leer/calcular/enviar mensaje	Como solución a Sistemas Embebidos orientados a Control, tenemos:	Ninguna de las anteriores o Todas las anteriores (lo que aplique al caso)	Subdividir un programa en subprogramas separados (módulo reutilizable) Dificultad de uso (v reuso), mantenimiento de leer/entender/usar/desarrollar/depurar/mantener	 características de la programación Modular son: a. Código no estructurado 	(d) Ninguna de las anteriores o Todas las anteriores (lo que aplique al caso)	(070)		Los componentes básicos de una computadora son:	Un único diagrama conteniendo todas las funciones principales (sin diagrama de bloques) Ninguna de las anteriores o Todas las anteriores (lo que aplique al caso)	Un diagrama de bioques de las funciones principales y un diagrama de c <i>tr</i> unción principal. Un único diagrama conteniendo todas las funciones principales (con diagrama de bioques)	1. Durante el Diseño/Desarrollo/Depuración del circuito eléctrico del SE, se recomienda dibujar:						5	Favor de indicar en cada punto una única respuesta, la que considere verdadera.	Yerros (restan): 1+3/2+3		Taller de Sistemas Embebidos – 2024 2C – Parcial
riores (la	ra reposi	y contro	riores (lo	ر برگر سخ Sum anh	mediant	riores (lo	D Displa	squemá	re de SE,	ina "con	area enca	a Contr	riores (lo	separado de leer/	'n:	riores (lo			on:	funcione riores (la	funcione	uito eléc						6	puest	stan):	Non	idos -
o que ap	torios	ol de vers	que ap	(Cé	e: Flags	que ap	ays, etc.	tica, sim	recurrin	dición de	argada d	ol, tener	que apl	os (módu 'entende		que apl			dagab	s princi	es y un c es y un c	trico del			-	_			a, la qu	1+31	Nombres: GABU & C	- 2024
lique al o	r/denur	iones di	lique al o	g (go a	Variabl	lique al c	e instrur	nulación	emos a:	e progran	e leer/ca	nos:	lique al c	ılo reutil ır/usar/d		ique al c			ida o as a	pales (si ique al c	nagrama pales (co	SE, se r						7	ie con	2+3	600	2C-
caso)	ar Diagra	stribuid	caso)	g n by g	es o Col	caso)	nentos o	, depura	,aso)	ma/encu	alcular/e		aso)	izable) esarrolla		aso)			,400,	n diagrar aso)	n diagra	ecomien						8	sidere		3228	Parci
	mas de	0		AMTE	as		de Labor	ción, val		esta/int	nviar me	2		ar/depur						na de bl	ma de b	ida dibuj						9	verdac	Nota:		al
	Estado			5 10	actual).		atorio	idación		errupció	nsaje			ar/mante						oques)	loques)	ar:	r					10	lera.	8	3500	
				4-10		1	2	:		J,	Š			ener	Neum	l	_	י חיד						Ш		 Pel	es (c		Te:	mono	(4)	
				0								<u>n</u> .			an		are	exa	'n' D				1	Ż]	pelotudo	<u>ان</u> ا	ner Per	X T T	2		
				7								o/re			Ś.		6	m c	D D				'	Щ		ŏ	eve!	diap	al de	0		
						_			_			o/reinicio?	_		vs. Harvar	_	ce que no	el examen??	n esnañol •	_		_	-	HDEM *			es un reverendo	diapositiva	Textual de la			œ
1					0 0	16. Corte	اما	A &	۶. ۲۵۵ را این ۲۵۵ را	15 Co.	0 8	inicio/reinicio???	14. Cuan	a .	vs. Harvard??? _b	13. Para	Parece que no	,	Es en español a	3 E	\$ 0 1	11. Para	<	1			everendo	sitive			() () ()	8. En un a.
- 1	d. Ning			(A)	b. Un re	16. Cortex-M0 y . a. El co	d. Ning	SRAN	اعد دوه الموقود المعادلة المعادلة المع	d. Ningu	c. Latal	ı,	14. Cuando el pr	c. von N	Neuman vs. Harvard??? b. Harva		ce que no d. Ningu) is	a.	d. Ningu	b. Para	11. Para guardar a, En los	ь (6	9.5			everendo d. Ningu	diapositiva b. Pued	9. Los usu	Ġ.	b. Trans	 En una arquit a. Deriv.
- 1				(A)	b. Un rendimier	16. Cortex-M0 y -M0+ of	d. Ninguna de l	To SRAM/SSRAN	λ ROM/PROM/	45 Los tipos de memori	c. La tabla de v	ı,	14. Cuando el procesado	c. von Newman d.) Ninguna de l			ce que no d. Ninguna de la) is	a.	d. Ninguna de k	b. Para escribir.	11. Para guardar y ejecut a. En los proces	ь (6	9.5			everendo d. Ninguna de la	diapositiva b. Pueden elegi	9. Los usu	Ġ.		 En una arquitectura or a. Derivar de la
- 1				(A)	 b. Un rendimiento may c. Un conjunto de instr 	 Cortex-M0 y -M0+ ofrecen: El consumo de ener 	d. Ninguna de las ante	SRAM/SSRAM volátil	λ ROM/PROM/EPROM	(d.) Ninguna de las anter	c. La tabla de vectores	ı,	14. Cuando el procesador ARM	c. von Newman es mer d.) Ninguna de las anter			d. Ninguna de las anter) is	a.	d. Ninguna de las anter	Dn registro particula	11. Para guardar y ejecutar las o	ь (6	9.5			everendo d. Ninguna de las anter	diapositiva b. Pueden elegir entre r	9. Los usu	Ġ.		 En una arquitectura de comp a. Derivar de la unidad
- 1				(A)	 b. Un rendimiento mayor c. Un conjunto de instruccion 	16. Cortex-M0 y -M0+ ofrecen: a. El consumo de energía más	d. Ninguna de las anteriores o	SRAM/SSRAM volátiles	λ ROM/PROM/EPROM/OTP EF	(d.) Ninguna de las anteriores o	c. La tabla de vectores de exce	ı,	14. Cuando el procesador ARM Cortex	c. von Newman es menos pote (d.) Ninguna de las anteriores o			ce que no d. Ninguna de las anteriores o) is	a.	d. Ninguna de las anteriores o	b. Para escribir o leer registros Un registro particular como	11. Para guardar y ejecutar las operacio	ь (6	9.5			everendo d. Ninguna de las anteriores o	diapositiva b. Pueden elegir entre miles de	9. Los usu	Ġ.		 En una arquitectura de computador a. Derivar de la unidad solicita
- 1				(A)	b. Un rendimiento mayor c. Un conjunto de instrucciones gran	 Cortex-M0 y -M0+ ofrecen: a. El consumo de energía más alto de 	d. Ninguna de las anteriores o Todas	SRAM/SSRAM volátiles	\$ ROM/PROM/EPROM/OTP EPROM \	(d.) Ninguna de las anteriores o Todas.	c. La tabla de vectores de excepción	ı,	14. Cuando el procesador ARM Cortex M comi	 c. von Newman es menos potente en d.) Ninguna de las anteriores o Todas I 			ce que no d. Ninguna de las anteriores o Todas l) is	a.	d. Ninguna de las anteriores o Todas l	b. Para escribir o leer registros, el acc	11. Para guardar y ejecutar las operaciones, se a. En los procesadores modernos pu	ь (6	9.5			everendo d. Ninguna de las anteriores o Todas I	diapositiva b. Pueden elegir entre miles de dispositiva	9. Los usu	Ġ.		 En una arquitectura de computadora, el bu Derivar de la unidad solicitante (pro
- 1				(A)	b. Un rendimiento mayor c. Un conjunto de instrucciones grande N	16. Cortex-M0 y -M0+ ofrecen: a. El consumo de energía más alto de la fam	d. Ninguna de las anteriores o Todas las ante	SRAM/SSRAM volátiles	ROM/PROM/EPROM/OTP EPROM volátile:	(d.) Ninguna de las anteriores o Todas las ante	c. La tabla de vectores de excepción comier	ı,	14. Cuando el procesador ARM Cortex M comienza a	 c. von Newman es menos potente en términ d.) Ninguna de las anteriores o <u>Todas las ante</u> 			ce que no CE Es positivo porque un programa tiene muy d. Ninguna de las anteriores o Todas las ante) is	a.	d. Ninguna de las anteriores o Todas las ante	D. Para escribir o leer registros, et acceso se. Un registro particular como registro de fla	11. Para guardar y ejecutar las operaciones, se utiliza a. En los procesadores modernos pueden ha	ь (6	9.5			everendo d. Ninguna de las anteriores o Todas las ante	b. Pueden elegir entre miles de dispositivos o	9. Los usu	Ġ.		 En una arquitectura de computadora, el bus de co Derivar de la unidad solicitante (procesad
- 1				(A)	 b. Un rendimiento mayor c. Un conjunto de instrucciones grande MO/MO 	16. Cortex-M0 y -M0+ ofrecen: a. El consumo de energía más alto de la familia Cor	d. Ninguna de las anteriores o Todas las anteriores	SRAM/SSRAM volátiles Todo lo	a ROM/PROM/EPROM/OTP EPROM volátiles nahh	(d.) Ninguna de las anteriores o Todas las anteriores	c. La tabla de vectores de excepción comienza en l	ı,	14. Cuando el procesador ARM Cortex M comienza a funcio	 c. von Newman es menos potente en términos de e d.) Ninguna de las anteriores o <u>Todas las anteriores</u> 			ce que no d. Ninguna de las anteriores o Todas las anteriores) is	a.	d. Ninguna de las anteriores o Todas las anteriores 19 El ninelining pero trae problemas al ejecutar una instruc	→ b. Para escribir o leer registros, et acceso se realiza On registro particular como registro de flags o reg	11. Para guardar y ejecutar las operaciones, se utilizan regist a. En los procesadores modernos pueden haber 16	ь (6	9.5			everendo d. Ninguna de las anteriores o Todas las anteriores o	b. Pueden elegir entre miles de dispositivos de cien	9. Los usu	Ġ.		 En una arquitectura de computadora, el bus de control s Derivar de la unidad solicitante (procesador), esp
- 1				(A)	 b. Un rendimiento mayor c. Un conjunto de instrucciones grande MO/M0+??? 	 Cortex-M0 y -M0+ ofrecen: El consumo de energía más alto de la familia Cortex-M 	d. Ninguna de las anteriores o Todas las anteriores (lo que	EEPROM/FLASH/FRAM/MRAM volátiles Todo lo que sea	ROM/PROM/EPROM/OTP EPROM volátiles nahhh en s	 (d) Ninguna de las anteriores o Todas las anteriores (lo que 15 Los tipos de memorias disponibles según su capacidad de reteriores. 	c. La tabla de vectores de excepción comienza en la direco	ı,	14. Cuando el procesador ARM Cortex M comienza a funcionar (al e	 c. von Newman es menos potente en términos de eficienc d.) Ninguna de las anteriores o Todas las anteriores (lo que 			ce que no) is	a.	d. Ninguna de las anteriores o Todas las anteriores (lo que	 b. Para escribir o teer registros, et acceso se realiza a trave Un registro particular como registro de flags o registro d 	11. Para guardar y ejecutar las operaciones, se utilizan registros con a. En los procesadores modernos pueden haber 16, 32 o ir	ь (6	9.5			everendo d. Ninguna de las anteriores o Todas las anteriores (lo que	b. Pueden elegir entre miles de dispositivos de cientos de la cianda de circuito impreso (PCR)	9. Los usu	Ġ.		 En una arquitectura de computadora, el bus de control sirve par Derivar de la unidad solicitante (procesador), especifica
- 1				(A)	 b. Un rendimiento mayor c. Un conjunto de instrucciones grande MO/MO+??? 	16. Cortex-M0 y -M0+ ofrecen: a. El consumo de energía más alto de la familia Cortex-M	d. Ninguna de las anteriores o Todas las anteriores (lo que aplique	SRAM/SSRAM volátiles Todo lo que sea ROM (A ROM/PROM/EPROM/OTP EPROM volátiles nahhh en serio?	(d.) Ninguna de las anteriores o Todas las anteriores (lo que aplique	c. La tabla de vectores de excepción comienza en la direcciónes	ı,	14. Cuando el procesador ARM Cortex M comienza a funcionar (al encend	 c. von Newman es menos potente en términos de eficiencia infor d.) Ninguna de las anteriores o Todas las anteriores (lo que aplique 			ce que no d. Ninguna de las anteriores o Todas las anteriores (lo que aplique) is	a.	d. Ninguna de las anteriores o Todas las anteriores (lo que aplique	D. Para escribir o teer registros, et acceso se realiza a traves de un egistro de flags o registro de estad	11. Para guardar y ejecutar las operaciones, se utilizan registros como fuer a. En los procesadores modernos pueden haber 16, 32 o incluso i	ь (6	9.5			everendo (d.)Ninguna de las anteriores o Todas las anteriores (lo que aplique	b. Pueden elegir entre miles de dispositivos de cientos de fabricar	9. Los usu	Ġ.		 En una arquitectura de computadora, el bus de control sirve para: Derivar de la unidad solicitante (procesador), especificar a qué
- 1		Con estados compuestos, con ortogonalidad (paralelismo) Con comunicación (c/sincronización)	17. Los diagramas de estado de maret, introducen un emoque: a. Modular, jerárquico y bien estructurado	(A)	 b. Un rendimiento mayor c. Un conjunto de instrucciones grande MO/M0+??? 	16. Cortex-M0 y -M0+ ofrecen: a. El consumo de energía más alto de la familia Cortex-M 	d. Ninguna de las anteriores o Todas las anteriores (lo que aplique al cas	SRAM/SSRAM volátiles Todo lo que sea ROM (Read on	A ROM/PROM/EPROM/OTP EPROM volátiles nahhh en serio????	(d.) Ninguna de las anteriores o Todas las anteriores (lo que aplique al cas	c. La tabla de vectores de excepción comienza en la direcciónes bajas d	ı,	14. Cuando el procesador ARM Cortex M comienza a funcionar (al encenderse o c	 c. von Newman es menos potente en términos de eficiencia informática d.) Ninguna de las anteriores o Todas las anteriores (lo que aplique al cas 			ce que no de las anteriores o Todas las anteriores (lo que aplique al cas) is	a.	d. Ninguna de las anteriores o Todas las anteriores (lo que aplique al cas	 D. Para escribir o teer registros, et acceso se realiza a traves de uno o maisso de flags o registro de estado 	11. Para guardar y ejecutar las operaciones, se utilizan registros como fuentes y d a. En los procesadores modernos pueden haber 16, 32 o incluso más	ь (6	9.5			everendo (d.)Ninguna de las anteriores o Todas las anteriores (lo que aplique al cas	b. Pueden elegir entre miles de dispositivos de cientos de fabricantes Trabajos al pivel de la placa de circuito impreso (PCR)	9. Los usu	Ġ.		 En una arquitectura de computadora, el bus de control sirve para: Derivar de la unidad solicitante (procesador), especificar a qué unidad
- 1	_	Con estados compuestos, con ortogonalidad (paralelismo) Con comunicación (c/sincronización)		d.) Ninguna de las anteriores o Todas las a	 b. Un rendimiento mayor c. Un conjunto de instrucciones grande MO/M0+??? 	16. Cortex-M0 y -M0+ ofrecen: a. El consumo de energía más alto de la familia Cortex-M 	d. Ninguna de las anteriores o Todas las anteriores (lo que aplique al caso)	SRAM/SSRAM volátiles Todo lo que sea ROM (Read only) no es	A ROM/PROM/EPROM/OTP EPROM volátiles nahhh en serio????	(d.) Ninguna de las anteriores o Todas las anteriores (lo que aplique al caso)	c. La tabla de vectores de excepción comienza en la direcciónes bajas de memo	ı,	14. Cuando el procesador ARM Cortex M comienza a funcionar (al encenderse o después	 c. von Newman es menos potente en términos de eficiencia informática que Ha d.) Ninguna de las anteriores o <u>Todas las anteriore</u>s (lo que aplique al caso) 			ce que no de las positivo ponque un programa uene macinas mas insuracciones que ablique al caso) d. Ninguna de las anteriores o Todas las anteriores (lo que ablique al caso)) is	a.	d. Ninguna de las anteriores o Todas las anteriores (lo que aplique al caso) KE	 D. Para escribir o teer registros, et acceso se reauza a traves de uno o mas buses. Un registro particular como registro de flags o registro de estado 	11. Para guardar y ejecutar las operaciones, se utilizan registros como fuentes y destinos a. En los procesadores modernos pueden haber 16, 32 o incluso más	<	9.5			everendo (d.)Ninguna de las anteriores o Todas las anteriores (lo que aplique al caso)	b. Pueden elegir entre miles de dispositivos de cientos de fabricantes Trabajan el pivol de la placa de circuito impreso (PCR)	9. Los usu	Ġ.		 En una arquitectura de computadora, el bus de control sirve para: Derivar de la unidad solicitante (procesador), especificar a qué unidad/eleme
- 1		Con estados compuestos, con ortogonalidad (paralelismo) Con comunicación (c/sincronización)	17. Los diagramas de estado de maret, introducen un emoque: a. Modular, jerárquico y bien estructurado	(A)	 b. Un rendimiento mayor c. Un coniunto de instrucciones grande MO/M0+??? 	16. Cortex-M0 y -M0+ ofrecen: a. El consumo de energía más alto de la familia Cortex-M 	d. Ninguna de las anteriores o Todas las anteriores (lo que aplique al caso)	EEPROM/FLASH/FRAM/MRAM volátiles Todo lo que sea ROM (Read only) no es volátiles	A ROM/PROM/EPROM/OTP EPROM volátiles A ROM/PROM/EPROM/OTP EPROM volátiles A ROM/PROM/EPROM/OTP EPROM volátiles	(d.) Ninguna de las anteriores o Todas las anteriores (lo que aplique al caso)	c. La tabla de vectores de excepción comienza en la direcciónes bajas de memoria no v	a. Necesita ejecutar código para iniciar el sistema, denominado boot (strap) code 0/reinicio??? h. El vector de Reset apuntará a la dirección del programa de encendido o reinicio	14. Cuando el procesador ARM Cortex M comienza a funcionar (al encenderse o después de reir	 c. von Newman es menos potente en términos de eficiencia informática que Harvard d.) Ninguna de las anteriores o Todas las anteriores (lo que aplique al caso) 			ce que no de las positivo porque un programa teria macinas mas insuraciones que antique al caso) d. Ninguna de las anteriores o Todas las anteriores (lo que aplique al caso)) is	a.	d. Ninguna de las anteriores o Todas las anteriores (lo que aplique al caso) KeglsTr 19 El nicelining pero trae problemas al ejecutar una instrucción de hifurcación (Branch o lumn	b. Para escribir o leer registros, et acceso se realiza a traves de uno o mas buses de dat. So Un registro particular como registro de flags o registro de estado	11. Para guardar y ejecutar las operaciones, se utilizan registros como fuentes y destinos de data a. En los procesadores modernos pueden haber 16, 32 o incluso más	ь (6	b. Que no permite la verificación del tiempo de respuesta del sistema	a. Que no permite la verificación de la cantidad de memoria necesaria para el proyec		everendo (d. Ninguna de las anteriores o Todas las anteriores (lo que aplique al caso)	b. Pueden elegir entre miles de dispositivos de cientos de fabricantes Tabajan al pival de la plana de cientifo impreso (DCB)	9. Los usu	Ġ.		 En una arquitectura de computadora, el bus de control sirve para: Derivar de la unidad solicitante (procesador), especificar a qué unidad/elemento acc
- 1		Con estados compuestos, con ortogonalidad (paralelismo) Con comunicación (c/sincronización)	17. Los diagramas de estado de maret, introducen un emoque: a. Modular, jerárquico y bien estructurado	(A)	 b. Un rendimiento mayor c. Un conjunto de instrucciones grande MO/MO+??? 	16. Cortex-M0 y -M0+ ofrecen: a. El consumo de energía más alto de la familia Cortex-M 	d. Ninguna de las anteriores o Todas las anteriores (lo que aplique al caso)	EEPROM/FLASH/FRAM/MRAM volátiles Todo lo que sea ROM (Read only) no es volátil	ROM/PROM/EPROM/OTP EPROM volátiles	(d) Ninguna de las anteriores o Todas las anteriores (lo que aplique al caso)	c. La tabla de vectores de excepción comienza en la direcciónes bajas de memoria no volátil	ı,	14. Cuando el procesador ARM Cortex M comienza a funcionar (al encenderse o después de reiniciarse	 c. von Newman es menos potente en términos de eficiencia informática que Harvard (d.) Ninguna de las anteriores o Todas las anteriores (lo que aplique al caso) 	a. von Newman, instrucciones y datos comparten et mismo par de bus de direcciones y datos vs. Harvard??? b. Harvard, instrucciones y datos no comparten et mismo par de bus de direcciones y datos		ce que no) is	n español de la dirección de la siguiente instrucción se conocerá al completar la ejecución de la siguiente	d. Ninguna de las anteriores o Todas las anteriores (lo que aplique al caso) KeglStfo? : :	b. Para escribir o teer registros, et acceso se realiza a traves de uno o más buses de datos externos os un registro particular como registro de flags o registro de estado	11. Para guardar y ejecutar las operaciones, se utilizan registros como fuentes y destinos de datos: a. En los procesadores modernos pueden haber 16, 32 o incluso más	ь (6	9.5	a. Que no permite la verificación de la cantidad de memoria necesaria para el proyec		ن (ب	b. Pueden elegir entre miles de dispositivos de cientos de fabricantes Tobajo a la rivel de la placa de ciencifo impreso (BCR)		Ġ.	b. Transferir información entre la unidad solicitante y otra unidad —> Aus DE DATOS (c) Especificar qué hacer: dirección de las transferencias (lectura o escritura) y cuándo hacerlo	 En una arquitectura de computadora, el bus de control sirve para: Derivar de la unidad solicitante (procesador), especificar a qué unidad/elemento acceder



Ojo con los pines de entrada y salida

b. La corriente fluye de la alimentación a través de la carga y del pin de salida del uC a tierra
c. El límite de corriente (loc) dependerá del tipo de uC y del pin específico (validar c/hoja de datos)
d. Ninguna de las anteriores o Todas las anteriores (lo que aplique al caso)

Ninguna de las anteriores o Todas las anteriores (lo que aplique al caso)

IRQ = Interrupt request?

Firmware es un software fijo en un uC

31/2

ADC SAR?? 37. El diagrama de bloque de un STM32FXXXYY, usado en la placa NUCLEO-FXXXZZ (SDK), ADC SAR: 36. El diagrama de bloque de un STM32FXXXYY, ADC SAR, modos de conversión: 35. El diagrama de bloque de un STM32FXXXYY, usado en la placa NUCLEO-FXXXZZ (SDK), ADC SAR: 34. El diagrama de bloque de un STM32FXXXYY, Timers, existen 5 categorías de timers STM: 32. El diagrama de bloque de un STM32FXXXYY, NVIC, la ISR: ISR? 39. El diagrama de bloque de un STM32FXXXYY, usado en la placa NUCLEO-FXXXZZ (SDK), SPI: 38. El diagrama de bloque de un STM32FXXXYY, usado en la placa NUCLEO-FXXXZZ (SDK), Timer PWM: El diagrama de bloque de un STM32FXXXYY, usado en la placa NUCLEO-FXXXZZ (SDK), Timers: 41. El diagrama de bloque de un STM32FXXXYY, usado en la placa NUCLEO-FXXXZZ (SDK), I2C: El diagrama de bloque de un STM32FXXXYY, usado en la placa NUCLEO-FXXXZZ (SDK), SPI: d.) Ninguna de las anteriores o Todas las anteriores (lo que aplique al caso) Los números digitales resultantes se almacenan continuamente en la memoria
 Ninguna de las anteriores o Todas las anteriores (lo que aplique al caso) d.) Ninguna de las anteriores o Todas las anteriores (lo que aplique al caso) Single Channel/Continuous Conversion, es el modo más simple d. Ninguna de las anteriores o Todas las anteriores (lo que aplique al caso) Ninguna de las anteriores o Todas las anteriores (lo que aplique al caso) Es de las interfaces de comunicación del tipo "(<u>ntra System Pro</u>tocol" SPI?
Es de las interfaces de comunicación del tipo "asincrónica" SPICO SPICO SPICO SPICO SPICOS SP Se muestrean múltiples líneas analógicas de entrada y luego se convierte en números digitales La conexión de líneas entre el nodo principal y el subnodo es: /CS => SCLK Ninguna de las anteriores o Todas las anteriores (lo que aplique al caso) Ninguna de las anteriores o Todas las anteriores (lo que aplique al caso) El método de la HAL HAL ADC GetValue() lee la conversión > N EXISTE El módulo SAR LOGIC permitirá que el valor digital convertido se libere en paralelo o serie La secuencia se repite hasta que se alcanza y procesa el bit menos significativo (LSB) Ninguna de las anteriores o Todas las anteriores (lo que aplique al caso) Ninguna de las anteriores o Todas las anteriores (lo que aplique al caso) Tienen muchos usos, generar señales periódicas de acceso directo a memoria (DMA) STM usa encuesta (polling) para pines GPIO del mismo puerto que comparten el mismo vector Hay una lista de direcciones para estas pequeñas ISR almacenadas en una tabla de vectores Es más lenta que la interfaz SPI Es de las interfaces de comunicación del tipo "asincrónica" Es de las interfaces de comunicación del tipo "Inter System Protocol" Los dispositivos SPI admiten frecuencias de reloj mucho más altas que las interfaces I2C Datos transmitidos entre el nodo principal y el subnodo se sincronizan con el reloj del subnodo El método de la HAL HAL_TIM_PWM_PulseFinishedCallback() conectado al IRQ de un Timer El método de la HAL HAL_TIM_IRQHandler() maneja un IRQ de un Timer El método de la HAL HAL_ADC_ConvCpltCaliback() conectado al IRQ de un ADC El método de la HAL HAL_ADC_Stop() detiene la conversión Ninguna de las anteriores o Todas las anteriores (lo que aplique al caso) Luego de lo cual, el N-BIT REGISTER contendrá el equivalente digital completo de V-IN Este temporizador tiene el acrónimo HRTIM1 en terminología STM Con este temporizador son posibles múltiples inserciones de tiempo muerto Alta resolución: Múltiples salidas de alta resolución posibles (seis subtimers) Esta característica da lugar a la palabra "vector" en el nombre de NVIC La HAL se basa en la estructura C TIM_OC_InitTypeDef para configurar cualquier Timer PWM Tienen muchos usos, generar pulso único con longitud programable y características de retardo Tienen muchos usos, generar señales precisas de modulación de ancho de pulso (PWM) En serio me estas esto??? diciendo que preguntaron Dudas: 10) SDK??? NVIC contacto húmedo CMCIS Pull up/down Harel Boot strap Registro Palabras clave: SDK M0/M0+ tipos de memoria vector reset Pipelining von Neumann vs. Harvard

42. El diagrama de bloque de un STM32FXXXYY, usado en la placa NUCLEO-FXXXZZ (SDK), I2C:

El protocolo sólo permite conectar dispositivos de igual velocidad al microcontrolador
 Las líneas SDA y SCL son del tipo "open-colector/open-drain"

La señal de reloj siempre está controlada por el subnodo

d. Ninguna de las anteriores o Todas las anteriores (lo que aplique al caso)

43. TP0-05 - 3er Proyecto p/placa NUCLEO-F103RB (Event Driven System (EDS) -...), en la práctica se pide:

Se observó la evolución del campo WCET, Worst-case execution time (microseconds) Cuyas tareas tienen los tipos estructuras de configuración (cfg) y datos (dta) Se implementa un ejecutor cíclico de tareas

task_b, Non-Blocking Code, se ejecuta de forma sincrónica (se ejecuta línea por línea) task_a, Blocking Code, se ejecuta de forma asincrónica (no se ejecuta línea por línea)

c. task_c, Update by Time Code, se ejecuta por ocurrencia de ticks Ninguna de las anteriores o Todas las anteriores (lo que aplique al caso)

44. TP1-01 - My First Statechart, en la práctica se pide:

el modelo My First Statechart Al ingresar por primera vez al sitio de Itemis Create Cloud Editor => se genera automáticamente

 Un statechart puede tener variables, pero nomodificarlas El editor le propone un recorrido, que le sugiere realizar un fin de familiarizarse con el mismo

La sincronización entre statecharts es mediante extracede un evento (d.) Ninguna de las anteriores o Todas las anteriores (lo que aplique al cas Un evento puede tener una guarda que opera como una proposición (OR) debuís se ben e al caso)

PushButton), generación periódica (tal como la tarea task_c del proyecto to hw_sw_test) de estímulos leyendo 1 sensor, compilar, depurar y actualizar el Codificar la tarea modelo del sensor: Sensor Statechart para 1 sensor RTN_A => B1 Blue se-tp0_05repositorio

45. TP2-01 - 4to Proyecto p/placa NUCLEO-F103RB (Sensor Statechart) (1 senser), en la práctica se pide:

 a. Cada sensor produce dos eventos de la maquina de estado
 b. Cada estado produce un "case" en el "switch" de la máquina de estado Cada sensor produce dos eventos de la máquina de estado

d. Ninguna de las anteriores o Tudas las anteriores (lo que aplique al caso) Cada evento produce un "if" en el "case" del estado al que afecta/excita

bones raise

Que duro esto

Ninguna de las anteriores o Todas las anteriores (lo que aplique al caso

6

la aspero el asunto Todas estas palabras tendrían que estar aclaradas.

Algunas respuestas:

1)SDK: Software development kit: conjunto de herramientas de software development kit: conjunto de herramientas de software utilizadas en el desarrollo del MVP. Estas incluyen: bibliotecas de código Depuradores, compiliadores, documentación, ejemplos y API's.

Ayudan a tener una idea de cuánta memoria requerirá el proyecto, el tiempo de respuesta y otras cosas. La idea es usarlas para evitar meternos con el hardware. El producto final NO debe depender del SDK usado en el desarrollo.

El registro es un lugar donde se almacenan o acumulan datos Hay registros que almacenan instrucciones
Esto no apareció en este examen pero podría tomarlo:
ISA: instruction set architecture: formato en el que se escriben las instrucciones cambia de procesador a procesador

PC: program counter: registro que tiene la ubicación de la siguiente instrucción En general, luego de ejecutar una instrucción, PC = PC +1, salvo saltos o interrupciones Creo que el PC va a volver a aparecer

El procesador funcionaría así: recibe la dirección de la instrucción en el PC.

La unidad de control busca en la memoria y decodifica la instrucción.

La unidad de control manda las ordenes (que registros sumar, por ej.)

En general, por cada instrucción tenemos un ciclo: buscar->decodificar->ejecutar

Esperar a que termine un ciclo para empezar con el siguiente es ineficiente.

Para evitar esto se usa el Pipelining, que es hacer ciclos paralelos.

Esto acelera el procesamiento, pero también añade complejidad.

Código boot strap = código q se ejecuta cuando arranca o reinicia el uC Vector de reset = dirección en memoria del código bootstrap

Si bien esto puede pasar, es poco frecuente

Qué pasa si necesito un resultado de la operación anterior para ejecutar la siguiente?

ISR: Interrupt service routin: código a ejecutar cunado hay una interr.

SAR: Succesive aproximation register: técnica que usa el CAD. Es básicamente una busqueda binaria. Está copado como lo explica Norris.

SPI: Serial peripheral interface

12C: inter-integrated circuit.
OJO: ISP e I2C son protocolos *INTRA* sistema, comunican distintos integrados, pero dentro de un mismo sistema.

Un protocolo inter-sistema es el USB, por ej.

Von Neumann ==> Datos y programa comparten el mismo BUS. Lento Harvard ==> Bus de Datos por un lado, Bus de programa por otro. Rápido y complejo