

Aufgabe 2.1

a. z.z.: $\text{Cond}(0, Z) = 0$

$\text{Cond}(0, w) \wedge \text{Cond}(w, h) \wedge \text{Cond}(h, Z)$ wegen Transitivität

$$\Leftrightarrow (0 \geq w \wedge w \geq h) \wedge h \geq Z$$

$$\Rightarrow 0 \geq h \wedge h \geq Z$$

$$\Rightarrow 0 \geq Z = \text{Cond}(0, Z) = 0$$

b. '0', nicht initialisiert

'-', egal / don't care

o Im praktischen Schaltungseinsatz haben Don't-Cares eindeutige Vorteile. Die Gesamtschaltung kann unter Verwendung von Don't-Cares bei entsprechenden Schaltungen deutlich kompakter sein.

o Don't-care Zustände können auch in Encoding Schemes und Kommunikationsprotokollen auftreten.

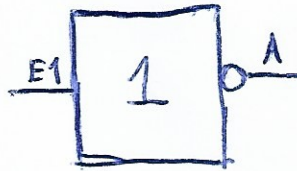
o In dieser Datei ist ein Standard für Designer zur Beschreibung der in der VHDL-Modellierung verwendeten Verbindungsdatentypen definiert.

Aufgabe 2.2

Wahrheitstabelle
NICHT (NOT)

Eingang	Ausgang
0	1
1	0

Schaltzeichen

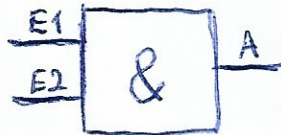


Schreibweise

$$A = \overline{E1}$$

UND (AND)

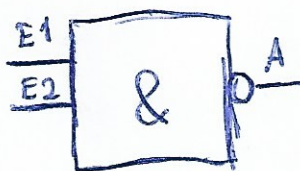
Eingang		Ausgang
E1	E2	A
0	0	0
0	1	0
1	0	0
1	1	1



$$A = E1 \wedge E2$$

NICHT UND (NAND)

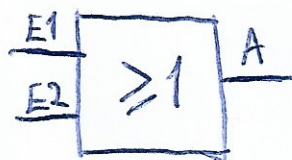
Eingang		Ausgang
E1	E2	A
0	0	1
0	1	1
1	0	1
1	1	0



$$A = \overline{E1 \wedge E2}$$

ODER (OR)

Eingang		Ausgang
E1	E2	A
0	0	0
0	1	1
1	0	1
1	1	1



$$A = E1 \vee E2$$

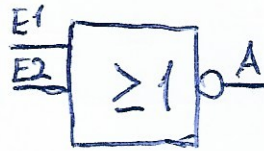
Wahrheitstabelle

Schaltzeichen

Schreibweise

NICHT ODER (NOR)

Eingang		Ausgang
E1	E2	A
0	0	1
0	1	0
1	0	0
1	1	0



$$A = \overline{E1 \vee E2}$$

EXKLUSIV ODER (XOR)

Eingang		Ausgang
E1	E2	A
0	0	0
0	1	1
1	0	1
1	1	0

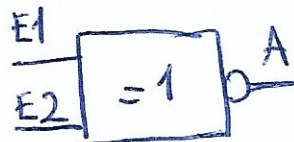


$$A = E1 \oplus E2$$

$$A = (\overline{E1} \wedge E2) \vee (E1 \wedge \overline{E2})$$

EXKLUSIV NICHT ODER (XNOR)

Eingang		Ausgang
E1	E2	A
0	0	1
0	1	0
1	0	0
1	1	1



$$A = (E1 \wedge E2) \vee (\overline{E1} \wedge \overline{E2})$$

c. Zur Modellierung werden bei der Signalzuweisung zusätzlich die Zeiten angegeben, so dass sich ein Paar aus Wert und Zeit ergibt. Für die Abarbeitung durch den Simulator heißt das, dass der neue Wert erst nach Ablauf der Verzögerungszeit auf dem Signal (für nachfolgende Eingänge) wirksam wird.

- o Bei dem "inertial"-Delay Typ werden nur Impulse mit einer minimalen Dauer weitergegeben.

- o Bei dem "transport"-Delay Typ auch kurze Impulse verzögert an den Ausgang weitergereicht werden.

f. 1) entity wird genutzt, um bestimmte Ausgangsmuster in Abhängigkeit von der Zeit, den Eingangssignalen und der Vorgeschichte zu generieren.

architecture ist der Aufbau eines solchen Systems oder einer solchen Komponente (design entity oder entity)

~~2) Das Verhalten eines Bausteins kann teilweise oder ganz durch ein Zusammenschalten von anderen Bausteinen beschrieben werden. Diese werden dann als Komponente deklariert.~~

2) component wird genutzt, um Schaltungselemente auf einer sehr niedrigen Ebene oder am häufigsten auf der obersten Ebene eines Entwurfs zu verbinden.

3) Die port map ist der Teil der Modulinstanzierung, in dem Sie angeben, mit welchen lokalen Signalen die Ein- und Ausgänge des Moduls verbunden werden sollen.

4) In einem process begin Block werden die Anweisungen sequentiell bearbeitet. Wenn process nicht genutzt wird, werden die verschiedenen Anweisungen zwischen begin und end, zeitlich parallel (concurrent) bearbeitet.