

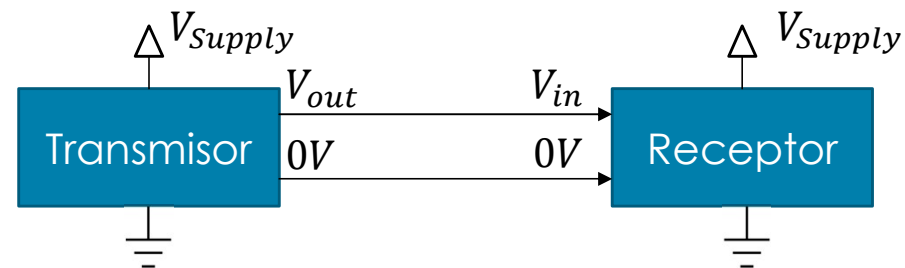
Electrónica Digital

Clase 12

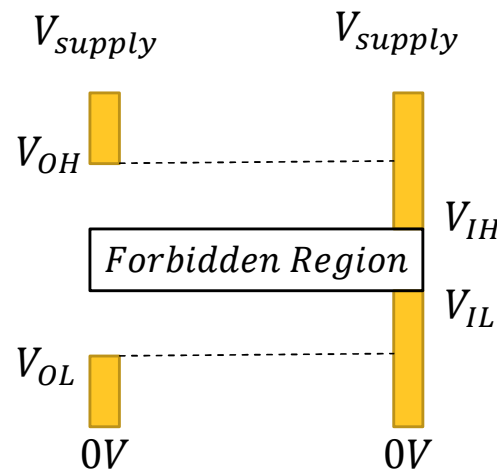
- Compuertas lógicas
AND, OR, NOT, NAND, NOR
- Mapas de Karnaugh

2 Puertas Lógicas

- Muy utilizadas para comunicaciones digitales
- Todos los computadores trabajan con secuencias lógicas de "0" o "1" ("0V" o "5V")
 - Existe una salida de **alta impedancia (Hi-Z)** la cual **deshabilita** completamente la salida (como si no estuviera conectada al circuito). Esta se activa generalmente con un pin de entrada llamada **Enable**. (Ver [Documento](#)).
 - Esta salida de **alta impedancia** es de **muy alta velocidad**, **previniendo cortos** cuando se desea **desconectar rápido el circuito**.
- Cumplen con la "disciplina estática".



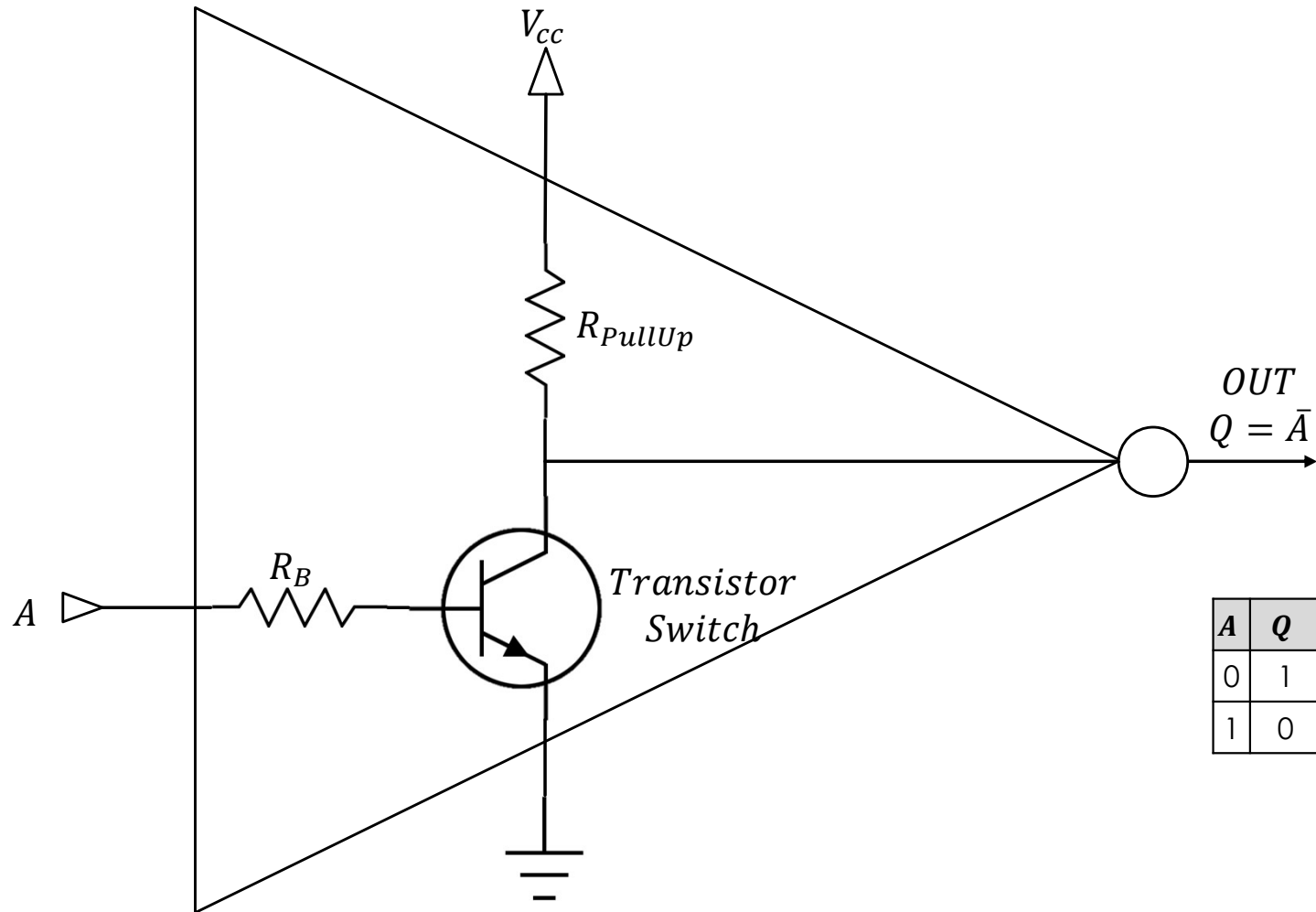
V_{OH} : Output Voltage High
 V_{OL} : Output Voltage Low



V_{IH} : Input Voltage High
 V_{IL} : Input Voltage Low

3 Compuerta NOT en el interior

- La NOT, o la compuerta inversora básicamente es un transistor tal como se ve en la siguiente imagen:



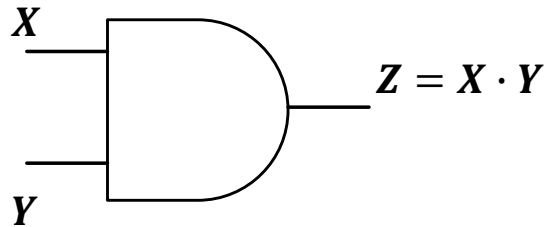
Generalidades Compuertas Lógicas

Compuerta

Símbolo

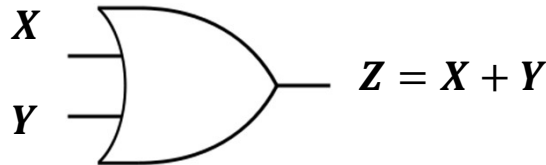
Tabla de Verdad

AND



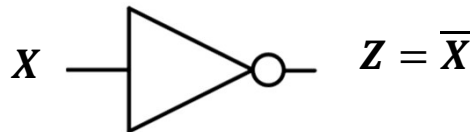
X	Y	Z
0	0	0
0	1	0
1	0	0
1	1	1

OR



X	Y	Z
0	0	0
0	1	1
1	0	1
1	1	1

NOT



X	Z
0	1
1	0

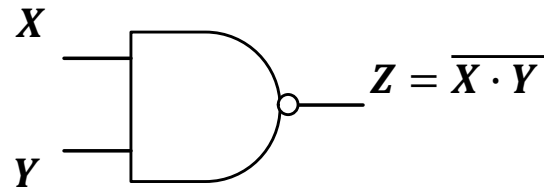
Generalidades Compuertas Lógicas

Compuerta

Símbolo

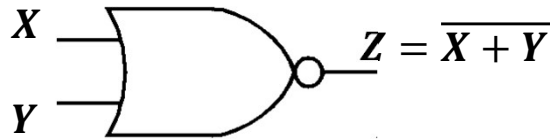
Tabla de Verdad

NAND



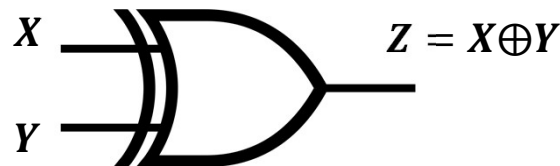
X	Y	Z
0	0	1
0	1	1
1	0	1
1	1	0

NOR



X	Y	Z
0	0	1
0	1	0
1	0	0
1	1	0

XOR



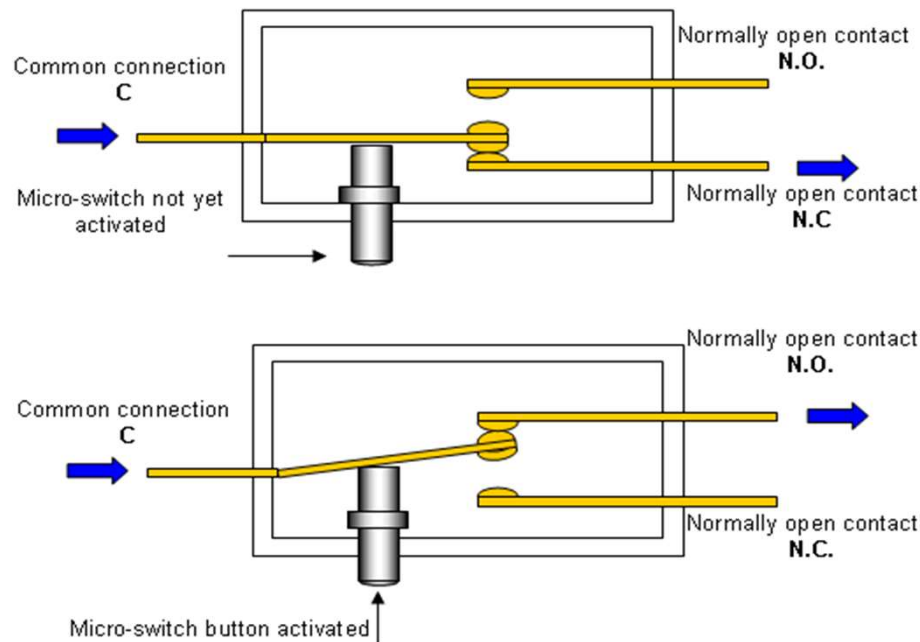
X	Y	Z
0	0	0
0	1	1
1	0	1
1	1	0

6 Puertas – Ejemplo 1

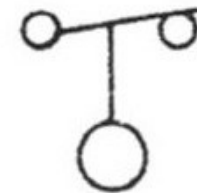
En un proceso industrial, se tienen dos sensores finales de carrera normalmente abiertos (N.O) y un sensor final de carrera normalmente cerrado (N.C) conectados a un computador. Estos sensores están ubicados de manera que la máquina no supere cierto límite de distancia para evitar choques.

Ejercicio:

Diseñe un circuito con compuertas que genere una señal de emergencia en “1” si alguno de los tres sensores finales de carrera se activaron.



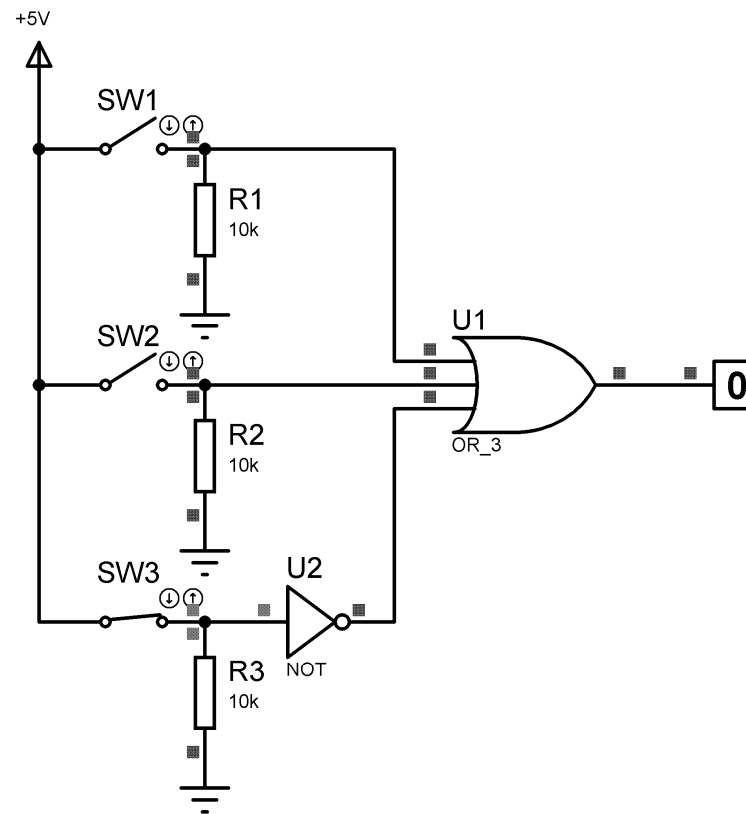
*Normally Closed
Sensor*



7 Puertas – Ejemplo 1

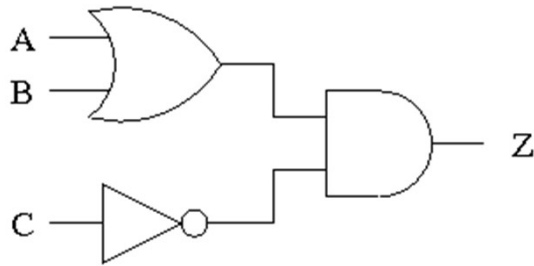
Solución:

Se debe hacer uso de una compuerta NOT para negar la salida del sensor N.C, convirtiéndolo así en N.O, luego debemos hacer uso de una compuerta OR para identificar si alguno de los 3 switches se activo así:

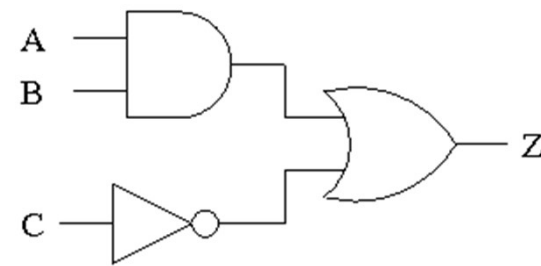


8 Puertas - Ejemplo 2

Circuito 1



Circuito 2



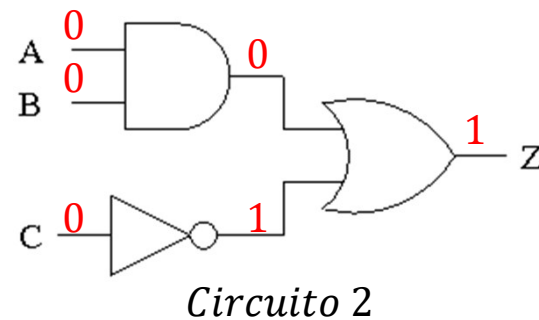
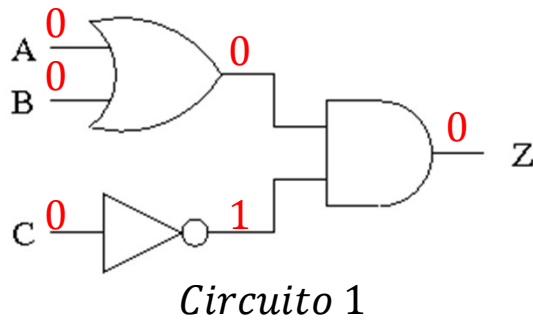
A	B	C	Z
0	0	0	1
0	0	1	a
0	1	0	b
0	1	1	c
1	0	0	d
1	0	1	e
1	1	0	f
1	1	1	g

- En las figuras de arriba hay dos circuitos y una tabla de verdad parcialmente llena. De la información dada en la tabla de verdad, decida cual de los circuitos realmente pertenece a la tabla de verdad, luego complete la tabla con este circuito y extraiga la ecuación booleana de Z.

9 Puertas - Ejemplo 2

Solución:

En la tabla de verdad solo nos dan el primer dato de Z, que es un “1” cuando todas sus entradas A, B y C son “0”. Entonces evaluamos en cada circuito con “0” para verificar la salida, como vemos el circuito 2 cumple, y así completamos la tabla de verdad usando solo el circuito 2:



A	B	C	$Z = A \cdot B + \bar{C}$
0	0	0	1
0	0	1	0
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	1

Mapas de Karnaugh

- ▶ Permiten darle un grado de **automatización básico** a un proceso mediante **compuertas lógicas**.
- ▶ Representan una tabla de verdad en una configuración lista para obtener su ecuación simplificada booleana.
- ▶ Se utiliza código "Grey" (Cambia solo 1 bit) para su representación.
- ▶ Minterminos: Se agrupan la mayor cantidad de "1" en potencias de 2.
 - ▶ La ecuación resultante es la SOP (Sum of Products) de los bit que no cambian.
- ▶ Maxtérminos: Se agrupan la mayor cantidad de "0" en potencias de 2.
 - ▶ La ecuación resultante es la POS (Product of Sums) de los bit que no cambian.

Reglas:

1. Agrupar la mayor cantidad de "1" o "0" en potencias de 2.
2. Se debe agrupar de manera adyacente.
3. Se puede repetir "1"s o "0"s siempre y cuando se cojan nuevos "1"s o "0"s
4. El mapa de Karnaugh es redondo (infinito).

Tabla de verdad

A	B	C	Z
0	0	0	1
0	0	1	0
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	1



Mapa de Karnaugh

$\begin{matrix} C \\ AB \end{matrix}$	00	01	11	10
0	1	1	1	1
1	0	0	1	1

2

Subconjunto 1

A	B	C
1	1	0
1	0	0
1	1	1
1	0	1

A

+

Subconjunto 2

A	B	C
0	0	0
0	1	0
1	1	0
1	0	0

\bar{C}



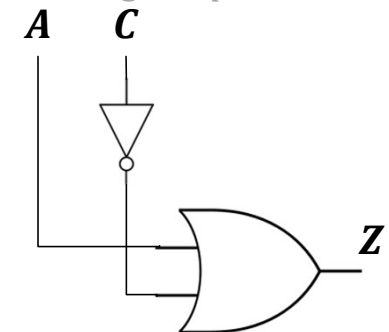
Ecuación por minterms (SOP)

$$Z = 1 + 2$$

$$Z = A + \bar{C}$$



Circuito lógico por minterms



Mapas de Karnaugh – Ejemplo 2

- Encuentre la ecuación por **maxterms** utilizando mapas de Karnaugh para la siguiente tabla de verdad que solo permite visualizar en un display de 7 segmentos los # 2, 3, 4, 5, 6, 8, 9.

Tabla de verdad

#	A	B	C	D	Z
0	0	0	0	0	0
1	0	0	0	1	0
2	0	0	1	0	1
3	0	0	1	1	1
4	0	1	0	0	1
5	0	1	0	1	1
6	0	1	1	0	1
7	0	1	1	1	0
8	1	0	0	0	1
9	1	0	0	1	1
X	1	0	1	0	x
X	1	0	1	1	x
X	1	1	0	0	x
X	1	1	0	1	x
X	1	1	1	0	x
X	1	1	1	1	x

x
no
importa

Mapa de Karnaugh

AB \ CD	00	01	11	10
00	0	1	x	1
01	0	1	x	1
11	1	0	x	x
10	1	1	x	x

Subconjunto 1

A	B	C	D
0	1	1	1
1	1	1	1

$$\bar{B} + \bar{C} + \bar{D}$$

Se niega c/u!

Subconjunto 2

A	B	C	D
0	0	0	0
0	0	0	1

$$A + B + C$$

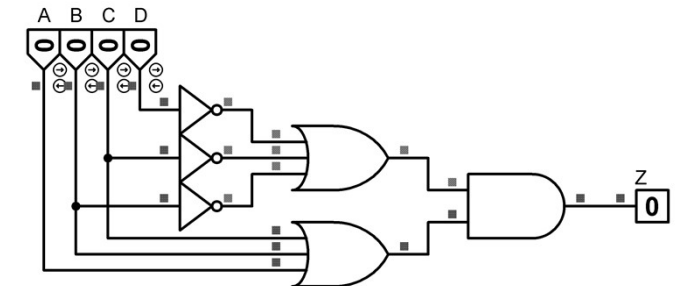
Se niega c/u!

Ecuación por maxterms (POS)

$$Z = 1 \cdot 2$$

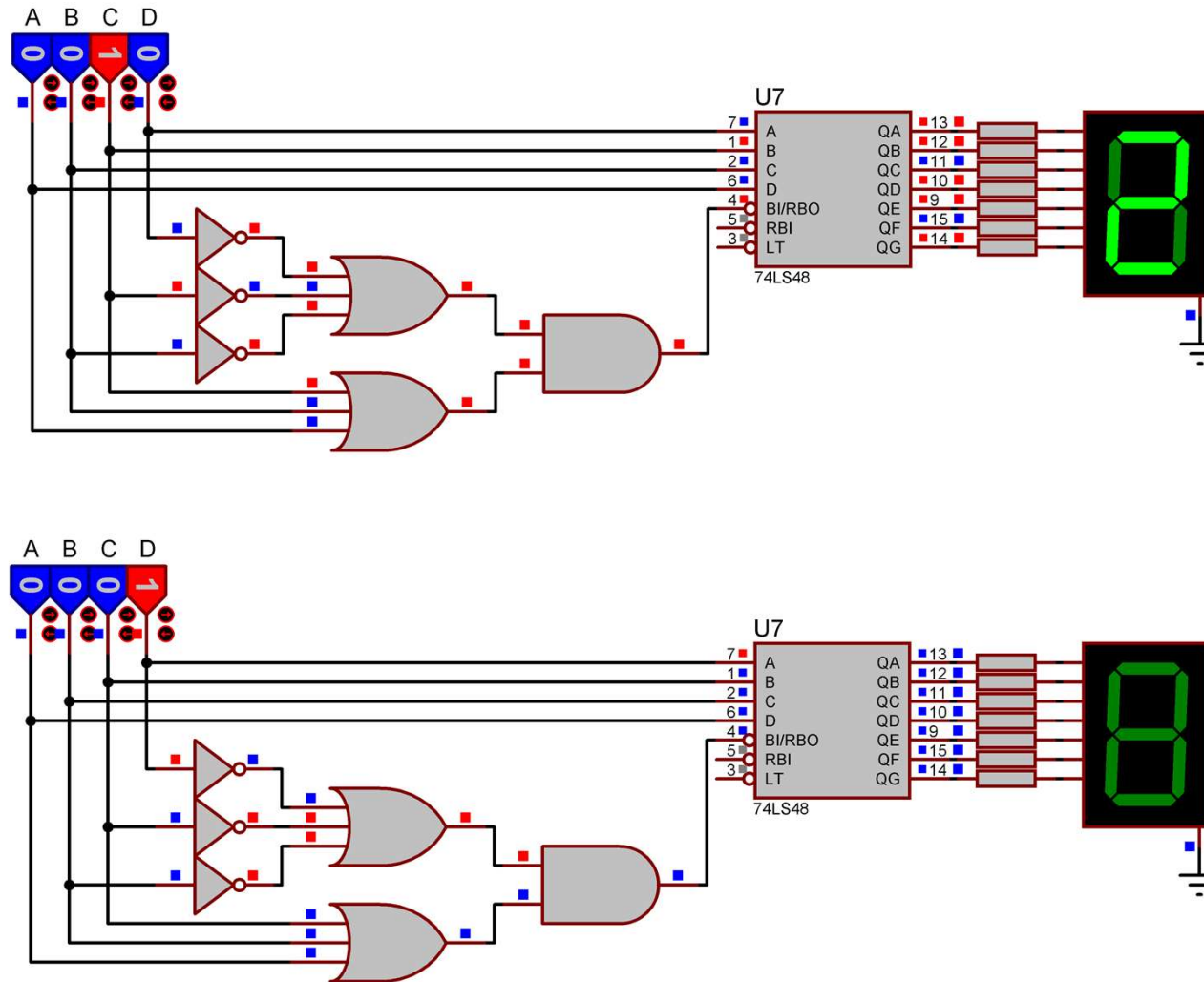
$$Z = (\bar{B} + \bar{C} + \bar{D}) \cdot (A + B + C)$$

Circuito lógico por maxterms



Mapas de Karnaugh – Ejemplo 2

► Solución Completa:



MUCHAS GRACIAS