

实验一、二——常用电子仪器使用及基本开关电路

实验报告

姓名： 王祚滨 专业： 信息安全 学号： 3180104933

课程名称： 逻辑与计算机设计基础实验 同组学生姓名： 王国朝

指导老师： 洪奇军 实验地点： 浙江大学紫金港校区东四教学楼 509

实验日期： 2019 年 9 月 11/18 日

一、实验目的和要求

1. 常用电子仪器使用

- 1) 认识常用电子器件
- 2) 学会数字示波器、数字信号发生器（函数信号发生器）、直流稳压电源、万用表等常用电子仪器的使用
- 3) 掌握用数字示波器来测量脉冲波形及幅度和频率的参数
- 4) 掌握用数字示波器测量脉冲时序的上升沿和下降沿、延时等参数
- 5) 掌握万用表测量电压、电阻及二极管的通断的判别

2. 基本开关电路

- 1) 掌握逻辑开关电路的基本结构
- 2) 掌握二极管导通和截止的概念
- 3) 用二极管、三极管构成简单逻辑门电路
- 4) 掌握最简单的逻辑门电路构成

二、实验内容和原理

1. 常用电子仪器使用

- 1) 用数字示波器来测量函数信号发生器发出来的频率（周期）和幅度。通过选择频率范围按键和频率调节旋钮，使函数信号发生器发出频率分别为

100Hz、10KHz 和 100KHz 的正弦波，用数字示波器测出上述信号的周期和频率，验证函数信号发生器发生信号正确率。

2) 让信号发生器输出频率为 1KHz、1-3V 任意有效值的正弦波(用数字万用表交流档测量有效值)，用示波器测量其幅值，并进行有效电压值的计算与比较。

3) 用示波器测量正弦波信号

4) 测量二极管两端电压降

2. 基本开关电路

原理：通过二极管以及三极管的特性来组成门电路，从而实现基本的逻辑开关电路。

逻辑电平	V_{CC} / V	V_{OH} / V	V_{OL} / V	V_{IH} / V	V_{IL} / V	说明
TTL	5.0	≥ 2.4	≤ 0.4	≥ 2.0	≤ 0.8	输入脚悬空时默认为高电平
LVTTL	3.3	≥ 2.4	≤ 0.4	≥ 2.0	≤ 0.8	
LVTTL	2.5	≥ 2.0	≤ 0.2	≥ 1.7	≤ 0.7	
CMOS	5.0	≥ 4.45	≤ 0.5	≥ 3.5	≤ 1.5	输入阻抗非常大
LVC MOS	3.3	≥ 3.2	≤ 0.1	$\geq 2.0V$	≤ 0.7	
LVC MOS	2.5	≥ 2.0	≤ 0.1	≥ 1.7	≤ 0.7	
RS232	12~15	-3~ -15	3 ~ 15	-3 ~ -15	3 ~ 15	负逻辑

实验内容：

1) 用二极管实现正逻辑与门，并测量输入输出电压参数，分析其逻辑功能

2) 用二极管实现正逻辑或门，并测量输入输出电压参数，分析其逻辑功能

3) 三极管极性测量，并测量电流放大倍数

4) 用三极管反向特性实现正逻辑非门，测量输入输出电压参数，分析其逻辑功能

5) 采用前面的与门和非门实现与非门，测量输入输出电压参数，分析其逻辑功能

三、主要仪器设备

1. 数字示波器 RIGOL- DS162 1 台
2. 函数发生器 YB1638 1 台
3. 数字万用表 1 只
4. 示波器 1 台
5. 三用表 1 只
6. 低频信号发生器 1 台
7. 逻辑电路实验箱 1 台

四、操作方法与实验步骤

1. 常用电子仪器使用

1) 用示波器测量正弦波信号

将信号发生器的频率通过频率波段开关、和微调旋钮调到 100 Hz、10 kHz 和 100 kHz。信号发生器的输出信号线与示波器的信号连在一起，地线与地线连在一起。

2) 测量 YB1638 型函数信号发生器输出电压

将信号发生器输出接入万用表，红接正，负接负，万用表在 AC 档，并选用适当量程，通过调节幅度旋钮，使万用表显示 3V 有效值。随后将信号发生器输出接入到示波器中，读取峰峰值，有效值为读数的 $1/2\sqrt{2}$ 。

3) 万用表测量实验箱中的直流电源

将红表笔插入 V Ω mA 插孔，黑表笔插入 COM 插孔。然后将功能开关量程置于直流量程，将测试笔连接到待测电路上，红表笔所接端的极性将同时显示在显示器上。最后用示波器和万用表来测量实验台上的三组直流稳压电源的输出，并记录测量结果。

4) 用万用表测量二极管的单向导电(通断)特性

将表笔插入 COM 插孔，红表插入 V Ω 插孔，此时红表笔极性为 +。将万用表功能量程开关置于二极管极性判断位置，把红黑表笔分别接到二极管的两极，如果显示屏上显示 0.6-0.7 的数字，此时二极管正向导通，显示的数

字是 PN 结的电压，红表笔接的极是二极管的正极，黑表笔接的是负极。如果显示屏上显示的数字是 1，此时二极管反向截止，红表笔接的是二极管负极，黑表笔接的是正极。

2. 基本开关电路

对于用实验箱来实现基本开关电路——逻辑“门”的实验，基本使用同样的操作步骤：

- 1) 关闭电源，断开开关
- 2) 按照电路图连接电路
- 3) 检查连接无误后，接通电源，打开开关
- 4) 测量电压值，计算逻辑值
- 5) 检验是否满足各个逻辑“门”的关系式

五、实验结果与分析

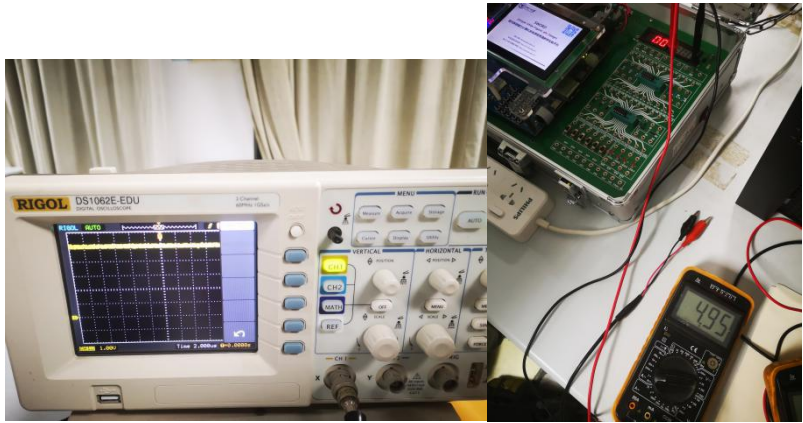
1. 常用电子仪器使用

1. 测量实验箱中的直流电源

如下图，用万用表测量直流电压结果如图，4.95V，电压偏小。造成电压偏小的原因可能是板子的电压偏小或者万用表不够精确。

但是连接到示波器上如图，显示的是 5.03V 附近，最高甚至到 5.24V。因此我推断应该是万用表不够精确造成的万用表示数为 4.95V。

直流稳压电源输出	示波器读数	灵敏度	示波器折算值	万用表读数
+5V	5.03DIV	1V/Div	5.03V	4.95V

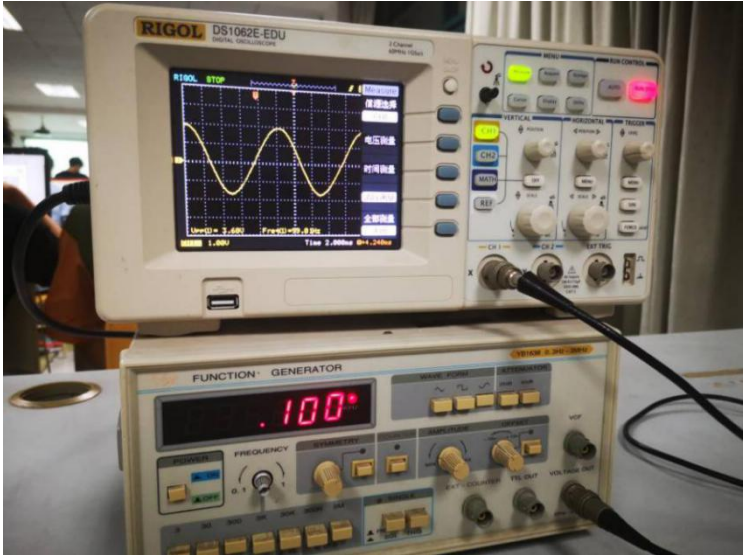


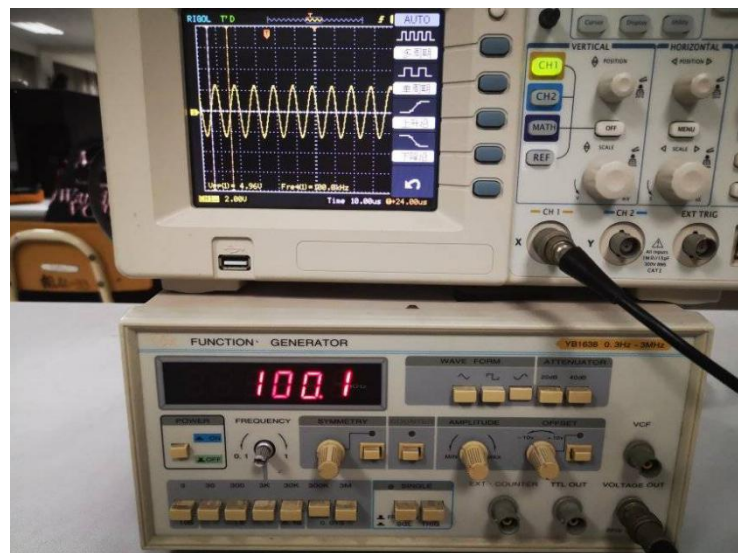
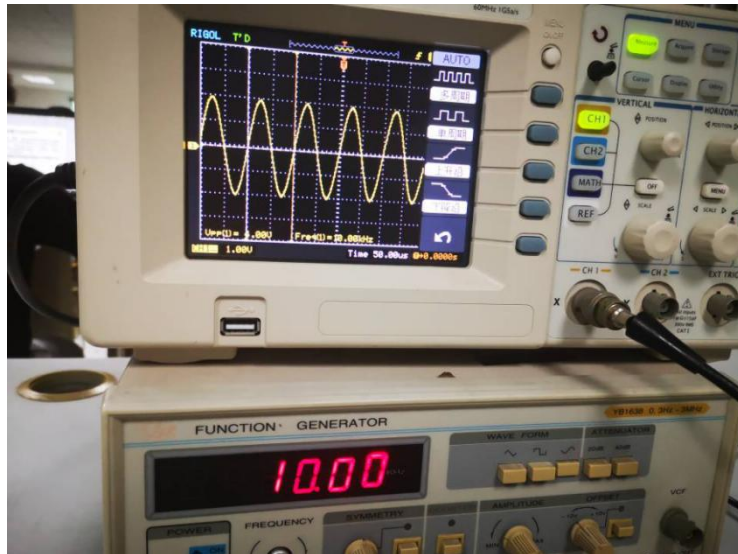
2. 用示波器测量正弦波信号

测量结果如下图所示

结果如下表所示：

	函数发生器输出	示波器读数	灵敏度	实测值	
幅度		3.7Div	1.00V/Div	3.68V	
周期/频率	100Hz	5Div	2.00ms/Div	10.00ms	100Hz
幅度		4.00Div	1.00V/Div	4.00V	
周期/频率	10KHz	2Div	50.00 μ s/Div	100.0 μ s	10KHz
幅度		5.00Div	1.00V/Div	4.96V	
周期/频率	100KHz	1Div	10.00 μ s/Div	10.00 μ s	100KHz

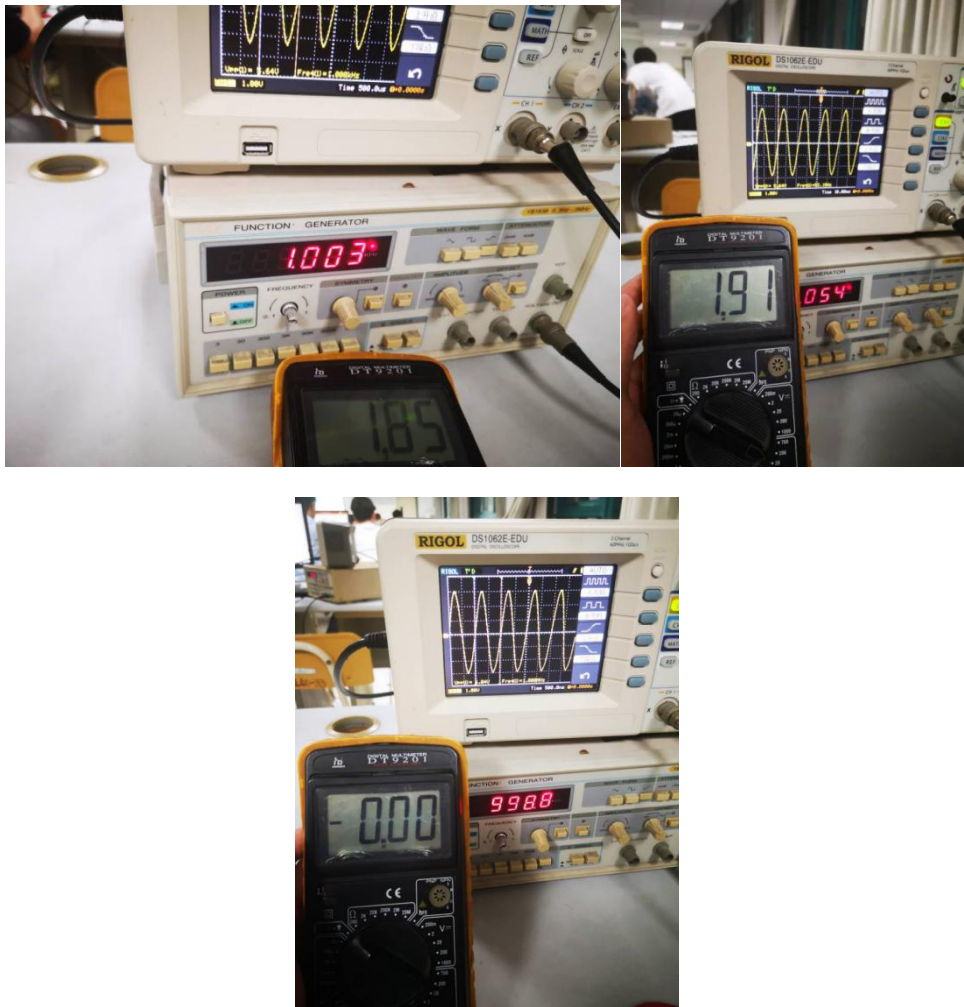




3. 如图所示测量 YB1638 信号发生器输出电压

结果如下图：

分析：根据上面的经验知万用表示数比实际示数小，结果不出所料，万用表示数偏低，同时验证 1MHz 时万用表测量值不准确



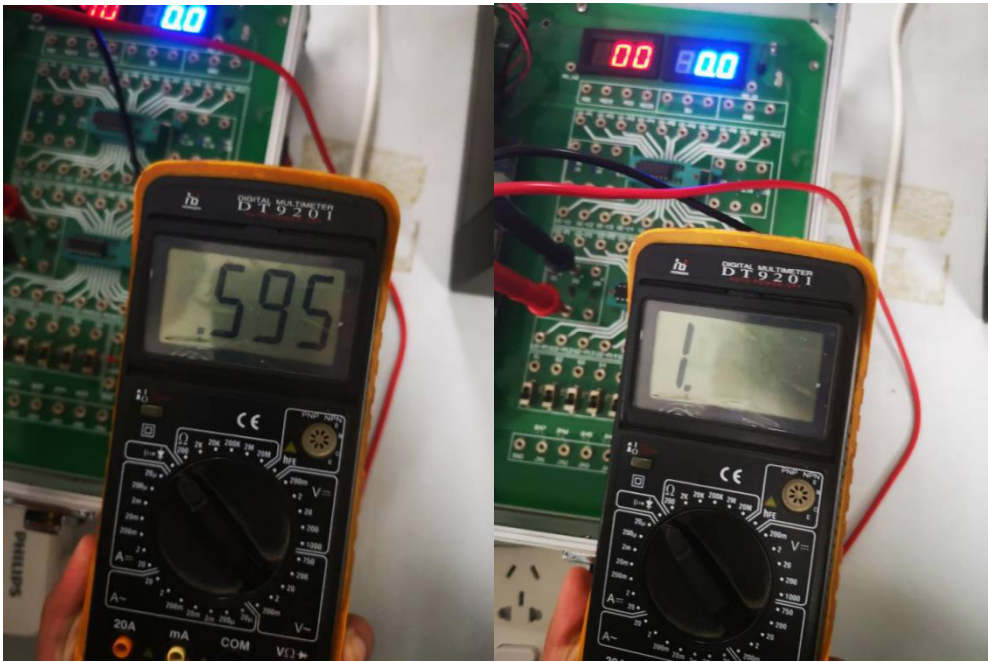
函数发生器输出频率	示波器读取值		折算有效值	万用表读取值
1KHz	5.64div	1.00V/div	1.99V	1.85V
53Hz	5.64div	1.00V/div	1.99V	1.91V
1MHz	6div	1.00V/div	2.12V	-0

4. 用万用表测二极管的单向导通特性

如图所示：

将黑红表笔正向连接二极管后显示示数为 0.595，不为 0.6—0.7 之间的数，但考虑万用表误差，确定此时正向连接。

互换红黑表笔显示示数为 1

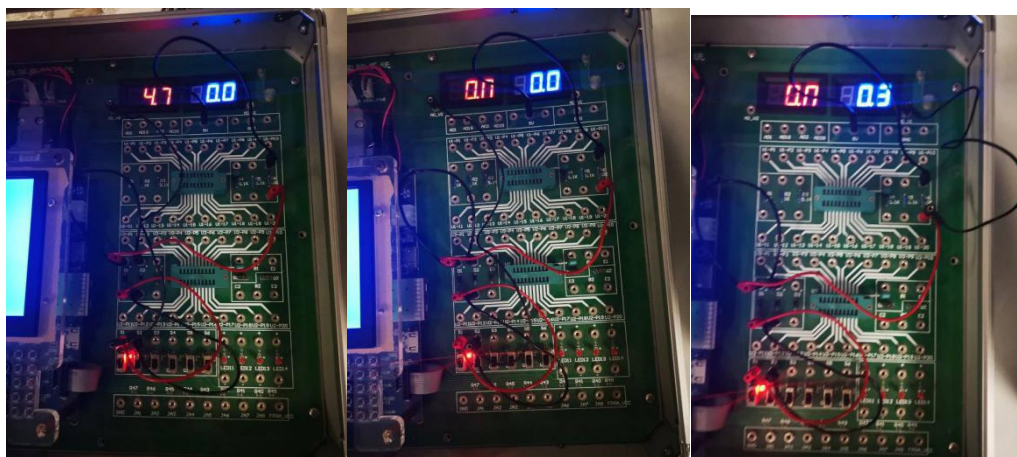


二极管正向导通时万用表读数	二极管反向截止时万用表读数
0.595	1

2. 基本开关电路

1..二极管构成“与”门电路：

如图所示，在实验箱中设计如下电路，并判断最终是否满足 $F=AB$ 。图中所示为仅打开 A 开关的图片。经测量，实验数据结果记录如下表：



V_A/V	V_B/V	V_F/V	F 逻辑值
0	0	0.3	L
4.7	0	0.3	L
0	4.7	0.3	L
4.7	4.7	4.7	H

2. 用二极管实现正逻辑“或门”

将所连电阻分别改为 20k 和无穷大（即直接测 F 处电压），分别记录，如下图所示，

实验证明，电阻为无穷大时效果更好

经过如图所示（图中电路为 A 开 B 闭合情况）的电路连接后所得结果如下表：

表 1: 20K Ω

V_A/V	V_B/V	V_F/V	F 逻辑值
0.00	0.00	0.00	L
3.7	0.00	3.4	H
0	3.7	3.3	H
4.2	4.2	3.8	H

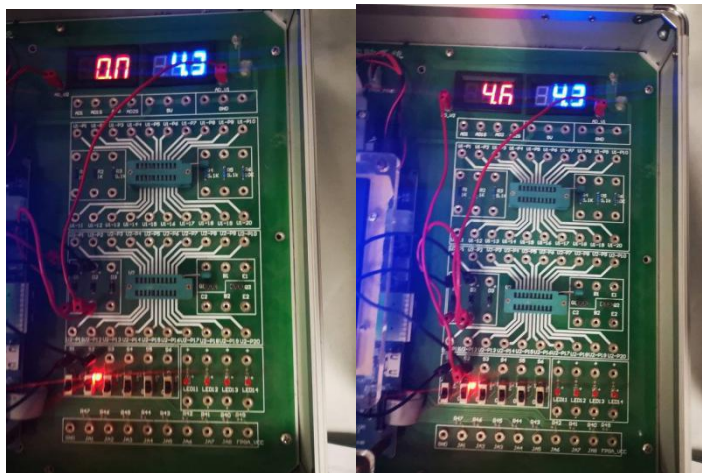


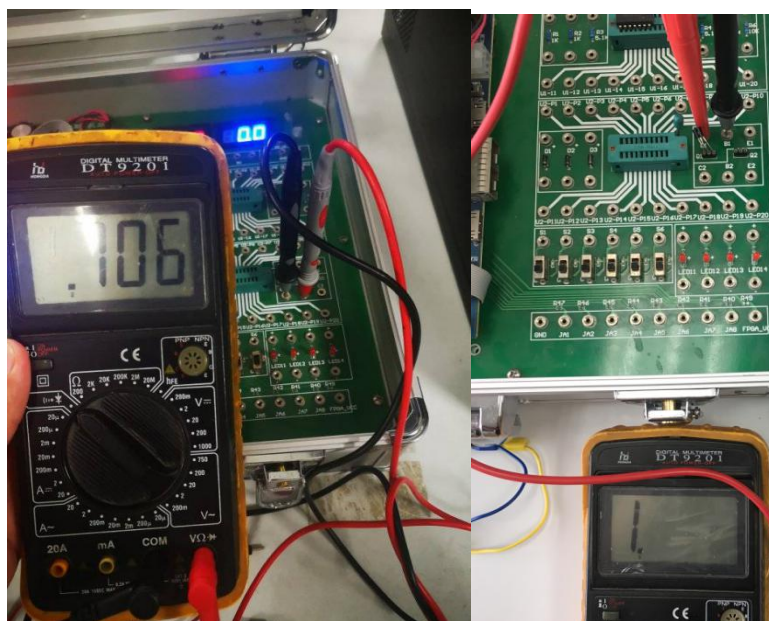
表 2：无穷大

V_A/V	V_B/V	V_F/V	F 逻辑值
0.00	0.00	0.00	L
4.6	0.00	4.3	H
0	4.6	4.3	H
4.7	4.7	4.4	H

3. 三极管极性测量

经过如图测量，红笔插 B 时有示数 0.706 左右，为通路。而反向连接时为 1 可知其为截止态。知实验中三极管为 NPN 型。

并且将三极管插到 hFe 中得到放大倍数 β 为 298 从而确定 C,E 端，而 C, E 接反则显示为 011

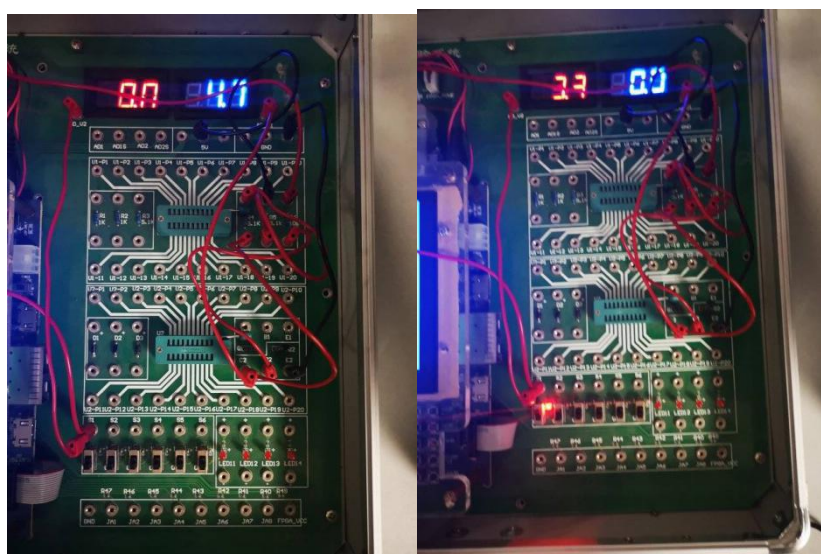




4. 用三极管实现正负逻辑“非门”

经过如图（图中分别为开关闭合与断开）测量结果如下表：

V_A/V	V_F/V	F 逻辑值
0.00	4.7	H
3.3	0.00	L

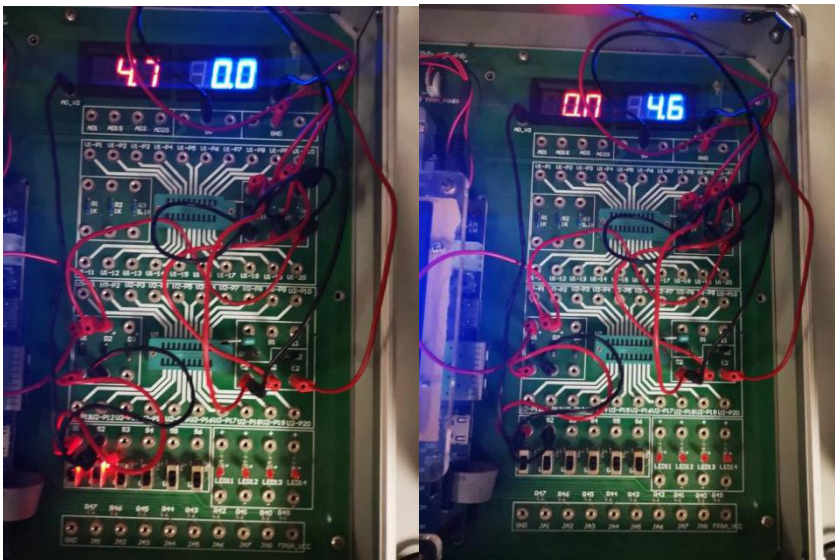


5. 用晶体管实现正逻辑“与非门”

实验连接如下图：

如图所示连接后分别测量 A、B、F 点的电压得如下表

V_A/V	V_B/V	V_F/V	F 逻辑值
0.0	0.0	4.6	H
4.7	0.0	4.4	H
0.0	4.7	4.4	H
4.7	4.7	0.0	L



六、讨论、心得

1. 常用电子仪器使用

- 1.学习到了万用表和电路板连接时的红线黑线该如何接入
- 2.示波器调节显示大小要适中，慢慢调节，如果实在难以调节使用 auto 键还是很好用的。
- 3.YB1638 信号发生器的频率调节需要先调节到相应的挡位在进行调节。如第一次我们未注意需要调挡位，其在 3K 挡位去调节到 100Hz，直到调节很久后最小也停留在 140hz 左右后我们发现需要将挡位调节到 300Hz 进行调节。并且调节过程中需要慢慢细心调节，并且等待示数稳定后进行下次调节，否则容易调整过度。

2. 基本开关电路

1. 通过这节课了解到如何分析电路中电压关系，特别是在电路中有二极管三极管时这种较为复杂的情况下如何分析。

2. 认识到了二极管三极管的使用原理，了解了二极管三极管如何用万用表测量其数据。

3. 第一次成功设计了几个较为基础的逻辑开关电路，实现了最基础的门电路，较为有成就感！

实验三——集成逻辑门电路的功能及参数测试

实验报告

姓名： 王祚滨 专业： 信息安全 学号： 3180104933

课程名称： 逻辑与计算机设计基础实验 同组学生姓名： 王国朝、赵卿云

指导老师： 洪奇军 实验地点： 浙江大学紫金港校区东四教学楼 509

实验日期： 2019 年 9 月 25 日

一、 实验目的和要求

1. 熟悉基本逻辑门电路的功能、外部电气特性和逻辑功能的特殊用途
2. 熟悉TTL与非门和MOS或非门的封装及管脚功能
3. 掌握主要参数和静态特性的测试方法，加深对各参数意义的理解
4. 进一步建立信号传输有时间延时的概念
5. 进一步熟悉示波器、函数发生器等仪器的使用

二、实验内容和原理

2.1 实验内容：

- 验证集成电路74LS00 “与非” 门的逻辑功能
- 验证集成电路CD4001 “或非” 门的逻辑功能
- 测量集成电路74LS00逻辑门的传输延迟时间 t_{pd}

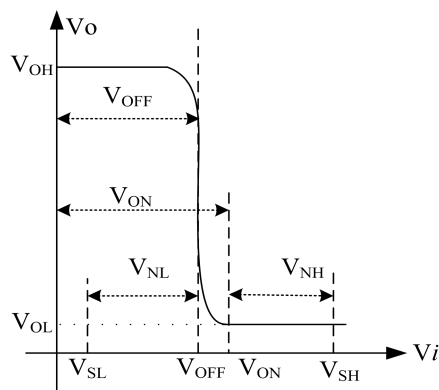
- 测量集成电路CD4001逻辑门的传输延迟时间 t_{pd}
- 测量集成电路74LS00传输特性与开关门电平 V_{ON} 和 V_{OFF}

2.2 实验原理：

2.2.1 电压传输特性

电压传输特性是指输出电压随输入电压而变化的关系特性。它可以充分显示出门输入输出的逻辑特征，可以反应出二值量化及门开关跃迁是一个连续过渡的过程。

74LS00的电压传输特性曲线如图，



图表 2.2.1 74LS00传输特性

2.2.2 平均传输延迟时间 t_{pd}

1. 传输时间是一个动态参数，是晶体管PN结电容、分布寄生电容、负载电容等充放电时间引起的输出信号滞后于输入信号一定时间的参数。

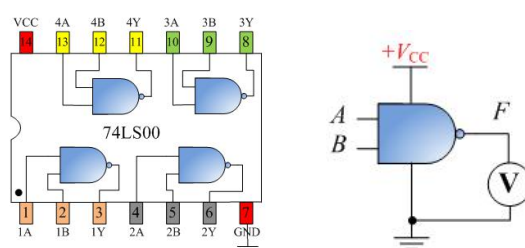
平均传输时间 t_{pd} 由两部分构成：从高电平跃迁到低电平滞后时间 t_{PHL} 和从低电平跃迁到高电平滞后时间 t_{PLH} 。

2. 平均延迟时间一般把电压的最大和最小值的中间50%点作为时间参考点，测出 t_{PHL} 和 t_{PLH} 后求其平均值： $t_{pd} = (t_{PHL} + t_{PLH}) / 2$ 。

3. 为提高测量精度，采用环形振荡器测量传输延迟时间：假设每个与非门延迟时间相同，则振荡器周期 $T = 6 t_{pd}$ ，一个逻辑门的延迟时间为 $T / 6$ 。

2.2.1 验证集成电路 74LS00 “与非” 门的逻辑功能

1. 将芯片插入实验箱的IC插座中，注意芯片的方向。
2. 按右图连接电路，VCC 接电压5V，地端接地线。
3. 高低电平通过S14/S15/S16/S17拨位开关产生。
4. 以真值表顺序遍历输入A,B所有组合，测量A,B及输出F 电压并记入表格。

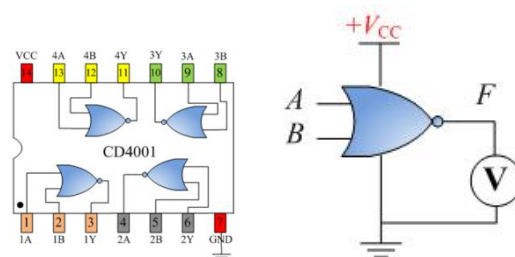


图表 2.2.1 验证集成电路74LS00 “与非” 门的逻辑功能电路图

2.2.2 验证 CD4001 “或非” 门逻辑功能

1. 将芯片插入实验箱的IC插座中。

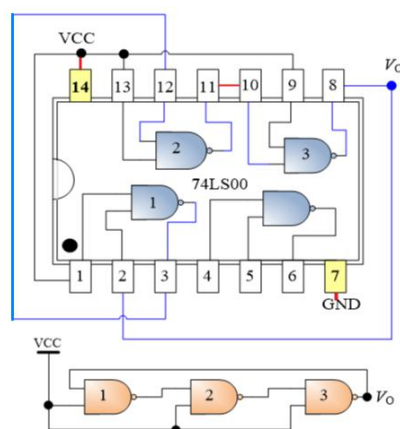
2. 按右图连接电路，VCC 接直流5V电压，地端接地线。
3. 高低电平通过S14/S15/S16/S17拨位开关产生。
4. 以真值表顺序遍历输入A, B所有组合，测量输入端A, B及输出端F电压值，记录在表格。
5. 重复步骤3~4，测量其他3个门的逻辑关系并判断门的好坏。



图表 2.2.2 验证集成电路CD4001 “或非” 门的逻辑功能电路图

2.2.3 测量 74LS00 逻辑门的传输延迟时间 t_{pd}

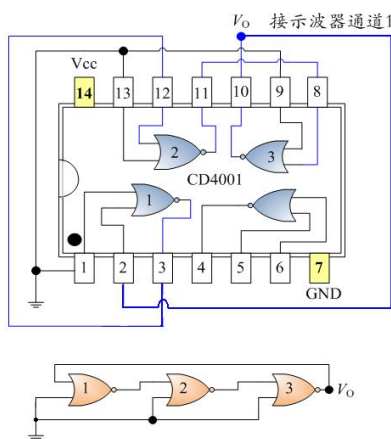
1. 将芯片插入实验箱的IC插座，注意芯片方向。
2. 按图连接电路，VCC接5V电源，地端接地线。
3. 将示波器接到振荡器的任何一个输入或输出端。
4. 调节频率旋钮，测量 V_o 的波形，读出周期 T 并计算传输延迟时间（30-60ns）。



图表 2.2.3 测量74LS00逻辑门的传输延迟时间 t_{pd} 电路图

2.2.4 测量 CD4001 逻辑门的传输延迟时间 t_{pd}

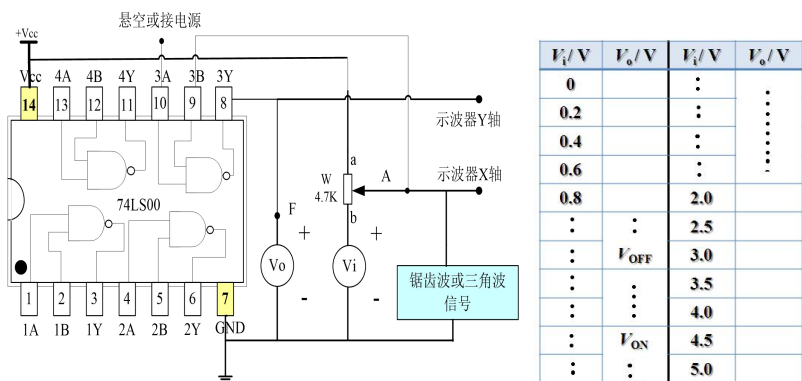
1. 将芯片插入实验箱的IC插座，注意芯片方向。
2. 按图连接电路，VCC接5V电源，地端接地线。
3. 将示波器接入到振荡器的输入或输出端。
4. 调节频率旋钮，测量 V_o 的波形，读出周期 T 并计算传输延迟时间(500-1000ns)。



图表 2.2.4 测量CD4001逻辑门的传输延迟时间 t_{pd} 电路图

2.2.5 测量 74LS00 传输特性与开关门电平 V_{ON} 和 V_{OFF}

1. 将芯片插入实验箱的IC插座。
2. 按图连接电路。
3. 将直流电表分别接入 A 端和与非门的输出2Y端。
4. 从b端往a端缓慢调节电位器W，观察 V_i , V_o 两电压表的读数，并记录数据填入表格。
5. 根据表格数据画出曲线图，并求 V_{ON} 和 V_{OFF} 。



图表 2.2.5 测量74LS00传输特性与开关门电平 V_{ON} 和 V_{OFF} 电路图及记录表格

三、主要仪器设备

1. 数字示波器RIGOL-DS162 1台
2. 数字万用表 1只
3. 电路设计实验箱 1台
4. 两输入与非门74LS00 1片
5. 两输入或非门CD4001 1片
6. 电阻
 - a) 4.7K Ω 电位器 1只
 - b) 100 Ω /1KW 1只

四、操作方法与实验步骤

4.1 验证集成电路 74LS00 “与非” 门的逻辑功能

1. 将芯片插入实验箱的IC插座中，注意芯片的方向。
2. 按原理图连接电路，VCC 接电压5V，地端接地线。

3. 高低电平通过S14/S15/S16/S17拨位开关产生。
4. 以真值表顺序遍历输入A, B所有组合，测量A, B及输出F 电压并记入表格。

4.2 验证集成电路 CD4001 “或非” 门的逻辑功能

1. 将芯片插入实验箱的IC插座中。
2. 按右图连接电路，VCC 接直流5V电压，地端接地线。
3. 高低电平通过S14/S15/S16/S17拨位开关产生。
4. 以真值表顺序遍历输入A, B所有组合，测量输入端A, B及输出端F 电压值。
5. 重复步骤3~4，测量其他3个门的逻辑关系并判断门的好坏。

4.3 测量集成电路 74LS00 逻辑门的传输延迟时间 t_{pd}

1. 将芯片插入实验箱的IC插座，注意芯片方向。
2. 按图连接电路，VCC接5V电源，地端接地线。
3. 将示波器接到振荡器的任何一个输入或输出端。
4. 调节频率旋钮，测量 V_o 的波形，读出周期T 并计算传输延迟时间（30-60ns）。

4.4 测量集成电路 CD4001 逻辑门的传输延迟时间 t_{pd}

1. 将芯片插入实验箱的IC插座，注意芯片方向。
2. 按图连接电路，VCC接5V电源，地端接地线。
3. 将示波器接入到振荡器的输入或输出端。

4. 调节频率旋钮，测量 V_o 的波形，读出周期 T 并计算传输延迟时间。(500–1000ns)

4.5 测量集成电路 74LS00 传输特性与开关门电平 V_{ON} 和 V_{OFF}

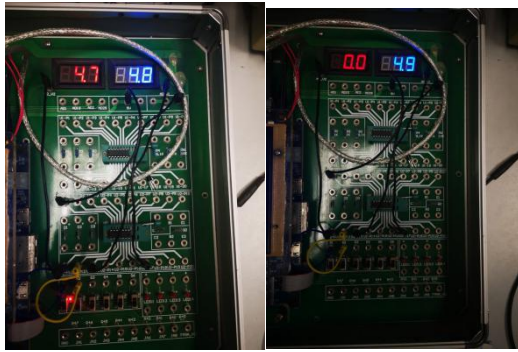
1. 将芯片插入实验箱的IC插座。
2. 按图连接电路（见下页）。
3. 将直流电表分别接入 A 端和与非门的输出2Y端。
4. 从b端往a端缓慢调节电位器W，观察 V_i , V_o 两电压表的读数，并记录数据填入表格。
5. 根据表格数据画出曲线图，并求 V_{ON} 和 V_{OFF} 。

五、实验结果与分析

5.1 验证集成电路74LS00 “与非” 门的逻辑功能

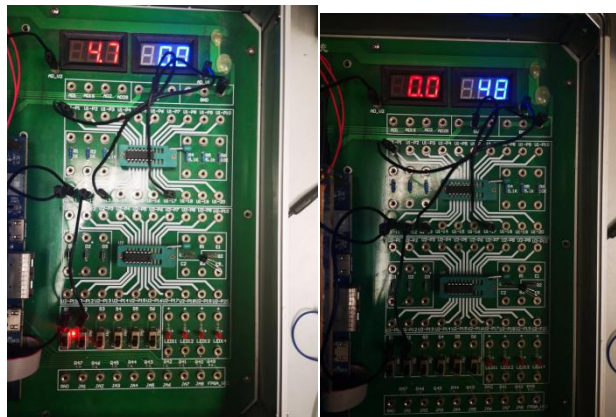
$V_B(V)$	$V_A(V)$	$V_F(V)$
0	0	4.9
0	4.7	4.8
4.7	0	4.8
4.7	4.7	0

图表 5.1 74LS00数据记录



观察上表可知，当输入 A,B 均为高电平时，输出 F 为低电平；
只要A,B 中有一个接地，输出F 即为高电平，符合与非门的逻辑关系。

5. 2验证集成电路CD4001 “或非” 门的逻辑功能

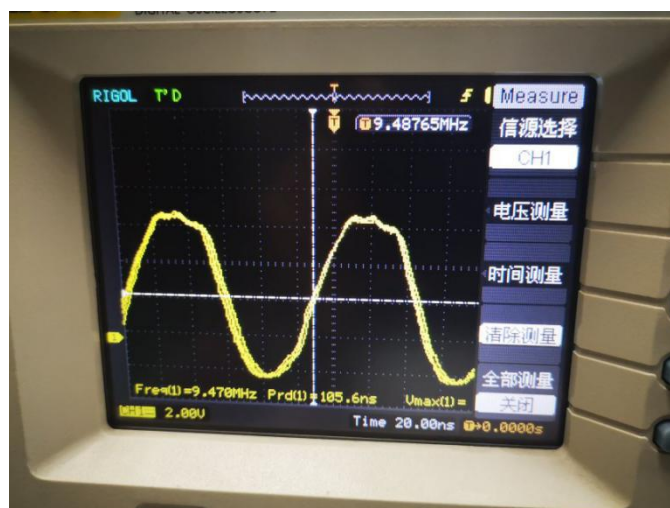


$V_B(V)$	$V_A(V)$	$V_F(V)$
0	0	4.8
0	4.7	0
4.7	0	0
4.7	4.7	0

图表 5.2 CD4001数据记录

由实验数据可知，输入 A,B 都接地时，输出F 为低电平；只要 A,B 中有高电平，输出F为高电平，符合或门逻辑关系。

5.3测量集成电路74LS00逻辑门的传输延迟时间 t_{pd}

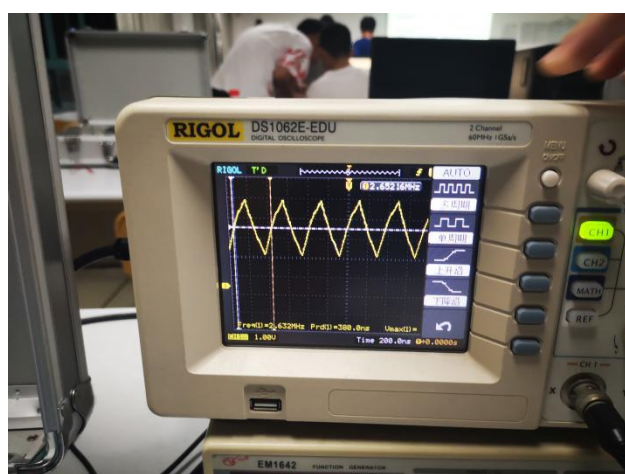


图表 5.3 集成电路74LS00逻辑门延迟时间

由示波器读出 $T=105.6\text{ns}$ ，所以集成电路74LS00逻辑门中一个逻辑门的延迟时间为 $t_{pd} = 17.6\text{ns}$ ($t_{pd} = T/6$)。

由于此次芯片存在一些问题导致测量值超出预定范围。

5.4 测量集成电路CD4001逻辑门的传输延迟时间 t_{pd}



图表 5.4 集成电路CD4001逻辑门延迟时间

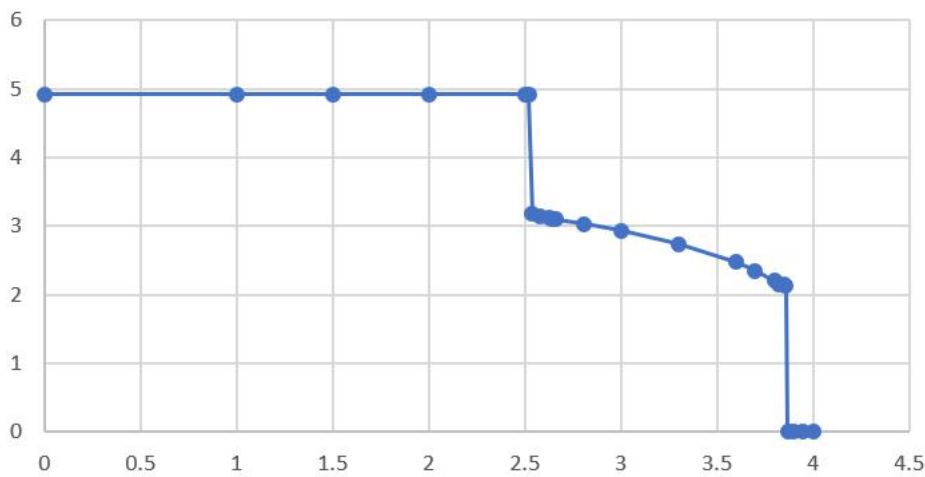
由示波器读出 $T=380.00\text{ns}$ ，所以集成电路CD4001逻辑门中一个逻辑门的延迟时间为 $t_{pd} = 63.33\text{ns}$ ($t_{pd} = T/6$)。

由于此次芯片存在一些问题导致测量值超出预定范围，误差较大。

5.5 测量集成电路74LS00传输特性与开关门电平VON和VOFF

V_i / V	V_O / V	V_i / V	V_O / V
0.00	4.92	3.00	2.93
1.00	4.92	3.30	2.74
1.50	4.92	3.60	2.47
2.00	4.92	3.70	2.35
2.50	4.92	3.80	2.20
2.52	4.92	3.82	2.14
2.54	3.18	3.85	2.14
2.58	3.15	3.86	2.12
2.63	3.12	3.87	0.01
2.64	3.11	3.90	0.01
2.66	3.10	3.95	0.01
2.81	3.03	4.00	0.01

折线图



图表 5.5.1 和 5.5.2 集成电路74LS00传输特性数据记录

74LS00的VOFF是当输入电压由零逐渐上升、输出电压逐渐下降，当输出电压刚好降到额定最低高电平2.4V时的最高输入低电平电压。

在74LS00中是当输入电压由VOFF继续上升，输出电压急剧下降，当输出电压刚好降到额定低电平0.4V时的最低输入高电平电压称VON

由于本此实验芯片原因实验与基准值误差较大,但可以很明显的看到两次急剧下降过程。

由图表易得, 关门电平 $V_{OFF} = 2.53 \text{ V}$, 开门电平 $V_{ON} = 3.86\text{V}$

六、讨论、心得

该实验的最后一个实验对数据记录要求较高,调整时需精确慢速。并记录多组数据以便制表。

虽然此次实验比较顺利,但是实验数据的误差明显比之前的要大,实验数据难以确保准确性,仪器本身有可能存在较大误差,更加大了实验结果的误差。但我通过此次实验更加直观的感受到了集成逻辑门电路的内部构成,也亲自动手搭电路测量,有很大成就感。

实验四——EDA 实验平台与实验环境运用

实验报告

姓名： 王祚滨 专业： 信息安全 学号： 3180104933

课程名称： 逻辑与计算机设计基础实验 同组学生姓名： 王国朝、赵卿云

指导老师： 洪奇军 实验地点： 浙江大学紫金港校区东四教学楼 509

实验日期： 2019 年 10 月 9 日

一、实验目的和要求

1. 熟悉 Verilog HDL 语言并能用其建立基本的逻辑部件，在 Xilinx ISE 平台进行输入、编辑、调试、行为与仿真与综合后功能仿真
2. 熟悉掌握 SWORD FPGA 开发平台，同时在 ISE 平台上进行时序约束、引脚约束及映射布线后时序仿真
3. 运用 Xilinx ISE 具将设计验证后的代码下载到实验板上，并在实验板上验证

二、实验内容和原理

实验内容：

1. 熟悉 ISE 工具软件的运行环境与安装过程
2. 设计简单组合逻辑电路，采用图形输入逻辑功能描述，建立 FPGA 实现数字系统的 Xilinx ISE 设计管理工程，并进行编辑、调试、编译、行为仿真，时序约束、引脚指定（约束）、映射布线后时序仿真及 FPGA 编程代码下载与运行验证
3. 设计简单时序逻辑电路，采用 Verilog 代码输入逻辑功能描述，建立 FPGA 实现数字系统的 ISE 设计管理工程，并进行编辑、调试、编译、行为仿真，时序约束、引脚约束、映射布线后时序仿真及 FPGA 编程代码下载与运行验证

实验原理：

问题 1：某三层楼房的楼梯通道共用一盏灯，每层楼都安装了一只开关并能

独立控制该灯，请设计楼道灯的控制电路。

问题 2：增加控制要求，灯打开后，延时若干秒自动关闭，请重新设计楼道灯的控制电路。

三、主要仪器设备

实验设备：

装有 ISE 14.7 的计算机	1 台
SWORD 开发板	1 套

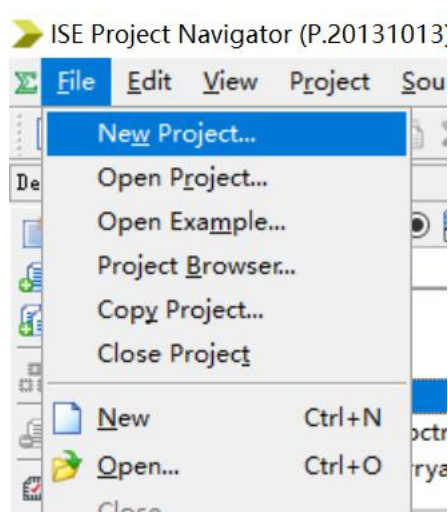
实验材料：无

四、操作方法与实验步骤

问题一：

1. 新建楼道控制的工程文件，在此命名为 Dreamerryao_sch.ise（基本命名为 LampCtrl_sch.ise），具体步骤如下：

1、依次点击菜单 File → New Project...



2、在对话框中设置：

Project Name: Dreamerryao_sch Top-Level Source Type:Schematic

New Project Wizard

← Create New Project
Specify project location and type.

Enter a name, locations, and comment for the project

Name: Dreamerryo_sch_new

Location: D:\isepro\Dreamerryo_sch_new

Working Directory: D:\isepro\Dreamerryo_sch_new

Description:

Select the type of top-level source for the project

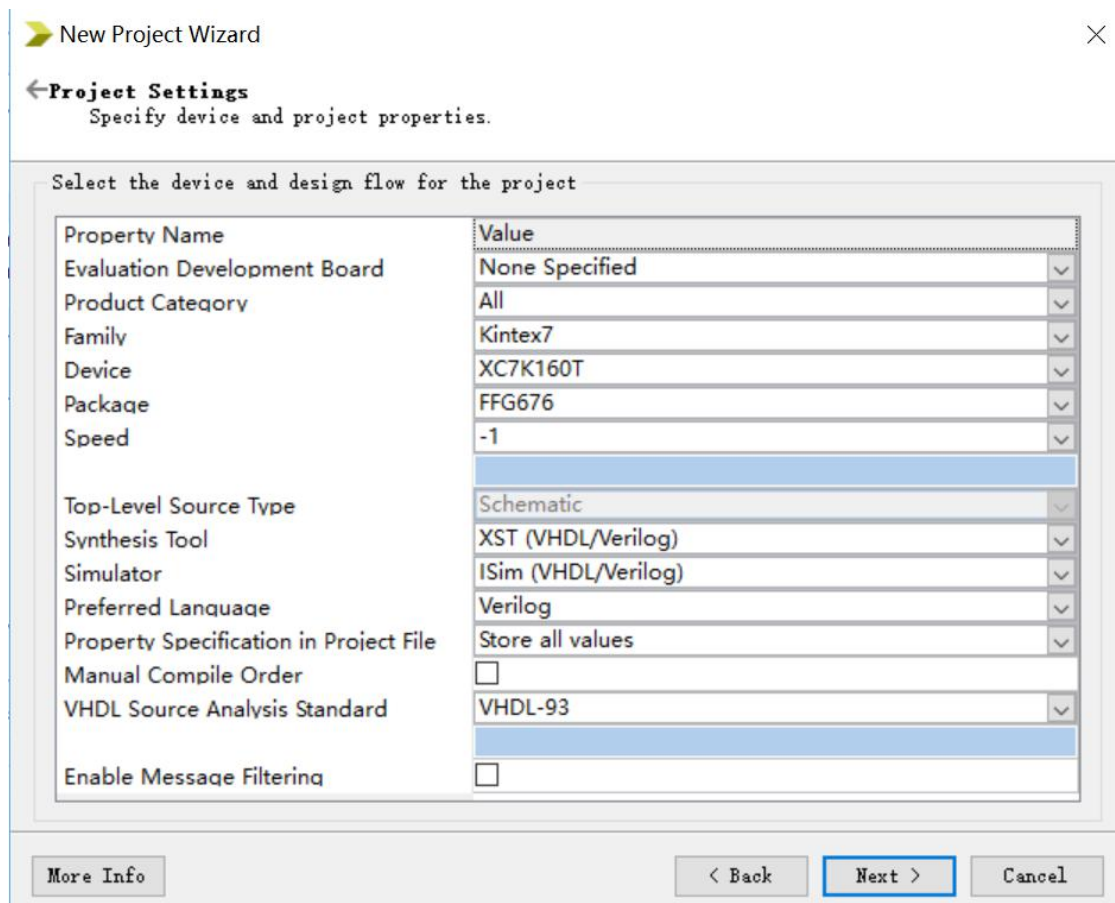
Top-level source type:

HDL
HDL
Schematic
EDIF
NGC/NGO

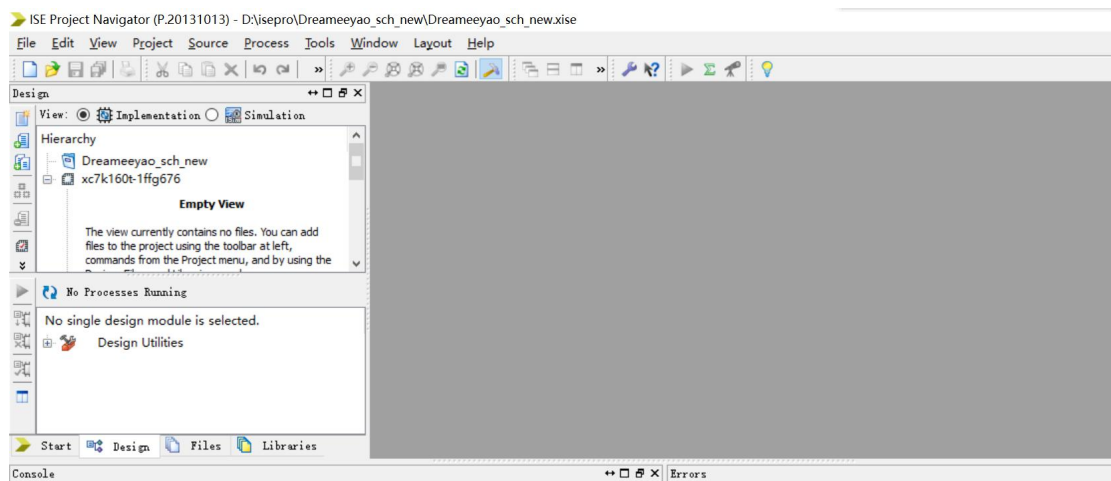
More Info Next / Cancel

3、确认后，点击 Next 到设备属性页，设置：

Family: Kintex7 Device: XC7K160T Package: FFG676 Speed: -1

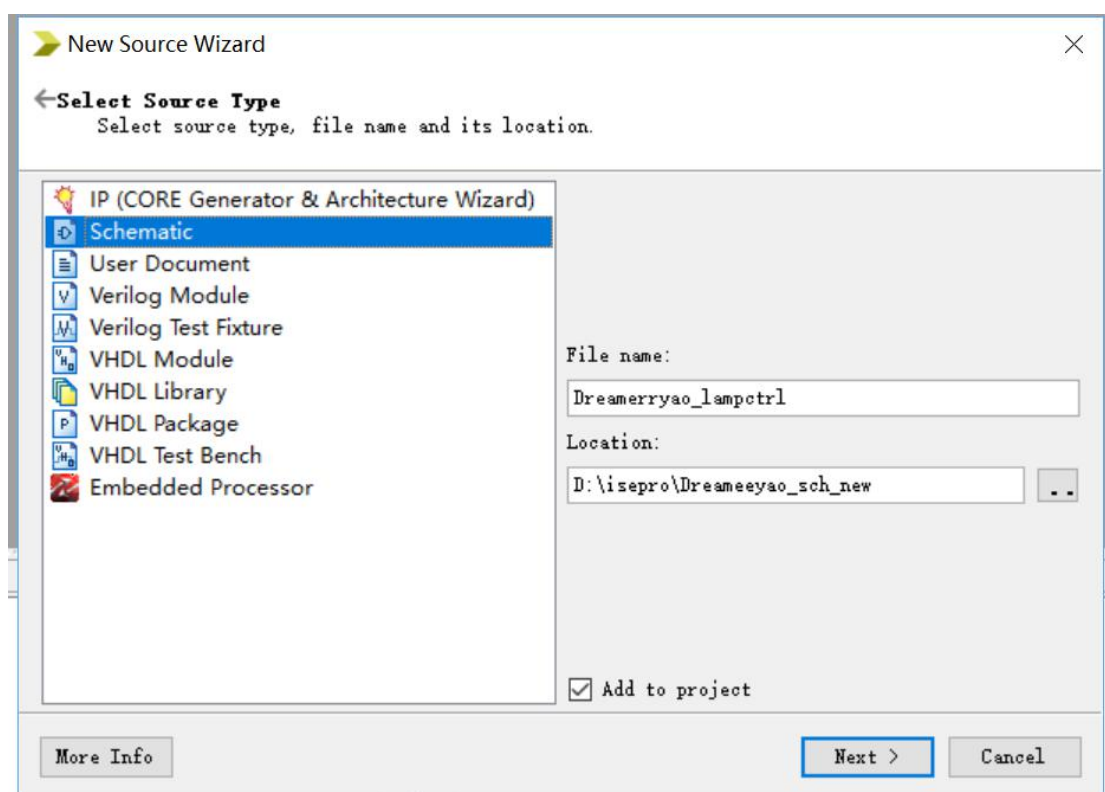
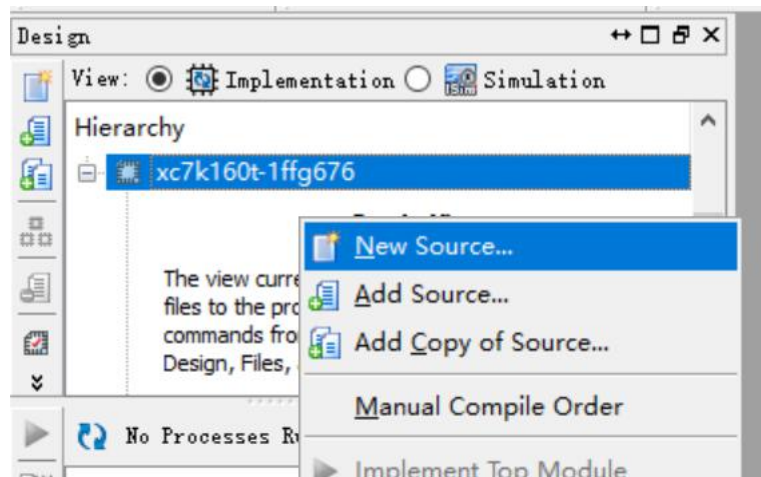


4、确认后，一直点击 Next 直到创建工程结束, 此时会出现下图。



2. 创建原理图文件: Dreameryao_lampctrl.sch

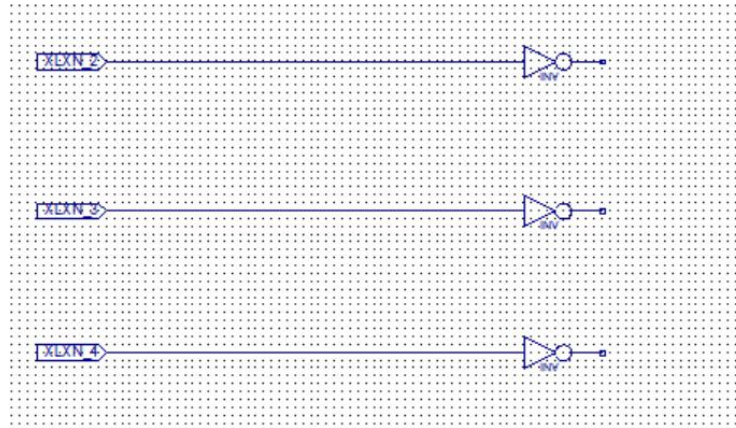
1. 在 sources 窗口右键，点击 new source, 选择 schematic 文件，命名为 Dreameryao_lampctrl 即可。



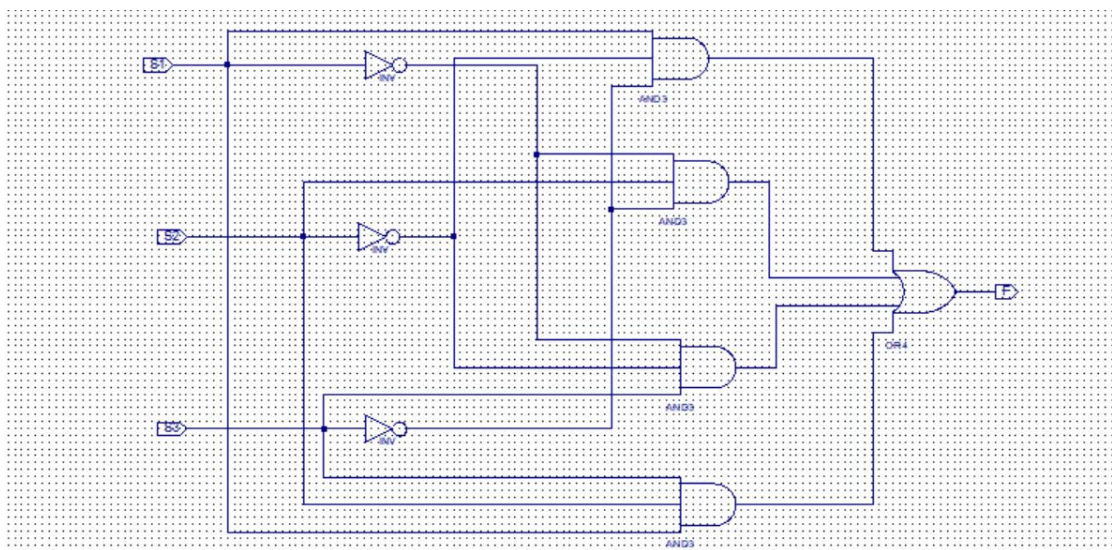
2. 在 Sources 窗口中选择 Symbols 选项卡，输入相关元器件名字，如 (inv, add3 等)，

注：此阶段需将面板先放大，否则拖入元器件过小，看不清楚。

配合 Schematic Editor 工具条输入原理图，如图



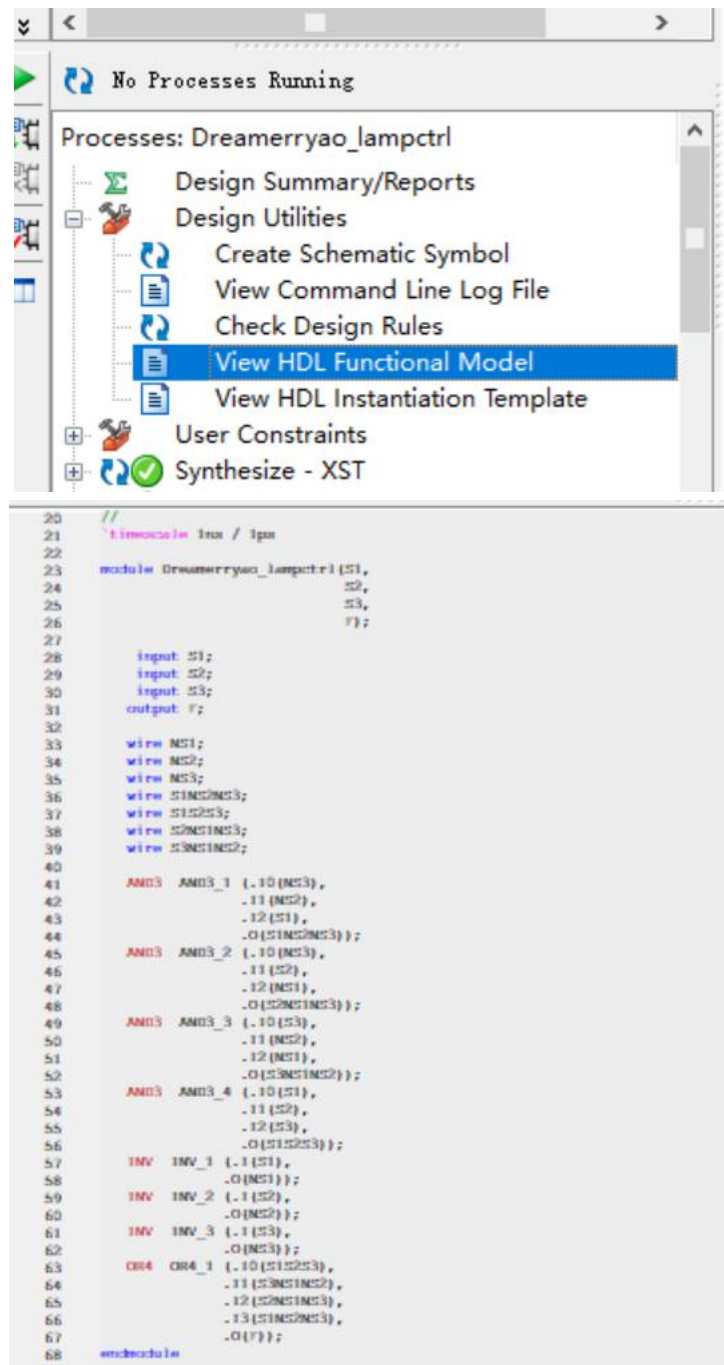
此图为 Inv 与 I/O marker 结合后产生，在此图基础上继续绘制得到图如下：



也可通过 add copy of source 将老师发给的文件直接导入（但不建议，最好自己动手）

3. 查看输入电路的硬件描述代码

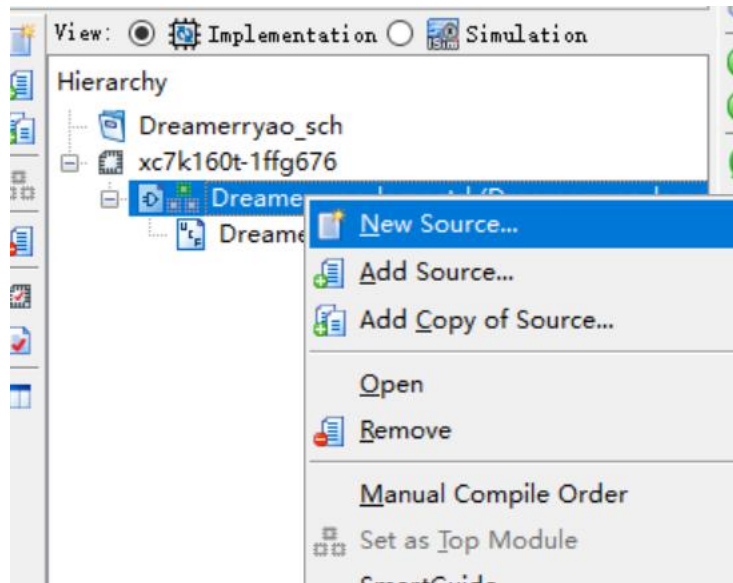
在 Sources 窗口中选择 Sources for: Synthesis / Implementation，选中 LampCtrl.sch 图标，在 Processes 窗口 Processes 选项卡中展开 Design Utilities 并双击 View HDL Functional Model ，如图：



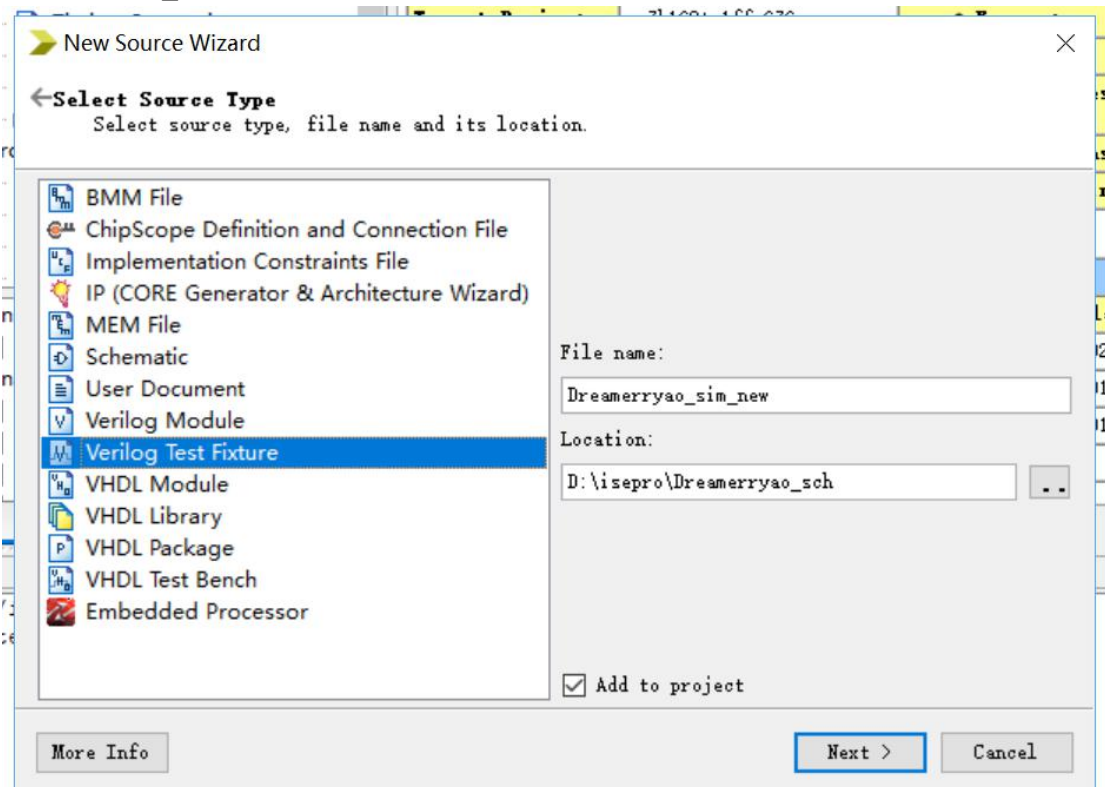
图：Dreamerryao_lampctrl.sch 对应硬件描述代码

4. 建立基准测试波形文件：Dreamerryao_sim.tbw

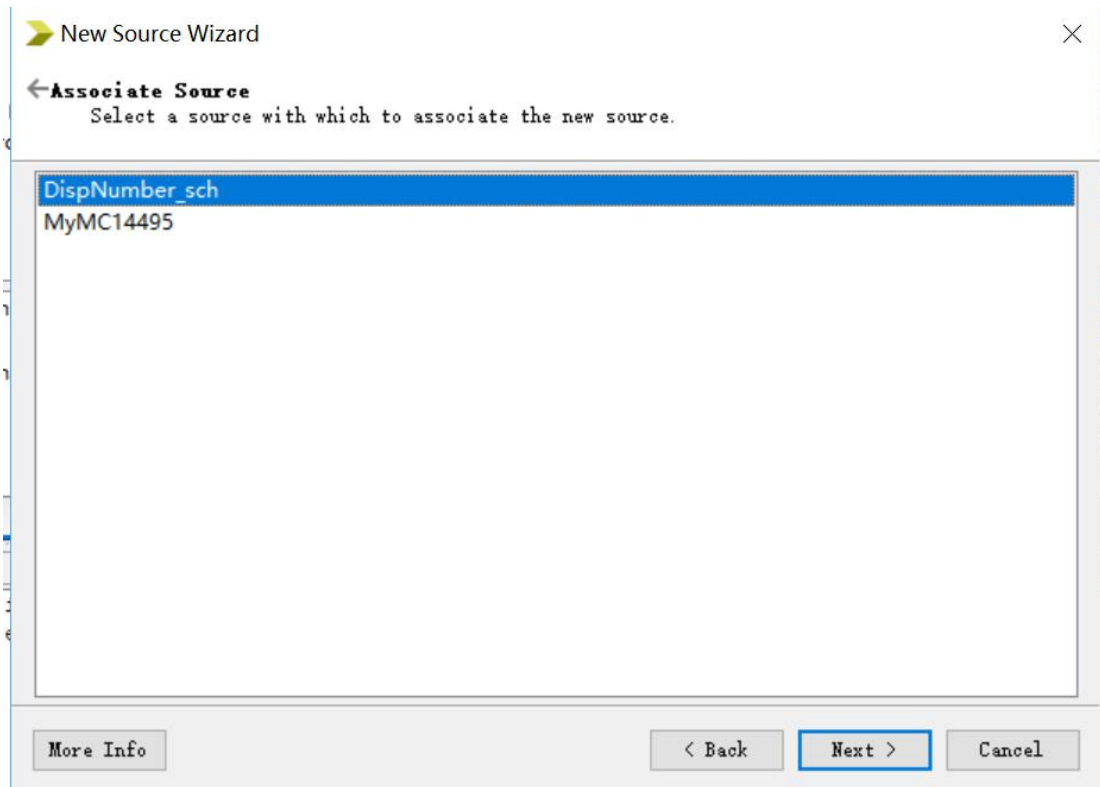
- 1、在 Sources 窗口空白处的右键菜单中选择 New Source



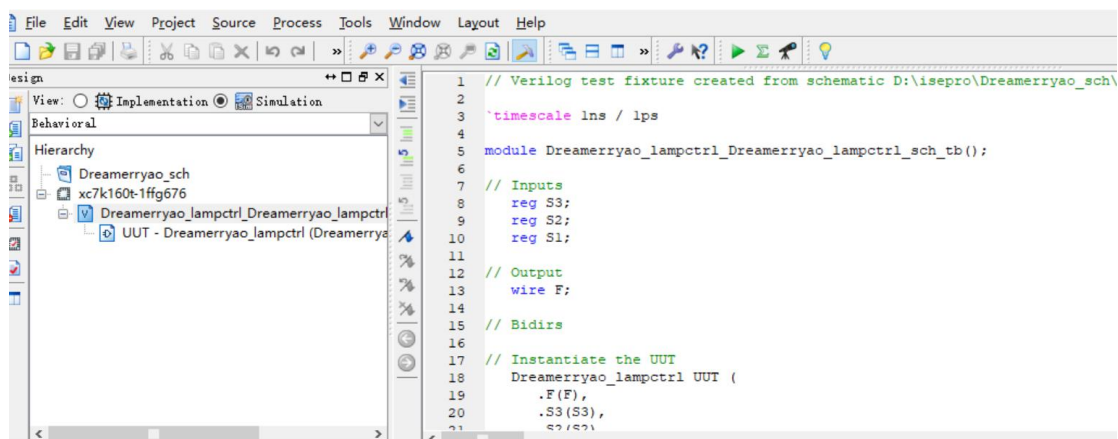
2、在新建源文件向导中选择源类型为：Verilog Test Fixture，输入文件名 Dreamerryao_sim，并勾选 Add to Project



注：点击 next 时会出现其对应文件，选择 Dreamerryao_lampctrl 文件即可



3、点击 Finish 进入 Dreamerryao_sim.v 编辑窗口



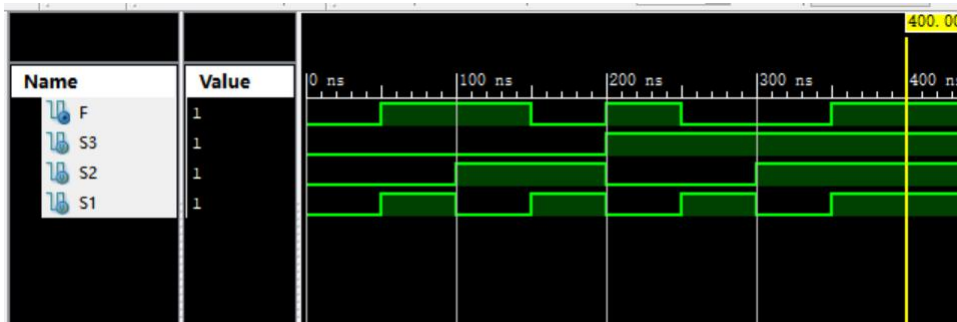
4、向下拉，更改 initialize inputs 下方代码，方式一：

```

23 //
24 // Initialize Inputs
25 // `ifdef auto_init
26   initial begin
27     S3=0;S2=0; S1=0;#50;
28     S1=1; #50;
29     S2=1;S1=0; #50;
30     S1=1; #50;
31     S3=1;S2=0;S1=0; #50;
32     S1=1; #50;
33     S2=1;S1=0; #50;
34     S1=1; #50;
35   end
36
37 //`endif
38 endmodule
  
```

注意：将 25 行与 37 行注释掉

5、View 选择 Simulation 视图，Hierarchy 窗口中选择 Dreamerryao_lampctrl_Dreamerryao_lampctrl_sch_tb，Process 窗口中选择 Simulate Behavioral Model，查看对应仿真图：



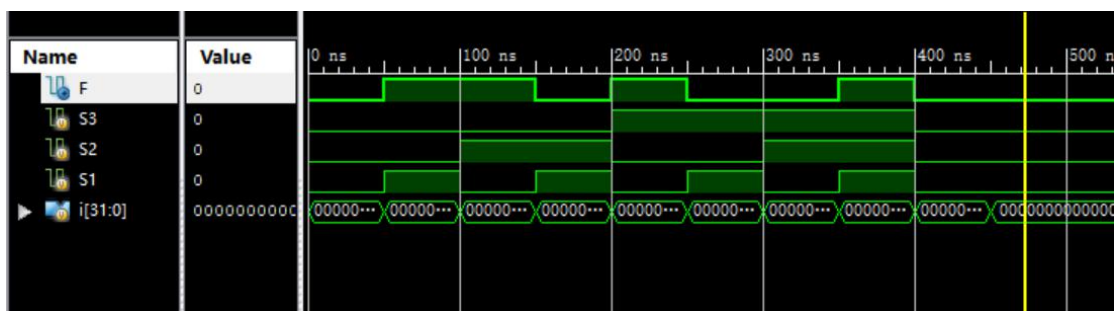
方式一对应仿真图

6、更改 4 中代码，方式二：

```
24 // Initialize Inputs
25 //`ifdef auto_init
26
27 integer i;
28 initial begin
29     for(i=0;i<=8;i=i+1)begin
30         {S3,S2,S1} <= i;
31         #50;
32     end
33 end
34
35
36 //`endif
37 endmodule
```

方式二对应代码

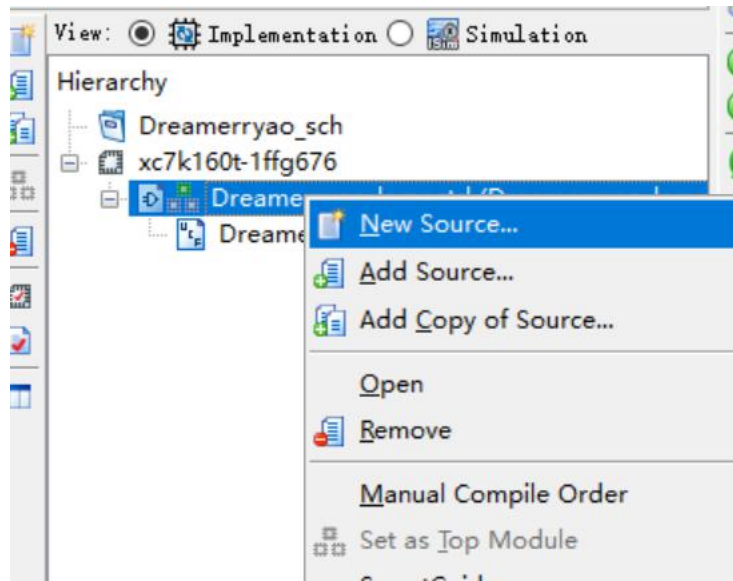
7、重复步骤 5，查看对应仿真图：



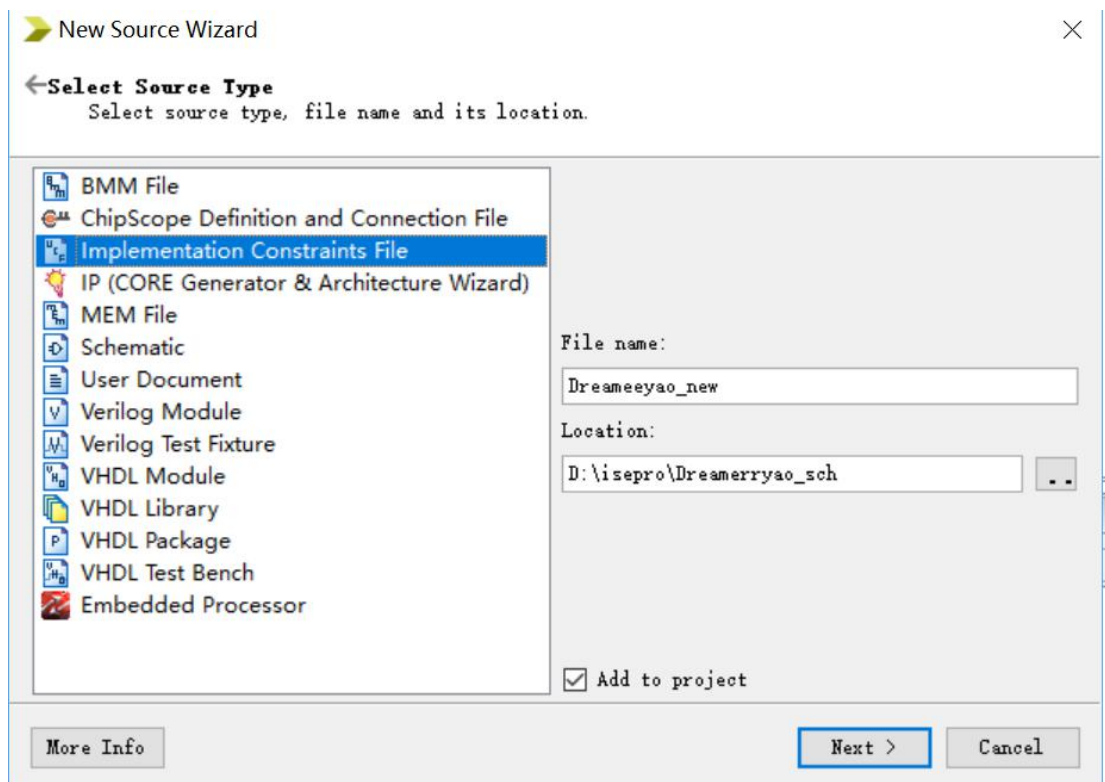
方式二对应仿真图

5. 建立用户时序约束并为模块的端口指定引脚分配

1、在 Sources 窗口空白处的右键菜单中选择 New Source



2、在新建源文件向导中选择源类型为: Implementation Constraints File, 输入文件名 Dreamerryao, 并勾选 Add to Project

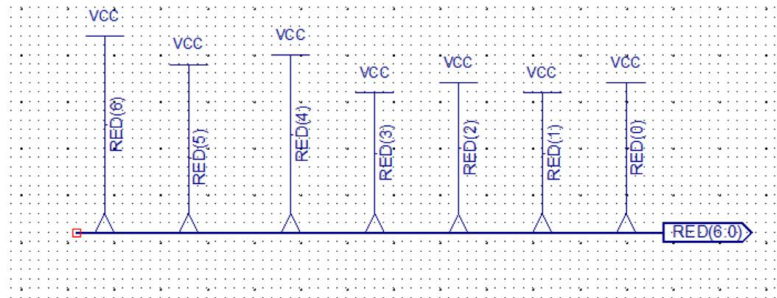


3、点击 Finish 进入 Dreamerryao.ucf 编辑窗口, 输入以下代码:

```
NET"S1"LOC=AA10 | IOSTANDARD=LVCMOS15;#电压说明
NET"S2"LOC=AB10 | IOSTANDARD=LVCMOS15;
NET"S3"LOC=AA13 | IOSTANDARD=LVCMOS15;
NET"F"LOC=AF24 | IOSTANDARD=LVCMOS33 ;#D8
#NET"Buzzer"LOC=AF25 | IOSTANDARD=LVCMOS33 ;
#NET"LED[0]"LOC=W23 | IOSTANDARD=LVCMOS33 ;#D1
#NET"LED[1]"LOC=AB26 | IOSTANDARD=LVCMOS33 ;#D2
```

```
#NET"LED[2]"LOC=Y25 | IOSTANDARD=LVCMOS33 ;#D3
#NET"LED[3]"LOC=AA23 | IOSTANDARD=LVCMOS33 ;#D4
#NET"LED[4]"LOC=Y23 | IOSTANDARD=LVCMOS33 ;#D5
#NET"LED[5]"LOC=Y22 | IOSTANDARD=LVCMOS33 ;#D6
#NET"LED[6]"LOC=AE21 | IOSTANDARD=LVCMOS33 ;#D7
```

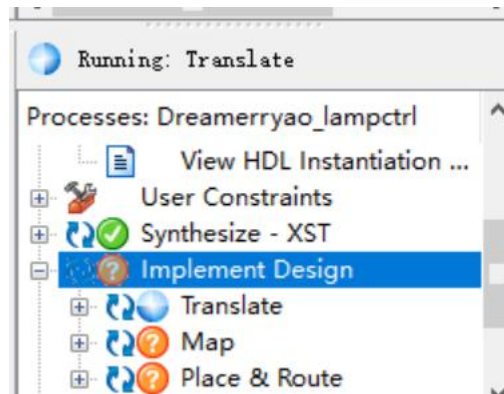
并且加入以下原理图：



总线图

6. 设计实现并检查约束结果

1、在 Sources 窗口中选择 Synthesis/Implementation，选中 Dreamerryao_lampctrl；在 Processes 窗口下选择 Implement Design，进行物理转换、平面布图、映射、物理布线等 FPGA 目标格式实现文件生成。

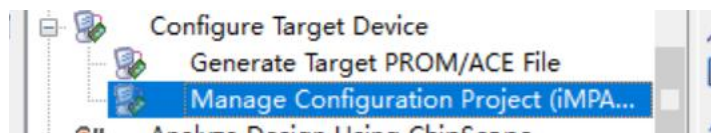


正在进行 translate 过程

最后在设计摘要文档中有如下结果：

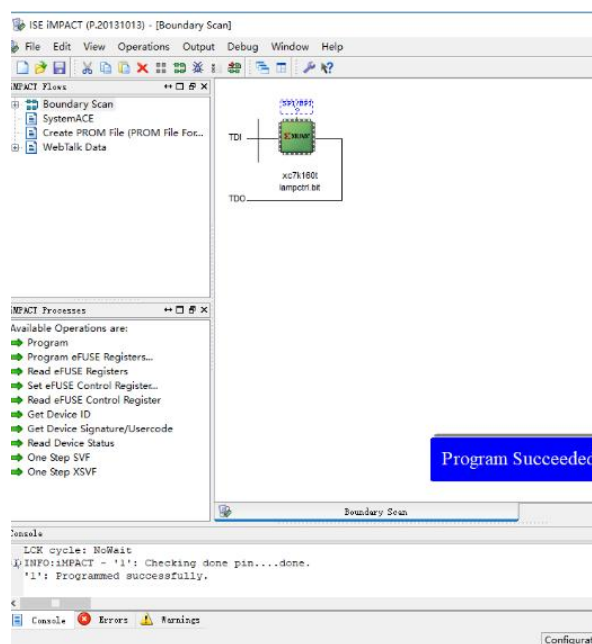
	Pin Number	Signal Name	Pin Usage	Pin Name	Direction	IO Standard	IO Bank Number	Drive (mA)	Slew Rate	Termination
1	A1			GND						
2	A2			GND						
3	A3		OPAD	MGTXTXN3_116	UNUSED					
4	A4		OPAD	MGTXTXP3_116	UNUSED					
5	A5			GND						
6	A6			GND						
7	A7			GND						
8	A8		IOB...	IO_L9N_T1_DQS_16	UNUSED		16			
9	A9		IOB...	IO_L9P_T1_DQS_16	UNUSED		16			
10	A10		IOB...	IO_L22N_T3_16	UNUSED		16			
11	A11			VCCO_16			16			
12	A12		IOB...	IO_L24N_T3_16	UNUSED		16			
13	A13		IOB...	IO_L24P_T3_16	UNUSED		16			
14	A14		IOB...	IO_L21N_T3_DQS_16	UNUSED		16			
15	A15		IOB...	IO_L23N_T3_16	UNUSED		16			
16	A16			GND						
17	A17		IOB...	IO_L3N_T0_DQS_AD1N_15	UNUSED		15			
18	A18		IOB...	IO_L2P_T0_AD8P_15	UNUSED		15			
19	A19		IOB...	IO_L2N_T0_AD8N_15	UNUSED		15			
20	A20		IOB...	IO_L8N_T1_D12_14	UNUSED		14			
21	A21			VCCO_14			14			
22	A22		IOB...	IO_L2N_T0_D03_14	UNUSED		14			
23	A23		IOB...	IO_L4P_T0_D04_14	UNUSED		14			
24	A24		IOB...	IO_L4N_T0_D05_14	UNUSED		14			

摘要过程的结果

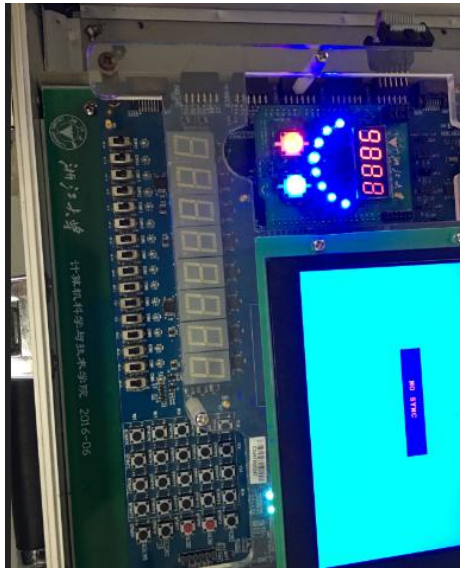


点击后，双击左上角 Boundary Scan 弹出下载编辑窗口
鼠标右键选择 Initialize Chain，系统自动查找已连接在电脑上的开发平台 JTAG 下载链

接下来出现 Assign Configuration Files 对话框。这时从文件列表中选择 Dreamerryao_lampctrl.bit 文件，将会为 JTAG chain 上的 xc7k160t 设备指定配置文件；在弹出的 Attach SPI or PRI PROM 对话框弹出，点击 NO 按钮；在弹出的“Device Programming Property 对话框，选择 OK 按钮即可。



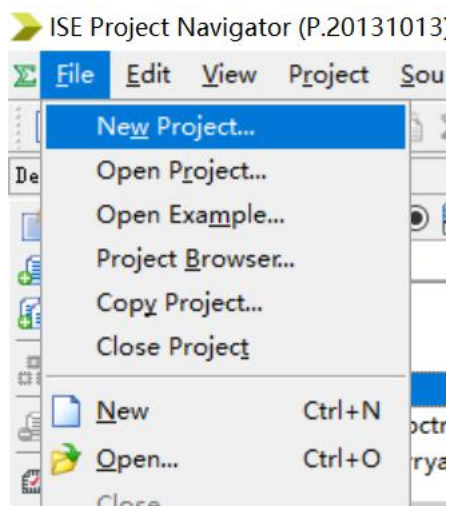
右键点击 xc7k160t 设备图标，选择菜单项 Program 后即可对硬件设备进行下载编程
通过验证:发现满足要求



问题二:

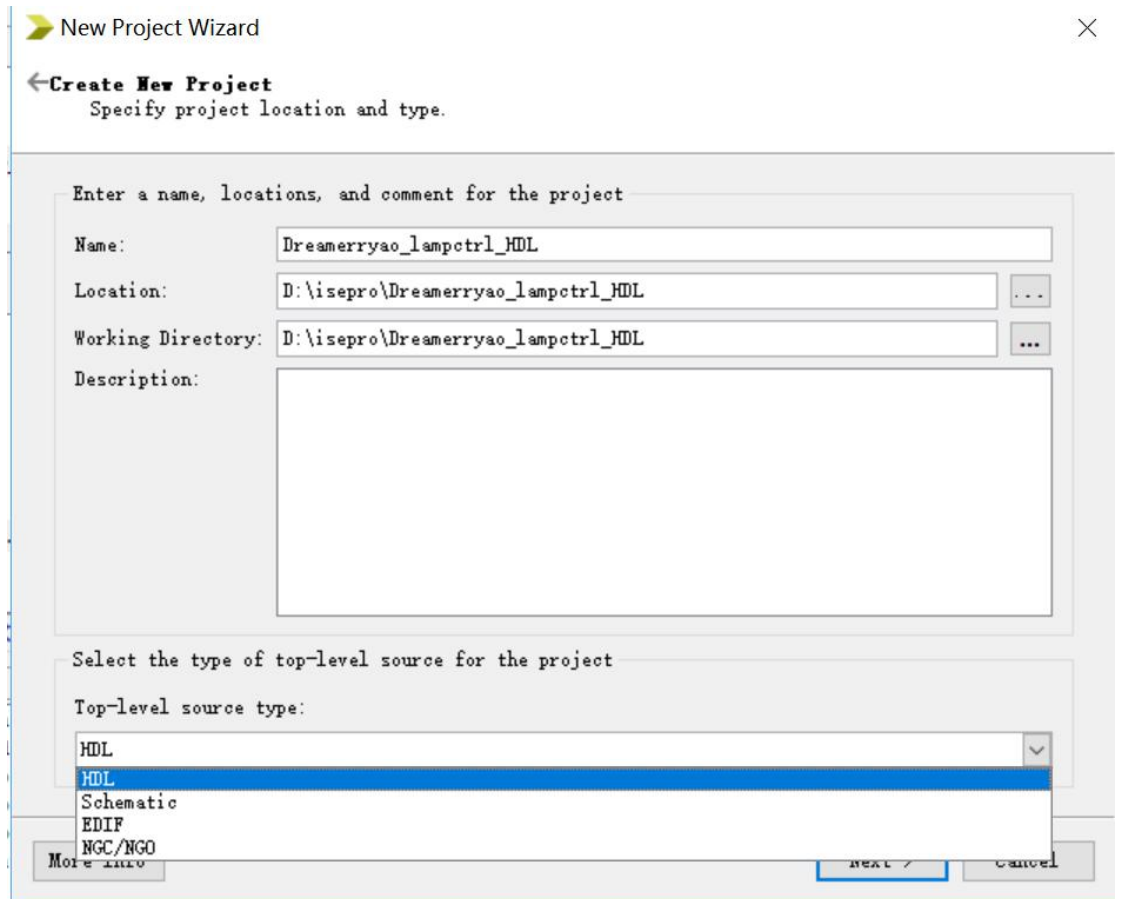
1. 建立楼道控制的工程: Dreamerryao_lampctrl_HDL.ise:

1、依次点击菜单 File → New Project...



2、在对话框中设置如下:

Project Name: Dreamerryao_lampctrl_HDL
Top-Level Source Type: HDL



- 3、确认后，点击 Next 到设备属性页，设置：
- Family:Kintex7
 - Device: XC7K160T
 - Package: FFG676
 - Speed: -1

New Project Wizard

← **Project Settings**
Specify device and project properties.

Select the device and design flow for the project

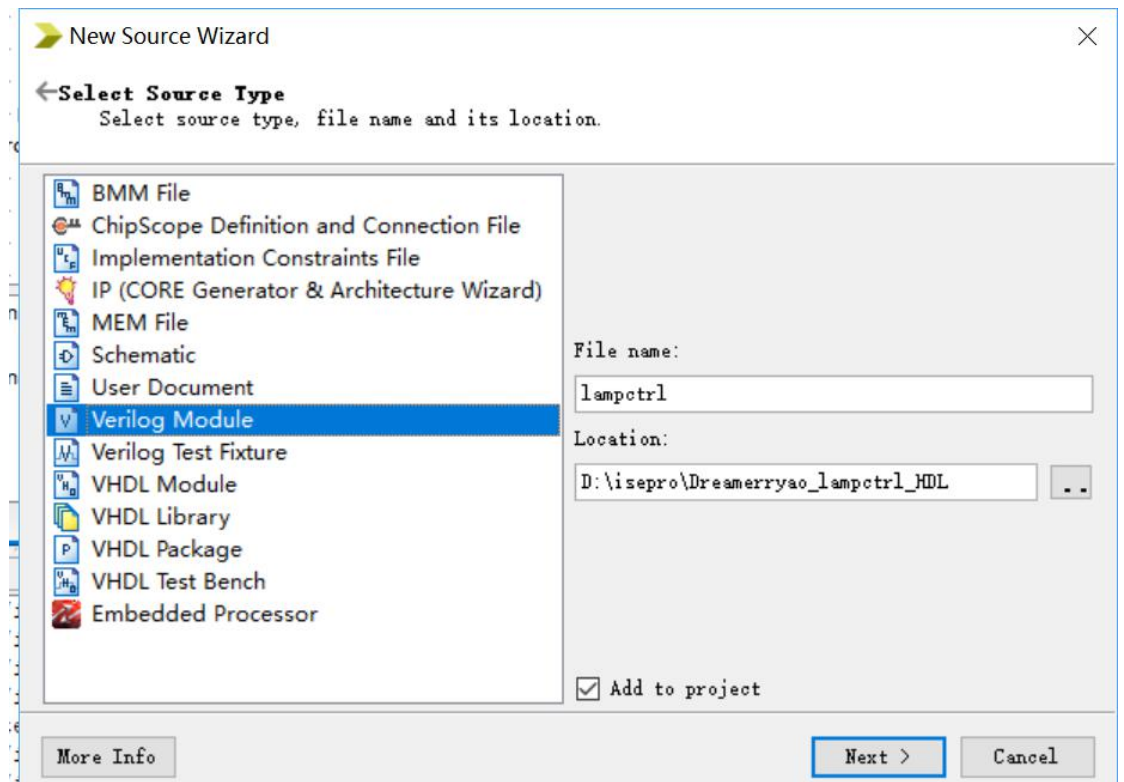
Property Name	Value
Evaluation Development Board	None Specified
Product Category	All
Family	Kintex7
Device	XC7K160T
Package	FFG676
Speed	-1
Top-Level Source Type	HDL
Synthesis Tool	XST (VHDL/Verilog)
Simulator	ISim (VHDL/Verilog)
Preferred Language	Verilog
Property Specification in Project File	Store all values
Manual Compile Order	<input type="checkbox"/>
VHDL Source Analysis Standard	VHDL-93
Enable Message Filtering	<input type="checkbox"/>

More Info < Back **Next >** Cancel

4、确认后，一直点击 Next 直到创建工程结束

2. 输入楼道灯控逻辑电路 Verilog HDL 代码

1、仿照问题一的步骤 2 建立 lampctrl 文件，注意文件类型选择为 verilog module



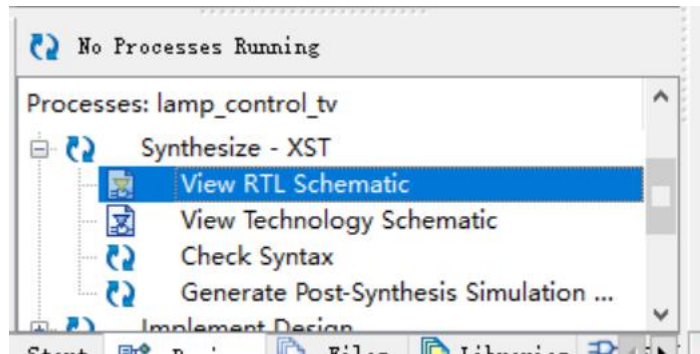
2、在源代码编辑器，输入代码，代码如下图

```
//////////////////////////////////////////  
module lampctrl(input wire clk,  
    input wire S1,  
    input wire S2,  
    input wire S3,  
    output wire F  
);  
  
    parameter C_NUM = 28;  
    parameter C_MAX = 28'hFFF_FFFF;  
  
    reg [C_NUM-1:0] count;  
    wire [C_NUM-1:0] c_next;  
  
    initial begin //初始化  
        count = C_MAX;  
    end  
  
    assign w=S1^S2^S3;  
  
    assign F = ((count < C_MAX) ? 1'b1 : 1'b0);  
  
    always@(posedge clk)  
    begin
```

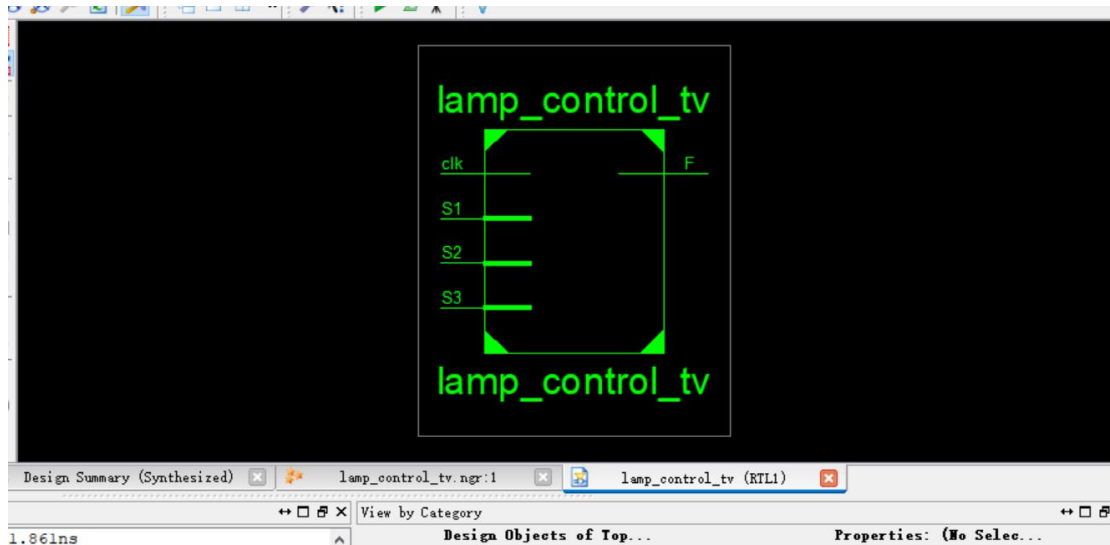
3.楼道控制电路代码的综合

1、在 Sources 窗口选中文件 LampCtrl.v;

2、在 Processes 窗口运行 Synthesis XST → View RTL Schematic

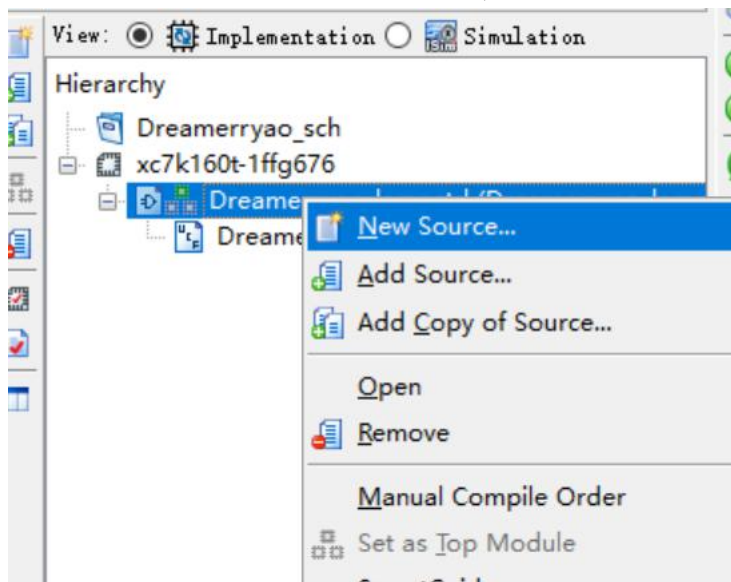


3、检查综合的电路结构是否与设计目标一致；

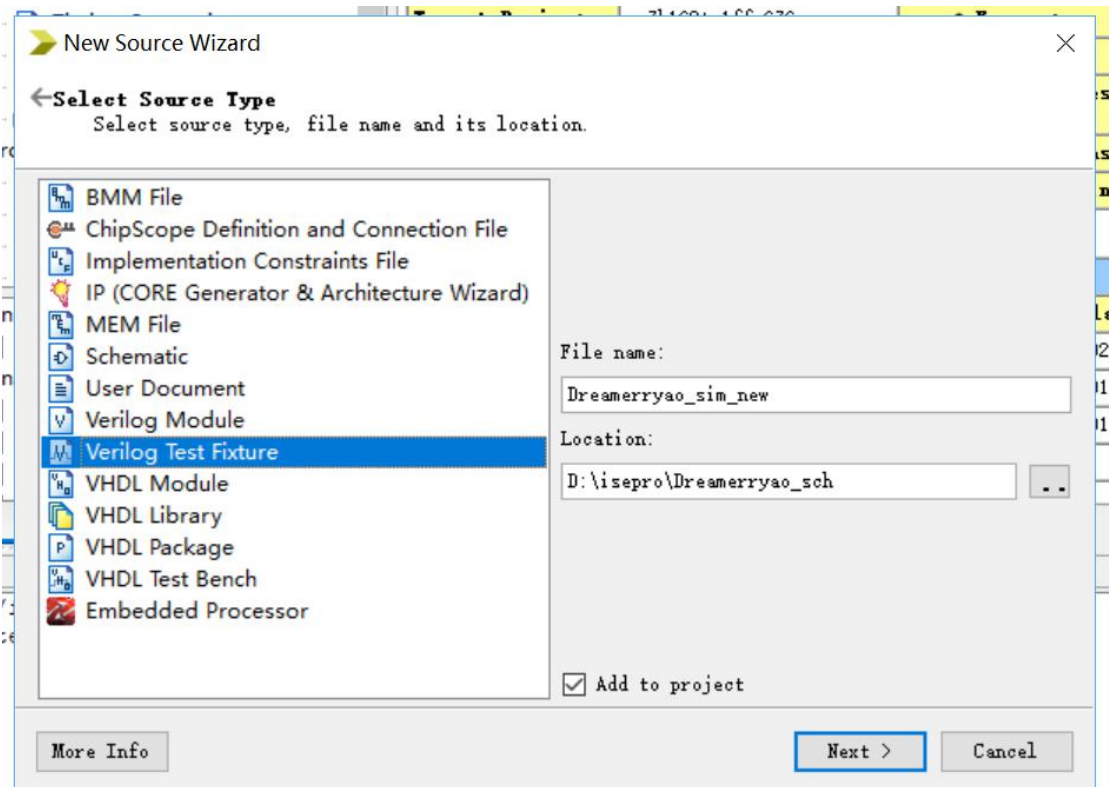


4. 仿照问题一步骤 4，进行建立基准测试波形文件 lampctrl_sim

1、在 Sources 窗口空白处的右键菜单中选择 New Source



4、在新建源文件向导中选择源类型为：Verilog Test Fixture，输入文件名 LampCtrl_sim，并勾选 Add to Project



3、点击 Finish 进入 LampCtrl_sim.v 编辑窗口，修改代码如下：

```

43      //
44
45      initial begin
46          // Initialize Inputs
47          clk = 0;
48          S1 = 0; S2 = 0; S3 = 0;
49
50          #600 S1 = 1;
51          #20 S1 = 0;
52          #6000 S2 = 1;
53          #20 S2 = 0;
54          #6000 S3 = 1;
55          #20 S3 = 0;
56
57      end
58
59  endmodule

```

4、得到的对应仿真图：



5. 仿照问题一步骤 5 进行建立用户时序约束并为模块的端口指定引脚分配
注意：此时需要将 LampCtrl.v 中计数器位数改为 28 位，以适应实验室板子

```
parameter C_NUM = 28;
```

```
parameter C_MAX = 28'hFFF_FFFF;
```

.ucf 文件配置代码如下：

```
NET"clk"LOC = AC18 | IOSTANDARD=LVCNMOS18 ;
```

```
NET"S1"LOC = AA10 | IOSTANDARD=LVCNMOS15;
```

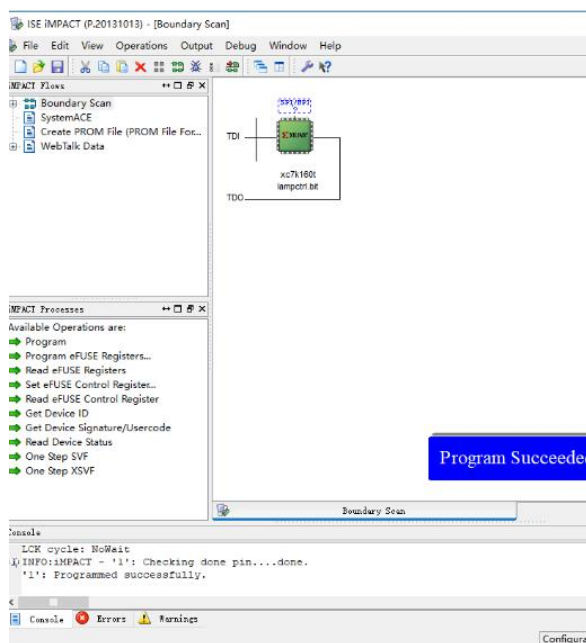
```
NET"S2"LOC = AB10 | IOSTANDARD=LVCNMOS15;
```

```
NET"S3"LOC = AA13 | IOSTANDARD=LVCNMOS15;
```

```
NET"F"LOC = AF24 | IOSTANDARD=LVCNMOS33 ;#D8
```

6. 仿照问题一步骤 6 进行下载到 sword 板上

-> Synthesize - XST, -> Implement design, -> Generate Programming File, 将生成 Bit 文件下载到 SWORD 实验板, 在 SWORD 板上物理运行, 根据 I/O 约束定义和交互按钮操作和显示, 板上通过按键开关, 查看灯的变化是否正确, 验证设计是否成功。



五、实验结果与分析

参照上述实验步骤, 建立自己的 Program, 上述步骤介绍用图即为本地 program 中得到。

六、讨论、心得

1. 熟悉了 ISE 平台的基本使用方法, 便于以后使用 ISE 平台进行作业
2. 通过 HDL 与 SCH 两种方式, 都进行了演练, 花费时间较长

3.对整体流程都有了大致的了解，颇有成就感。