# 实验10、锁存器与触发器基本原理实验报告

姓名： 王祚滨 专业： 信息安全 学号： 3180104933

课程名称： 逻辑与计算机设计基础实验 同组学生姓名： 王国朝、赵卿云

指导老师： 洪奇军 实验地点： 浙江大学紫金港校区东四教学楼509实验日期：2019年 11 月 20 日

# 一、实验目的和要求

1.掌握锁存器与触发器构成的条件和工作原理

2.掌握锁存器与触发器的区别

3.掌握基本SR锁存器、门控SR锁存器、D锁存器、SR锁存器、D触发器的基本功能

4.掌握基本SR锁存器、门控SR锁存器、D锁存器、SR锁存器存在的时序问题

**二、实验内容和原理**

2.1实验内容：

1.实现基本SR锁存器，验证功能和存在的时序问题

2.实现门控SR锁存器，并验证功能和存在的时序问题

3.实现D锁存器，并验证功能和存在的时序问题

4.实现SR主从触发器，并验证功能和存在的时序问题

5.实现D触发器，并验证功能

2.2实验原理：

**2.2.1构成锁存器的充分条件**

能长期保持给定的某个稳定状态

有两个稳定状态：0、1

在一定条件下能随时改变逻辑状态，即：置1或置0

最基本的锁存器有：SR锁存器、D锁存器

锁存器有两个稳定状态，又称双稳态电路

**SR锁存器**

将两个具有2输入端的反向逻辑器件的输出与输入端交叉连起来，另一个输入端作为外部信息输出端，就构成最简单的SR锁存器



|  |  |  |
| --- | --- | --- |
| ***R S*** | ***Q Q*** | **说明** |
| **0 0** | ***Q Q*** | **保持** |
| **0 1** | **1 0** | **置1** |
| **1 0** | **0 1** | **置0** |
| **1 1** | **0 0** | **未定义** |

图一 SR锁存器



图二 SR锁存器

|  |  |  |
| --- | --- | --- |
| ***R S*** | ***Q Q*** | **说明** |
| **0 0** | **1 1** | **未定义** |
| **0 1** | **0 1** | **置0** |
| **1 0** | **1 0** | **置1** |
| **1 1** | ***Q Q*** | **保持** |

**门控SR锁存器**



图三 门控SR锁存器

|  |  |  |
| --- | --- | --- |
| ***C R S*** | ***Q Q*** | **说明** |
| **0××** | ***Q Q*** | **保持** |
| **1 0 0** | ***Q Q*** | **保持** |
| **1 0 1** | **1 0** | **置1** |
| **1 1 0** | **0 1** | **置0** |
| **1 1 1** | **1 1** | **未定义** |

**D锁存器**

基本SR锁存器缺点：存在不确定状态

解决方法：消除不确定状态

只需1个数据输入端 D

输出端Q等于输入端D

采用电平控制 C



图四 D锁存器

|  |  |  |
| --- | --- | --- |
| ***C D*** | ***Q Q*** | **说明** |
| **0 ×** | ***Q Q*** | **保持** |
| **1 0** | **0 1** | **置0** |
| **1 1** | **1 0** | **置1** |

**触发器**

触发：外部输入使锁存器状态改变的瞬间状态

触发器：在锁存器的基础上使每次触发仅使状态改变一次的锁存电路（双稳态）

比D锁存器更有优势，能够避免空翻现象，使每次触发仅使锁存器内部状态改变一次。

分类：主从触发器，边沿触发器。

常见触发器：主从SR触发器、D触发器、JK触发器、T触发器

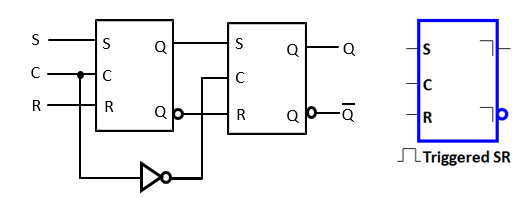
**SR主从触发器**

由两个钟控S-R锁存器串联构成，第二个锁存器的时钟通过反相器取反

当C=1时，输入信号进入第一个锁存器（主锁存器）

当C=0时，第二个锁存器（从锁存器）改变输出

从输入到输出的通路被不同的时钟信号值(C = 1 和 C = 0)所断开



图五 SR主从锁存器

**正边沿维持阻塞型D触发器**



图六 正边沿维持阻塞型D触发器

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **异步控制** | | **上升沿触发** | | | |
| ***R*** | ***S*** | ***CP*** | ***D*** | ***Q*** | ***Q*** |
| **0** | **1** | **×** | **×** | **0** | **1** |
| **1** | **0** | **×** | **×** | **1** | **0** |
| **1** | **1** | **↑** | **0** | **0** | **1** |
| **1** | **1** | **↑** | **1** | **1** | **0** |

# 三、主要仪器设备

# 1. 装有Xilinx ISE 14.7的计算机 1台

# 2. SWORD开发板

# 四、操作方法与实验步骤

**1.基本SR锁存器**

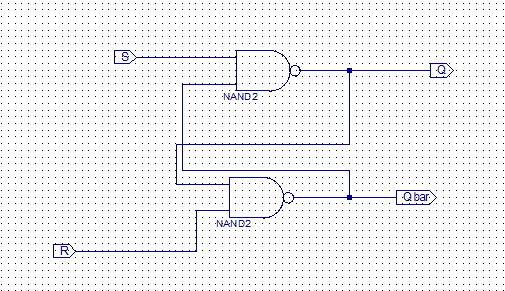
1.新建工程MyLATCHS

2.新建源文件SR\_LATCH.sch

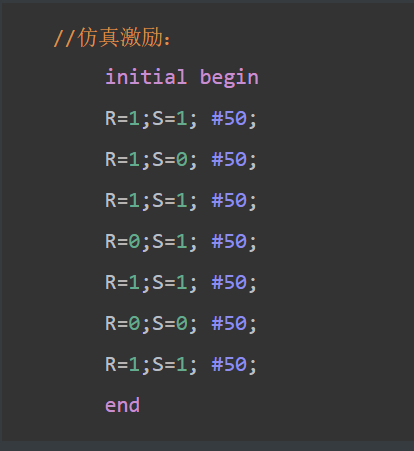
3.用原理图方式设计

4.用NAND2实现

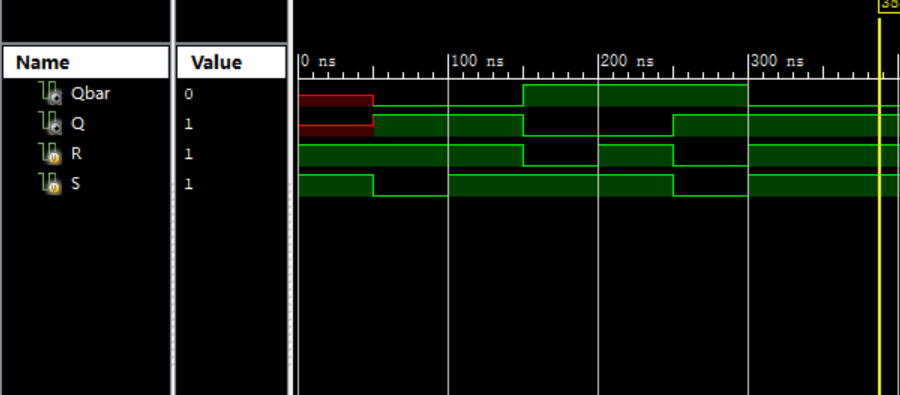
5.仿真



图：SR锁存器SCH图



图：仿真激励



图：仿真波形

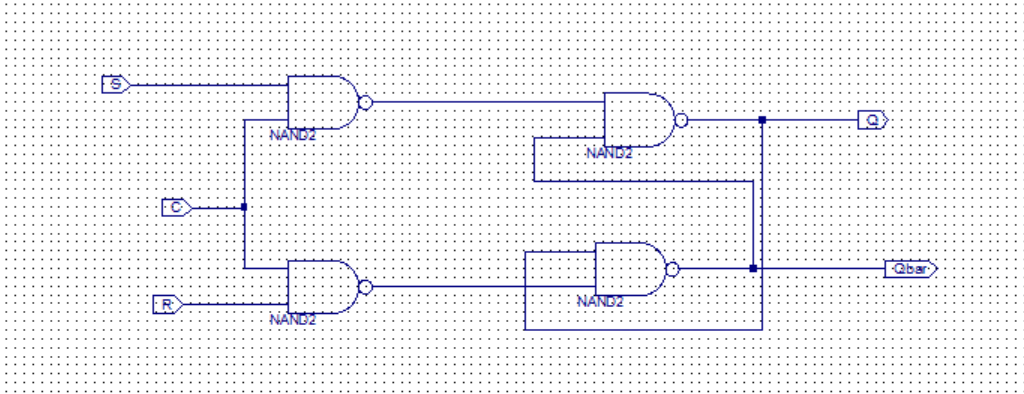
**2.门控SR锁存器**

1.新建源文件CSR\_LATCH.sch，用原理图方式设计。

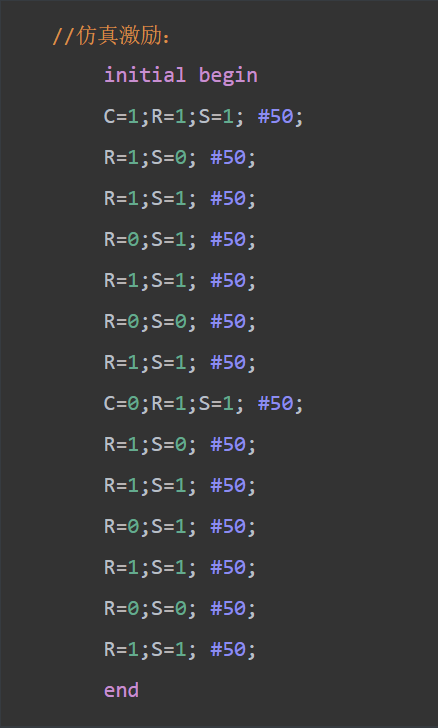
2.用NAND2实现

3.仿真（包含空翻）

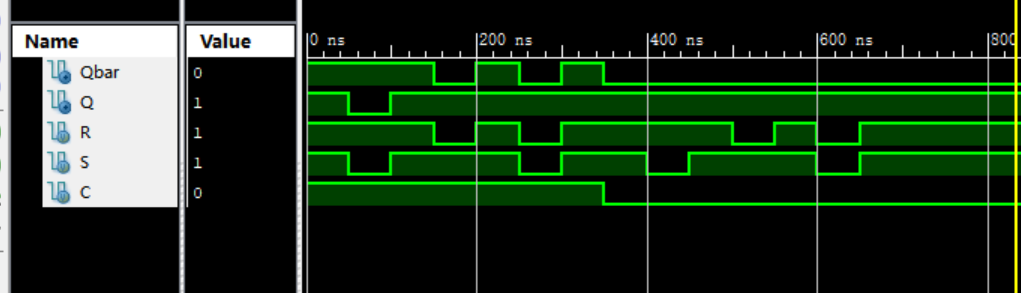
4.生成自定义符号的CSR\_LATCH.sym



图：门控SR锁存器SCH图



图：仿真激励



图：仿真波形

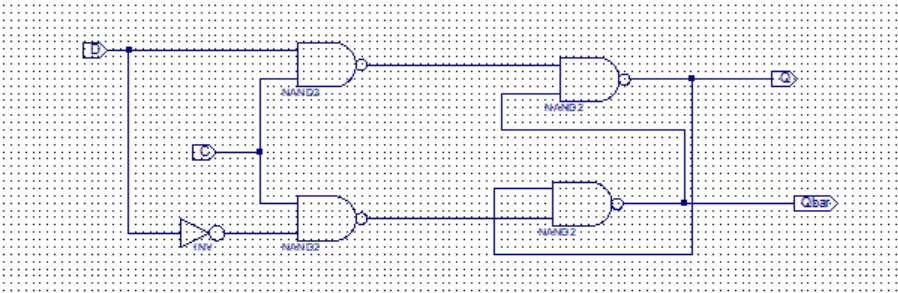
**3.D锁存器**

1.新建源文件D\_LATCH.sch

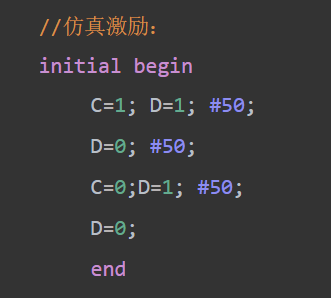
2.用原理图方式设计

3.用NAND2实现

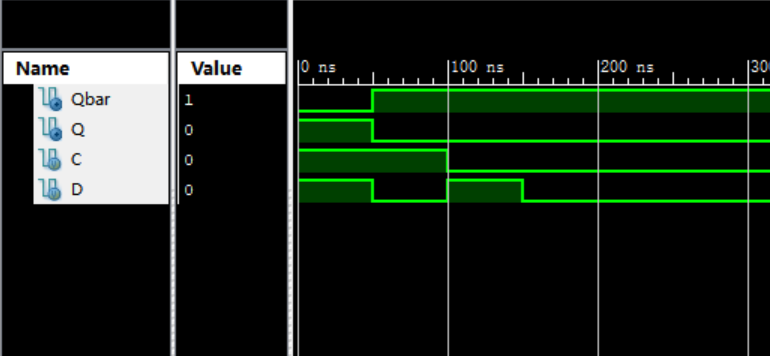
4.仿真（包含空翻）



图：D锁存器SCH图



图：仿真激励



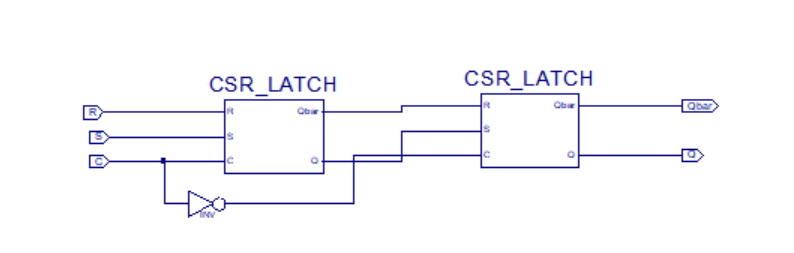
图：仿真波形

**4.SR主从触发器**

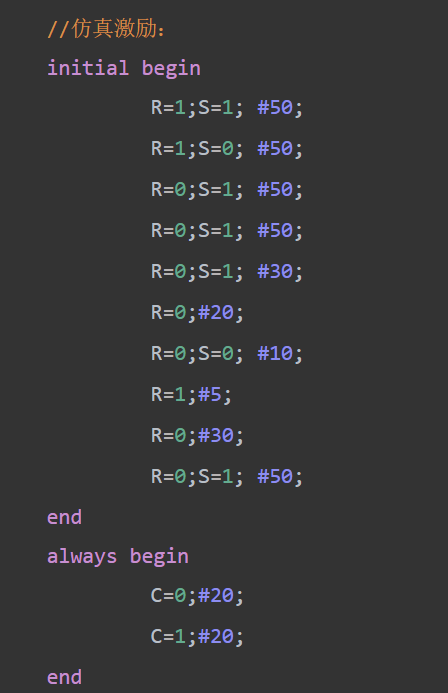
1.新建源文件MS\_FLIPFLOP.sch，用原理图方式设计

2.调用CSR\_LATCH实现

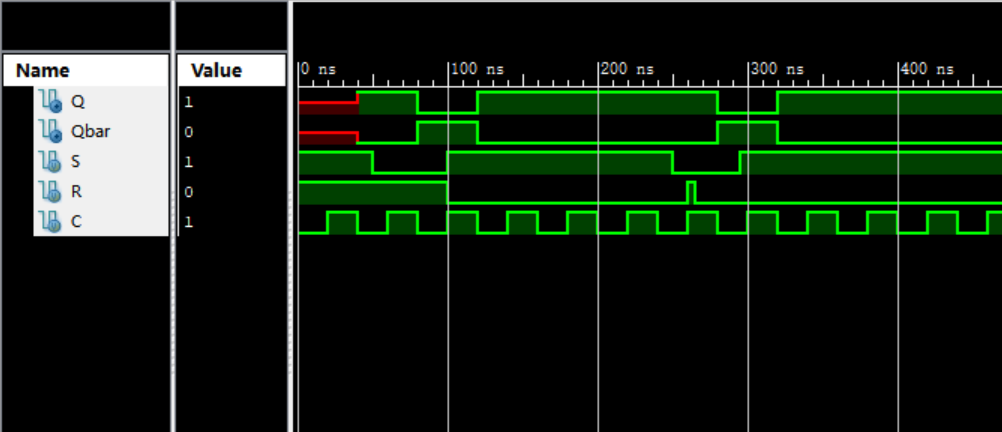
3.仿真（包含一次性采样）



图：SR主从触发器SCH图



图：仿真激励



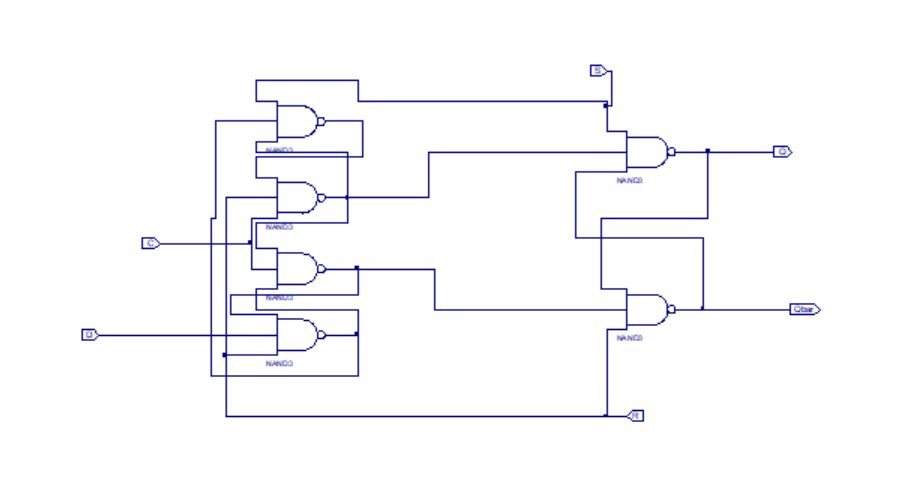
图：仿真波形

**5.D触发器**

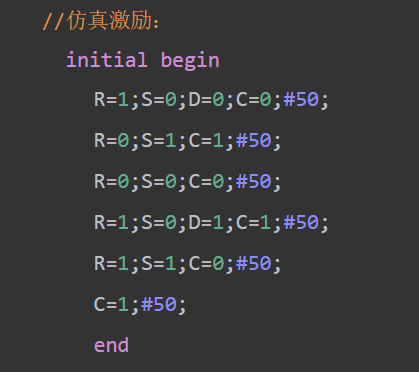
1.新建源文件D\_FLIPFLOP.sch，用原理图方式设计。

2.调用NAND3实现

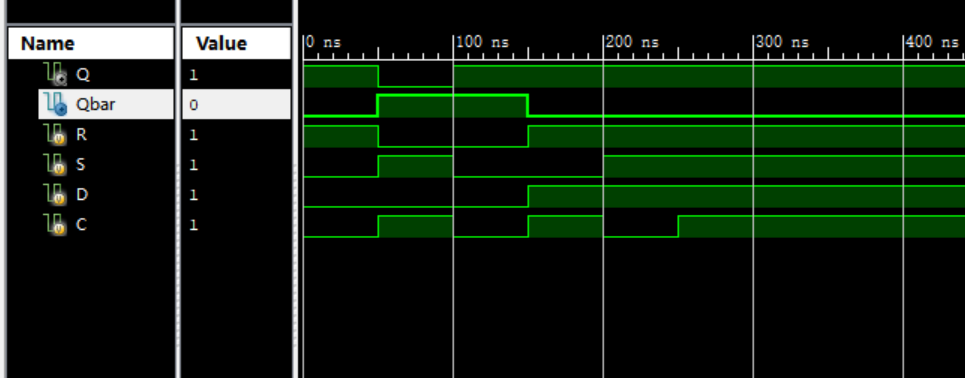
3.仿真



图：D触发器SCH图



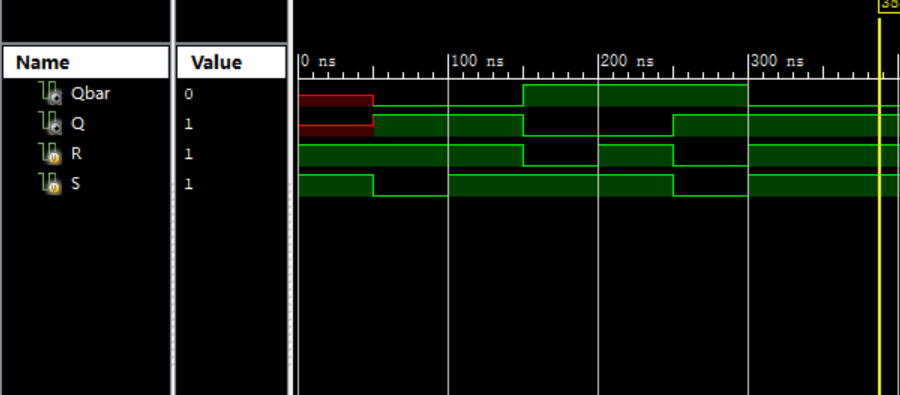
图：仿真激励



图：仿真波形

# 实验结果与分析

1. **基本SR锁存器**



由仿真图可知，0-50ns时，S=1，R=1,保持，但Q、Qbar未定义，所以值未知

50-100ns时，S=0,R=1，置1，所以Q=1,Qbar=0

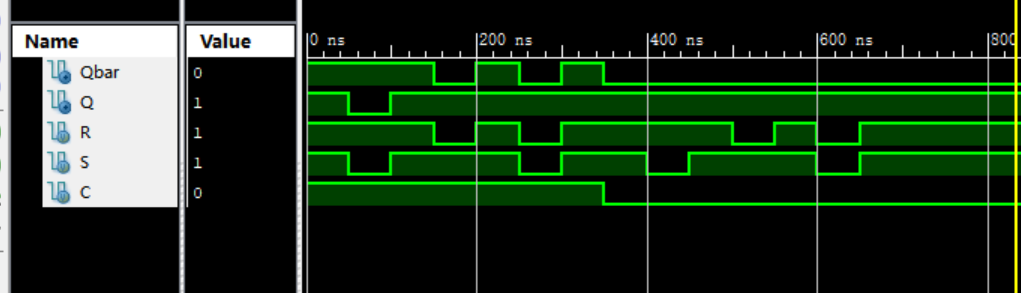
100-150ns时，S=1,R=1，保持，Q=1,Qbar=0不变

150-200ns时, S=1，R=0, 置0,所以Q=0，Qbar=1

200-250ns时, S=1，R=1,保持, Q=0,Qbar=1不变

250ns之后, S=0,R=0,未定义

1. **门控SR锁存器**



此处仿真的是夸张版本，为了更好地观测空翻现象

0-350ns时，C=1，此时门控SR锁存器可以接收数据，

300ns后，C=0，保持，Q和Qbar不变

0-50ns，S=1，R=1，未定义,Q=1,Qbar=1

50-100ns，S=0,R=1，置0，Q=0，Qbar=1,

100-150ns，S=1，R=1，未定义,Q=1,Qbar=1

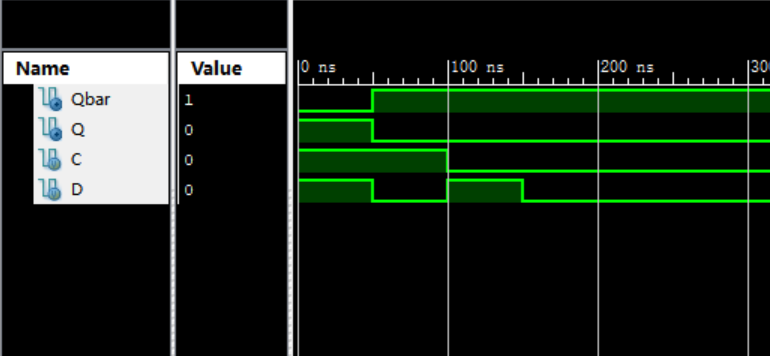
150-200ns，S=1，R=0，置1，Q=1，Qbar=0,

200-250ns，未定义,Q=1,Qbar=1

250-300ns，保持，但Q和Qbar会保持成为互反状态，因此Qbar此时的值变为0

300-350ns,未定义,Q=1,Qbar=1

1. **D锁存器**



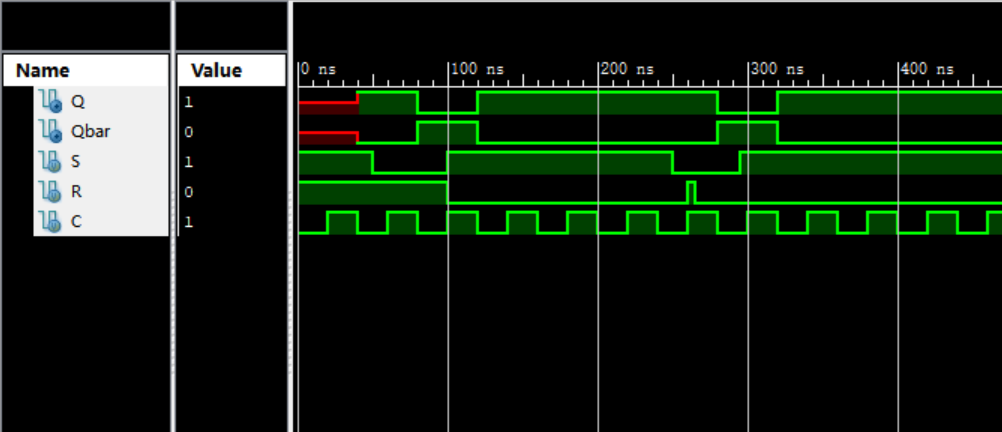
0-100ns时，C=1，此时锁存器可以接收到输入数据

100ns后，C=0，锁存器保持原状态

0-50ns，D=1，置1，Q=1,Qbar=0

50-100ns,D=0,置0，Q=0,Qbar=1

1. **SR主从锁存器**



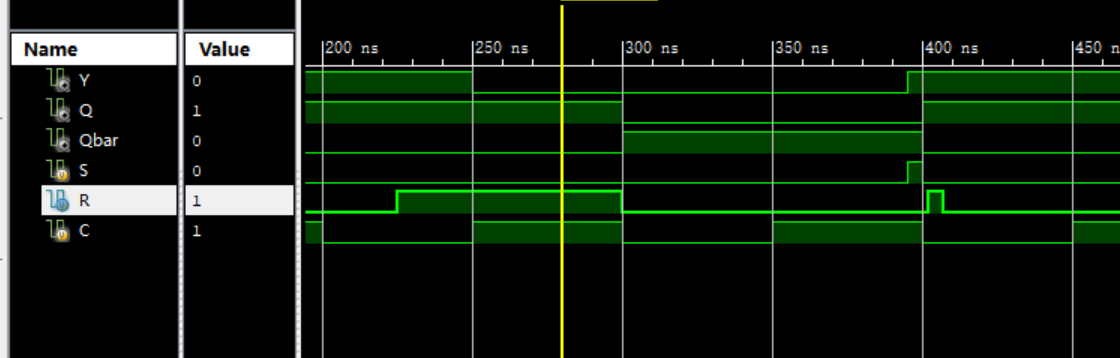
图中可以看出，Q的值与Qbar的值只有在C从1降到0的时刻发生变化

4末，S=0，R=1，置0，Q=0，Qbar=1

6末，S=1，R=0，置1，Q=1，Qbar=0

13末，读取S，R值，此时R产生一窄脉冲，窄脉冲对其产生影响，因此读入S=0，R=1

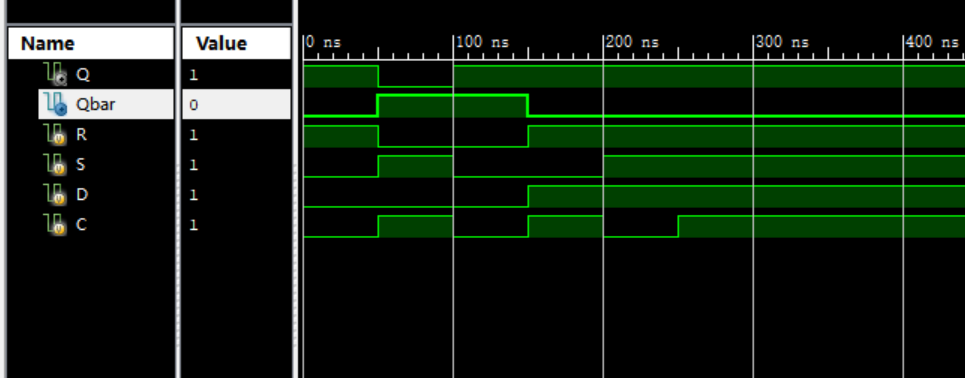
14末，按照S=0，R=1变化，Q置0，Qbar置1



图：一次性采样

由图中可以看出，Y没在下降沿便根据S值改变而产生改变，因此干扰传入了装置内

1. **D触发器**



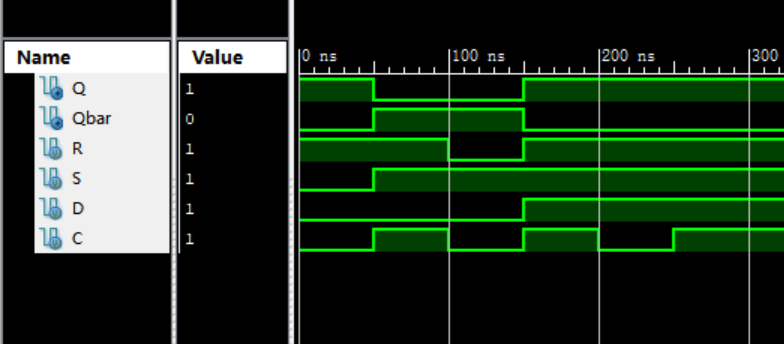
根据D的值，Q和Qbar的值仅在CLK的上升沿处变化（即C由0变化到1的时刻）。同时，Q和Qbar值也受到S与R的影响。

0-50ns时，S=0,R=1置1，所以Q=1，Qbar=0

50ns上升沿，D=0，所以Q=0，Qbar=1

100ns时，S和R值发生改变，S=0,R=0，与老师共同分析后，认为此时为不稳定态，此时Q=1，Qbar=1

150ns上升沿，D=1，Q=1，Qbar=0



对其又进行了一组仿真，可以看出，150ns处，S=1,R=1，上升沿处Q和Qbar值按D值进行改变。

# 讨论、心得

本次实验设计了多种锁存器和触发器，并对各个锁存器和触发器都针对其特点进行了多次仿真。

比如在CSR中将C设置成350ns转换一次从而更清晰的看到空翻现象，在实验过程中也发现了很多以前没有注意到的地方并与老师进行了进一步的分析，对各个锁存器的特点也有了进一步的了解。

通过此次实验，我对锁存器和触发器更加了解，期待早日将其运用到实践中。