# 实验11、同步时序电路设计实验报告

姓名： 王祚滨 专业： 信息安全 学号： 3180104933

课程名称： 逻辑与计算机设计基础实验 同组学生姓名： 王国朝、赵卿云

指导老师： 洪奇军 实验地点： 浙江大学紫金港校区东四教学楼509实验日期：2019年 11 月 27 日

# 一、实验目的和要求

1.掌握典型同步时序电路的工作原理和设计方法

2.掌握时序电路的激励函数、状态图、状态方程的运用

3.掌握用Verilog进行有限状态机的设计、调试、仿真

4.掌握用FPGA实现时序电路功能

**二、实验内容和原理**

2.1实验内容：

1. 4位二进制同步计数器

2.4位可逆二进制同步计数器

3.分频器

2.2实验原理：

4位二进制同步计数器

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  | ***QA*** | ***QB*** | ***QC*** | ***QD*** | ***DA*** | ***DB*** | ***DC*** | ***DD*** |
| **0** | **0** | **0** | **0** | **0** | **1** | **0** | **0** | **0** |
| **1** | **1** | **0** | **0** | **0** | **0** | **1** | **0** | **0** |
| **2** | **0** | **1** | **0** | **0** | **1** | **1** | **0** | **0** |
| **3** | **1** | **1** | **0** | **0** | **0** | **0** | **1** | **0** |
| **4** | **0** | **0** | **1** | **0** | **1** | **0** | **1** | **0** |
| **5** | **1** | **0** | **1** | **0** | **0** | **1** | **1** | **0** |
| **6** | **0** | **1** | **1** | **0** | **1** | **1** | **1** | **0** |
| **7** | **1** | **1** | **1** | **0** | **0** | **0** | **0** | **1** |
| **8** | **0** | **0** | **0** | **1** | **1** | **0** | **0** | **1** |
| **9** | **1** | **0** | **0** | **1** | **0** | **1** | **0** | **1** |
| **10** | **0** | **1** | **0** | **1** | **1** | **1** | **0** | **1** |
| **11** | **1** | **1** | **0** | **1** | **0** | **0** | **1** | **1** |
| **12** | **0** | **0** | **1** | **1** | **1** | **0** | **1** | **1** |
| **13** | **1** | **0** | **1** | **1** | **0** | **1** | **1** | **1** |
| **14** | **0** | **1** | **1** | **1** | **1** | **1** | **1** | **1** |
| **15** | **1** | **1** | **1** | **1** | **0** | **0** | **0** | **0** |





图1 4位二进制同步计数器状态表

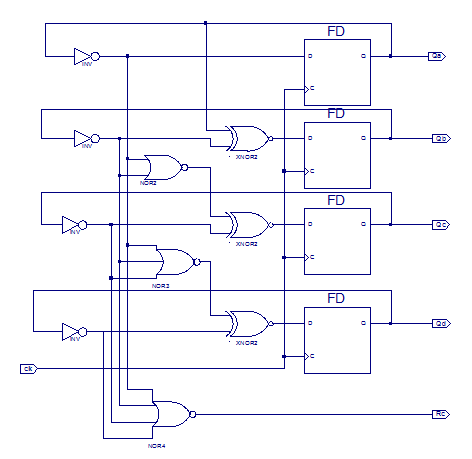


图2 4位二进制同步计数器原理图

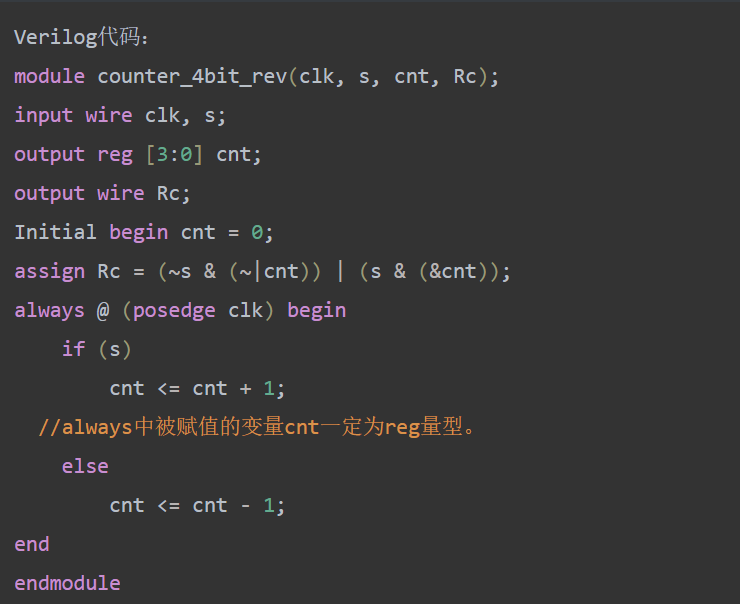
可逆二进制同步计数器

1.可逆二进制同步计数器通过控制端S选择正向或者反向计数

2.S = 1时，正向计数，各触发器逻辑表达式同前面

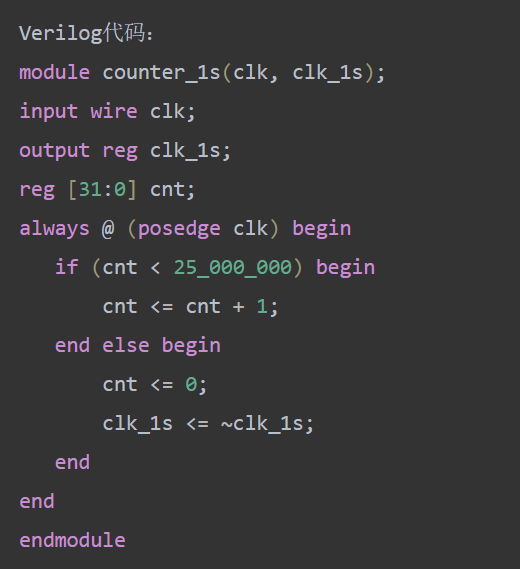
3.S = 0时，反向计数，各触发器逻辑表达式如下式





分频器设计

50MHz信号通过25,000,000次分频后，得到1Hz的秒脉冲方波，作为计数器的脉冲输入。



# 三、主要仪器设备

# 1. 装有Xilinx ISE 14.7的计算机 1台

# 2. SWORD开发板

# 四、操作方法与实验步骤

**任务1：原理图方式设计4位同步二进制计数器**

1.1.新建工程，工程名称用MyCounter。

1.2.Top Level Source Type用HDL

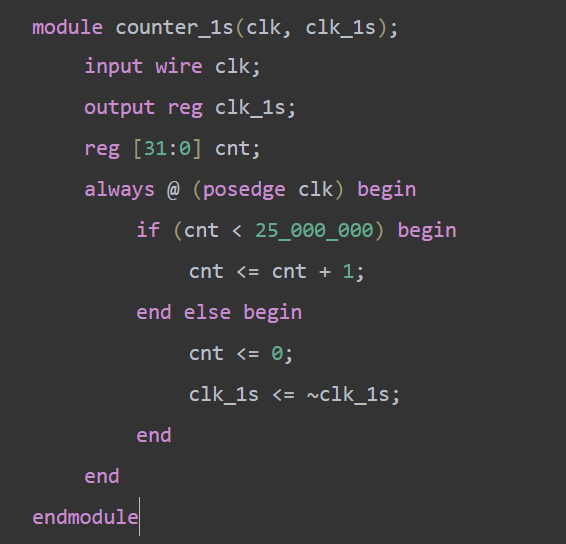
1.3.新建源文件，类型是Schematic，文件名称用Counter4b。

1.4.原理图方式进行设计

1.5.进行波形仿真

2.1新建源文件，用作时钟，类型是Verilog。

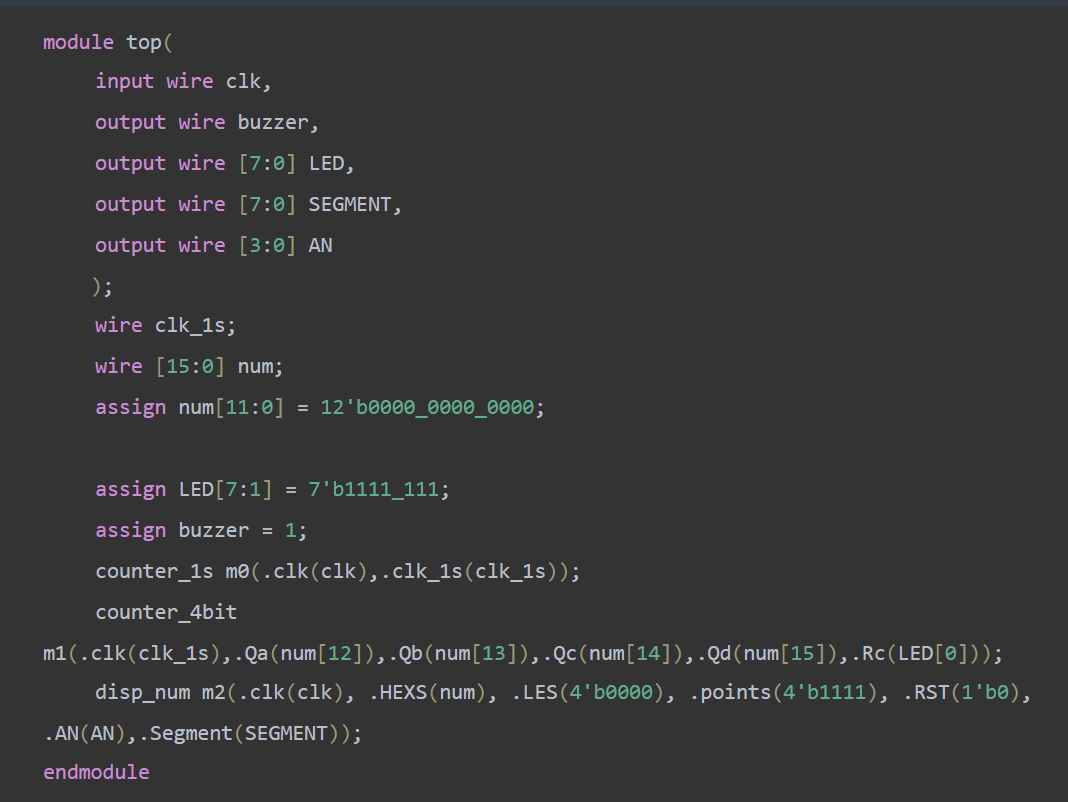
2.2文件名称用clk\_1s，Verilog行为描述。



3.1新建源文件，类型是Verilog，文件名称用Top。

3.2右键设为“Set as Top Module”，输入为clk（100MHZ）时钟

3.3每秒自增1//根据“分频器设计”程序得到1s时钟，显示在1位数码管上。Rc显示在LED灯上



**任务2：设计16位可逆同步二进制计数器**

1.1新建工程，工程名称用myRevCounter。

1.2Top Level Source Type用HDL，新建源文件，类型是Verilog，文件名称用RevCounter。

1.3结构化描述方式进行设计，波形仿真（包含正向计数和反向计数）。

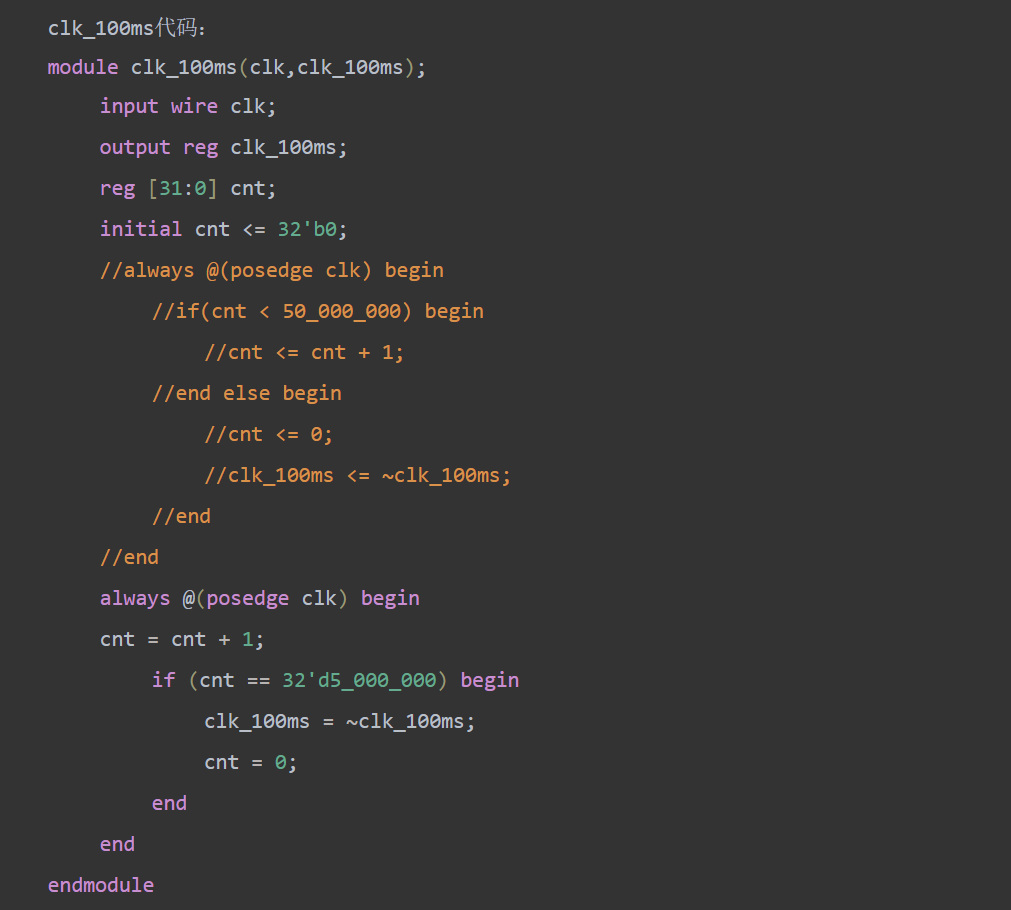
1.4. 新建源文件top，并右键设为“Top Module”

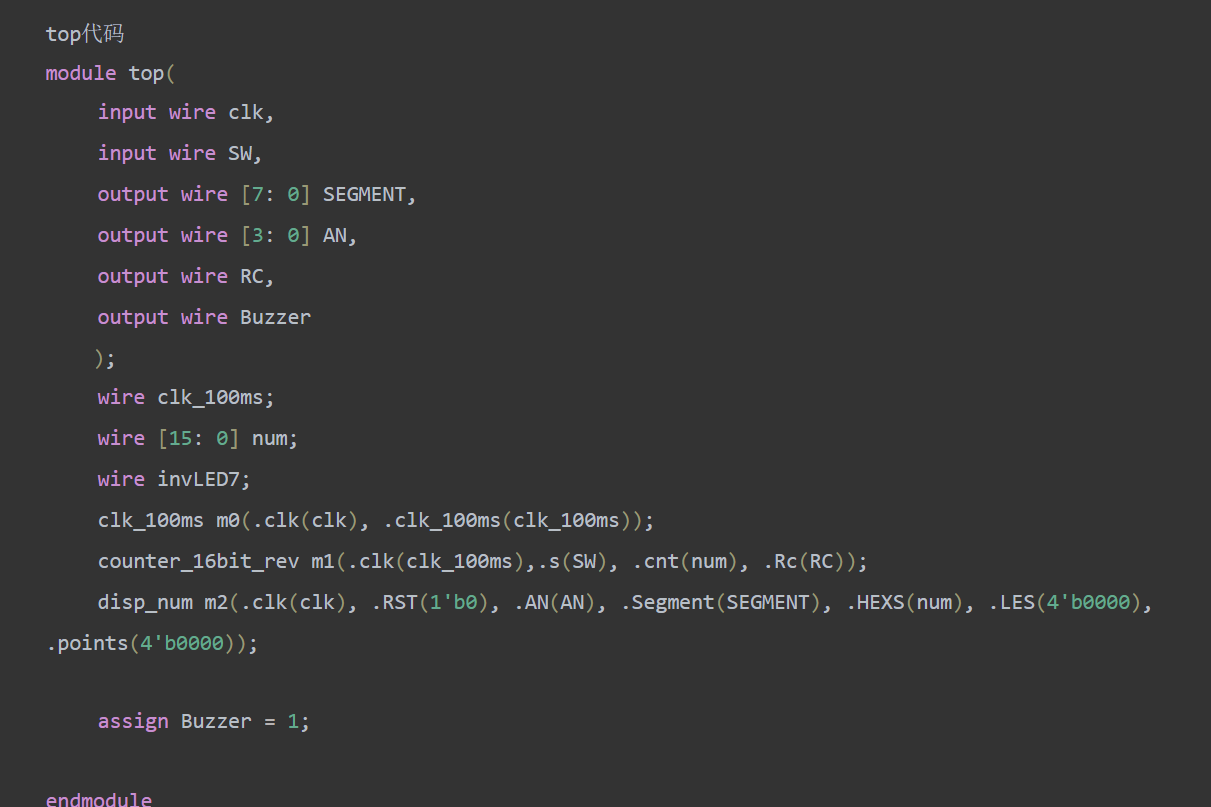
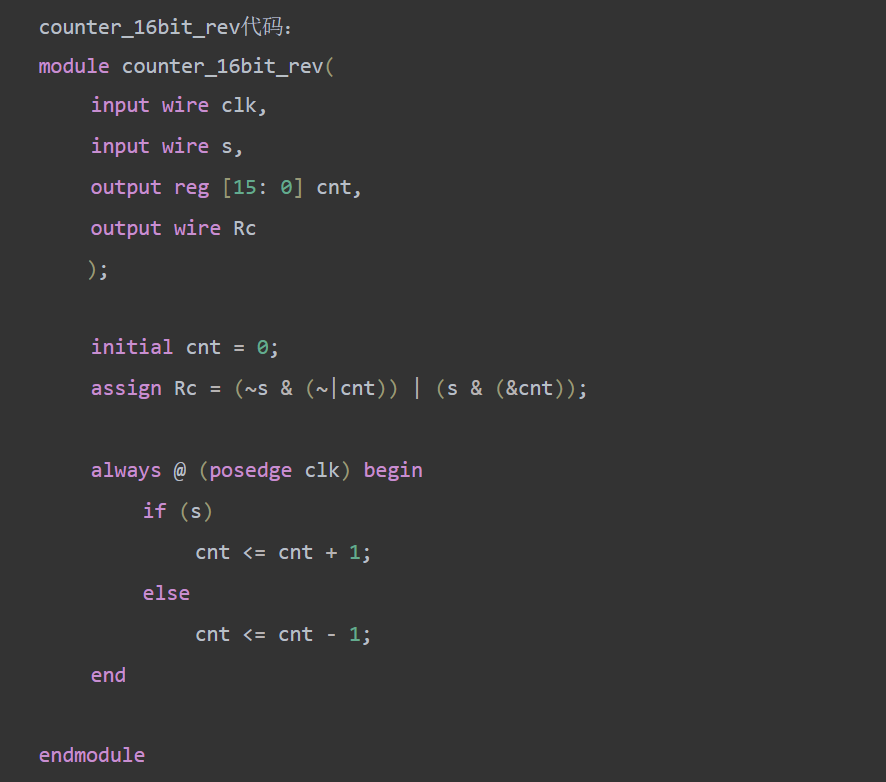
2.1新建源文件，设计100ms时钟，类型是Verilog，文件名称用clk\_100ms。

2.2Verilog行为描述

2.3用sw[0]控制自增/自减1（每0.1秒）

2.4显示在4位数码管上，Rc状态用LED灯来显示。



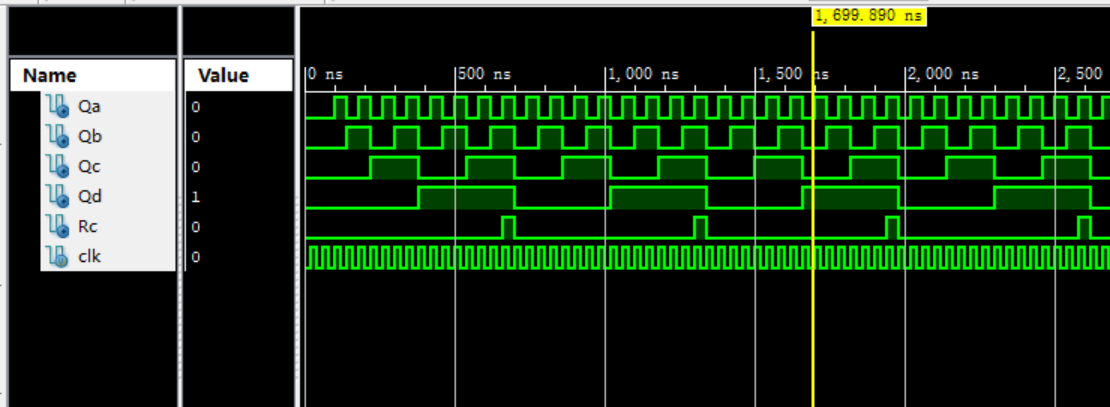


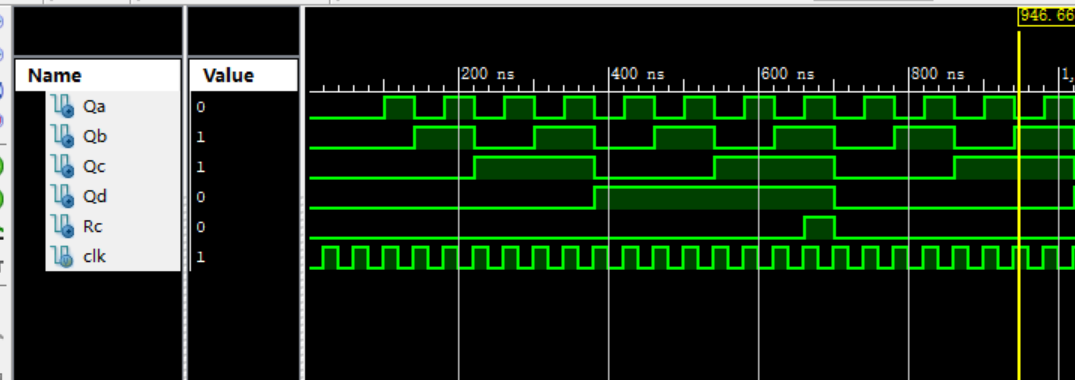
8. UCF引脚定义

# 五、实验结果与分析

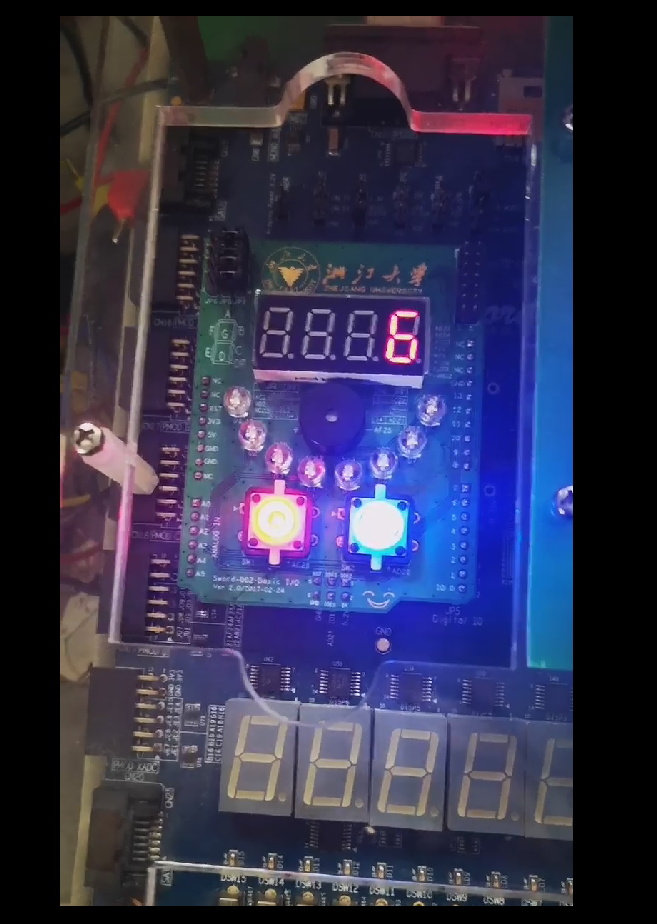
在part3和part4部分已经对代码进行了比较详细的介绍，故在此不做赘述。以下是实验结果。

实验一：仿真图



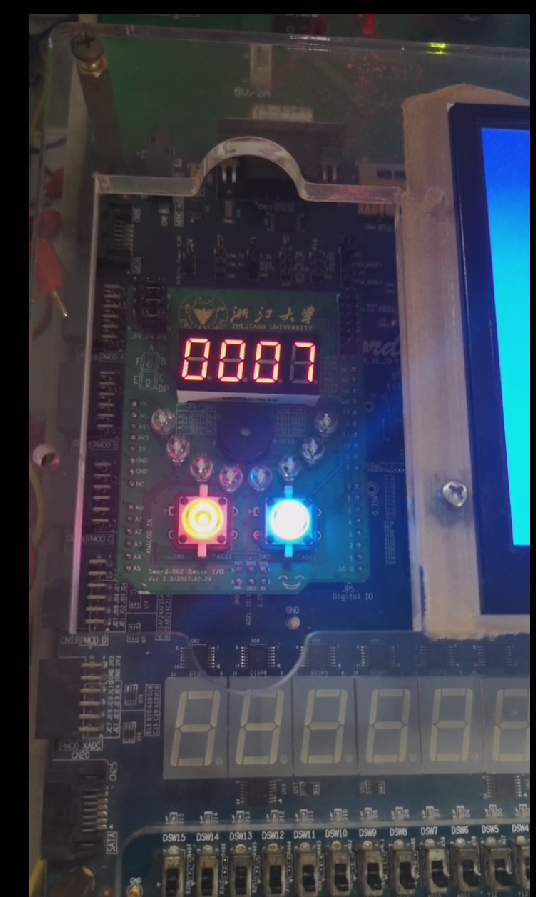


在板子上的结果：



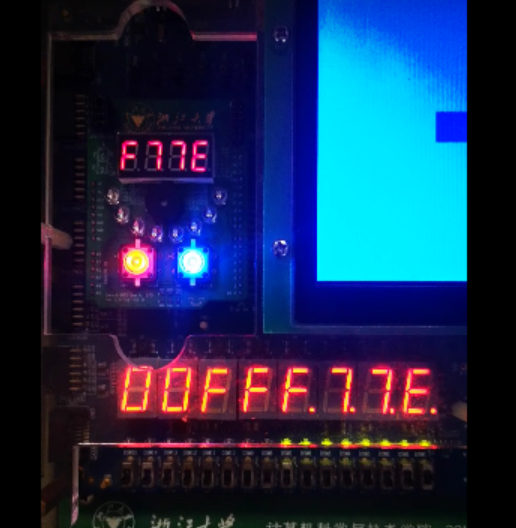
F->0时灯会闪烁

实验二：结果如下



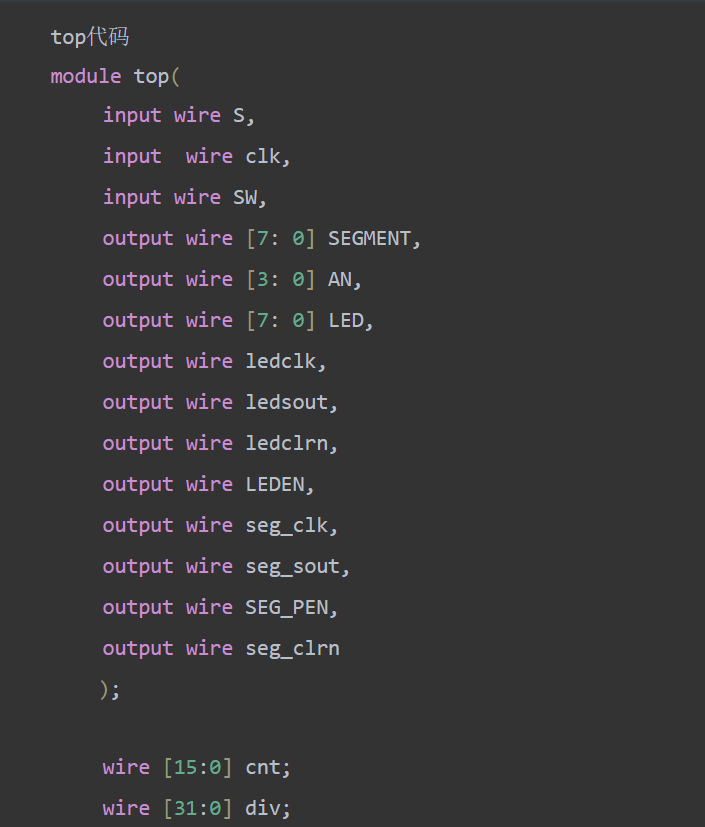
在跨过0000与ffff时，led灯会闪，表示产生rc

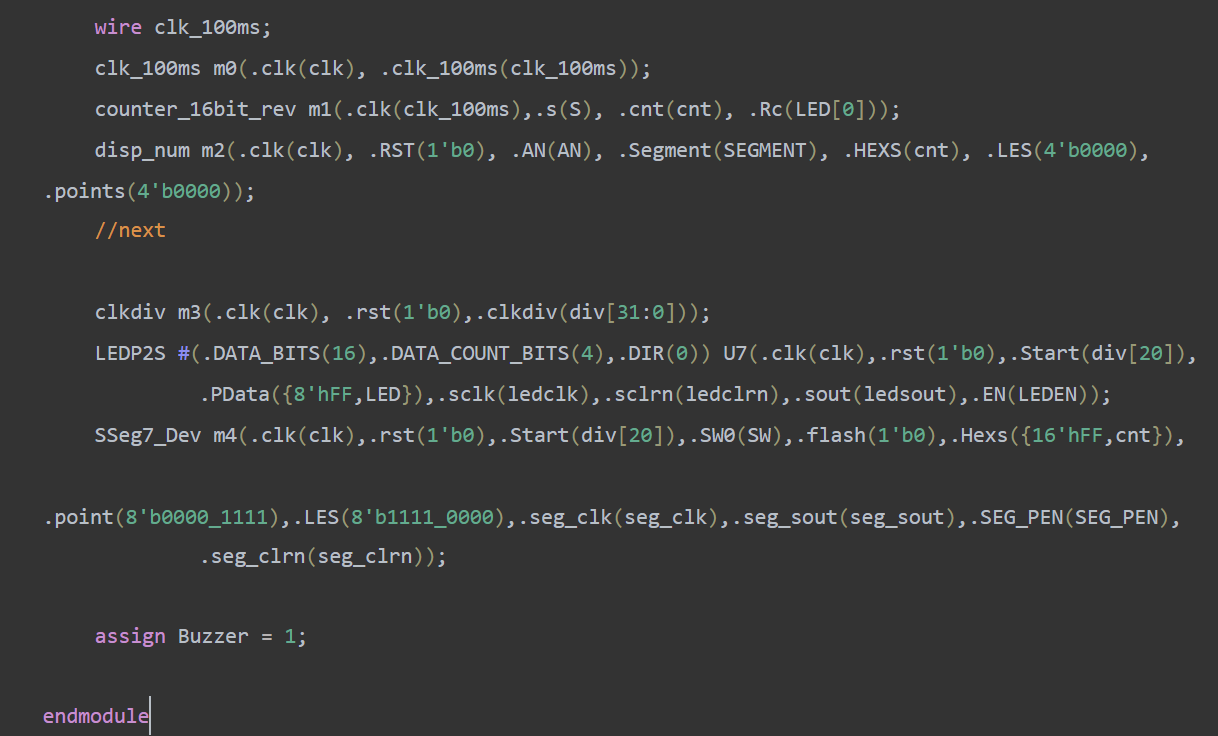
加分项：



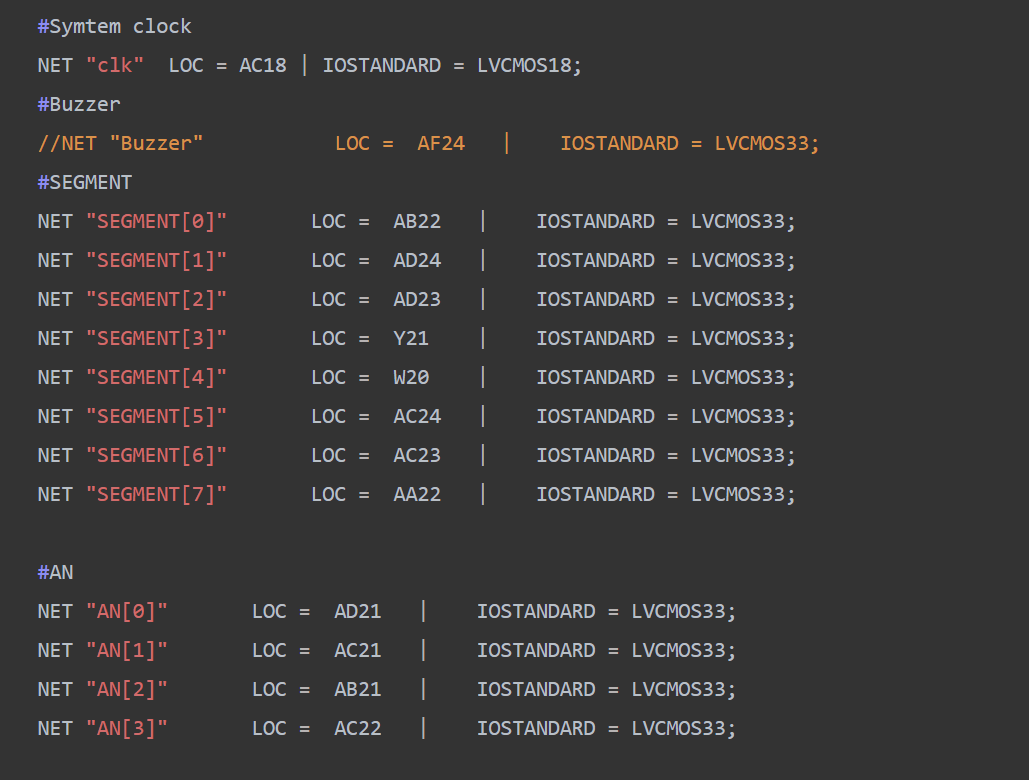
在下方也会产生同样效果，从FFFFFF变为000000时右下角的灯会闪烁表示进位。

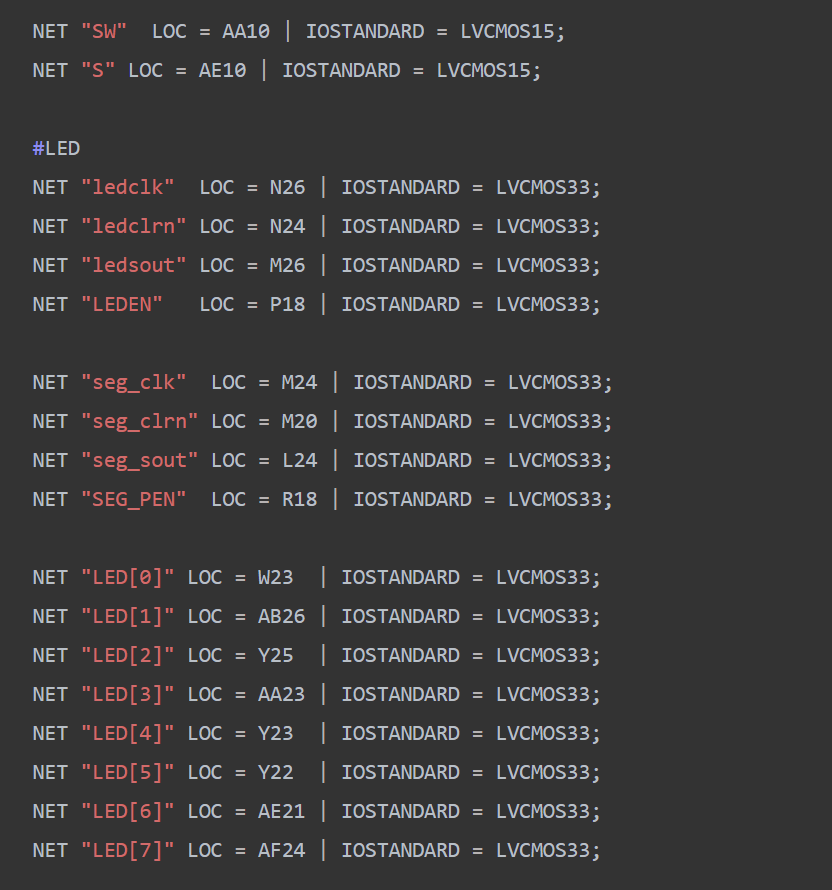
加分项的代码如下：





引脚代码





# 六、讨论、心得

此次代码任务较多，使我们对verilog语言有了进一步的认识，在实验后对verilog语法进行进一步查询，有了很大收获，整体实现难度不大，主要锻炼自己的coding能力。

同时，由于做这次实验时相应的课程老师还没有讲到，因此先对其原理有了一个比较直观的认知，相信在结合课本学习后会有更深的理解。

在课下又完成了加分项的操作，由于最初将SW[0]混用，导致下方总是不能出现正确结果，最后换了一个按钮，完成了实验。