**实验四——EDA实验平台与实验环境运用**

**实验报告**

姓名： 王祚滨 专业： 信息安全 学号： 3180104933

课程名称： 逻辑与计算机设计基础实验 同组学生姓名： 王国朝、赵卿云

指导老师： 洪奇军 实验地点： 浙江大学紫金港校区东四教学楼509实验日期：2019年 10 月 9 日

**一、实验目的和要求**

1.熟悉Verilog HDL语言并能用其建立基本的逻辑部件，在Xilinx ISE平台进行输入、编辑、调试、行为与仿真与综合后功能仿真

2.熟悉掌握SWORD FPGA开发平台，同时在ISE平台上进行时序约束、引脚约束及映射布线后时序仿真

3.运用Xilinx ISE具将设计验证后的代码下载到实验板上，并在实验板上验证

**二、实验内容和原理**

**实验内容：**

1.熟悉ISE工具软件的运行环境与安装过程

2.设计简单组合逻辑电路，采用图形输入逻辑功能描述，建立FPGA实现数字系统的Xilinx ISE设计管理工程，并进行编辑、调试、编译、行为仿真，时序约束、引脚指定（约束）、映射布线后时序仿真及FPGA编程代码下载与运行验证

3.设计简单时序逻辑电路，采用Verilog代码输入逻辑功能描述，建立FPGA实现数字系统的ISE设计管理工程，并进行编辑、调试、编译、行为仿真，时序约束、引脚约束、映射布线后时序仿真及FPGA编程代码下载与运行验证

**实验原理：**

问题1：某三层楼房的楼梯通道共用一盏灯，每层楼都安装了一只开关并能独立控制该灯，请设计楼道灯的控制电路。

问题2：增加控制要求，灯打开后，延时若干秒自动关闭，请重新设计楼道灯的控制电路。

**三、主要仪器设备**

**实验设备：**

装有ISE 14.7的计算机 1台

SWORD开发板 1套

**实验材料：**无

**四、操作方法与实验步骤**

问题一：

1. **新建楼道控制的工程文件，在此命名为Dreamerryao\_sch.ise（基本命名为LampCtrl\_sch.ise），具体步骤如下：**

1、依次点击菜单File → New Project…

2、在对话框中设置：

Project Name: Dreamerryao\_sch Top-Level Source Type:Schematic

3、确认后，点击Next到设备属性页，设置：

Family: Kintex7 Device: XC7K160T Package: FFG676 Speed: -1

4、确认后，一直点击Next直到创建工程结束。

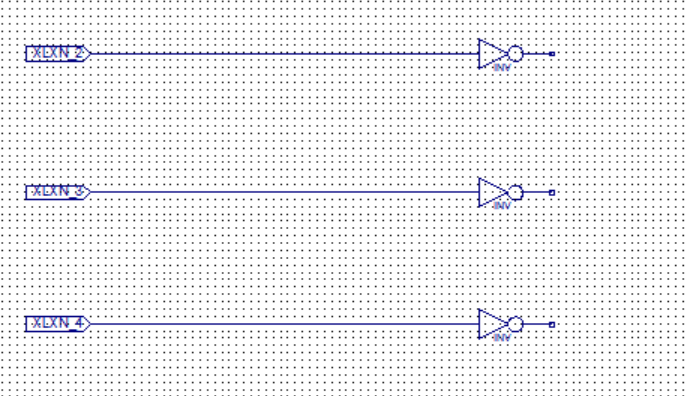
1. **创建原理图文件: Dreamerryao\_lampctrl.sch**

1.在scources窗口右键，点击new scource,选择schematic文件，命名为Dreamerryao\_lampctrl即可。

1.在Sources窗口中选择Symbols选项卡，输入相关元器件名字，如(inv,add3等），

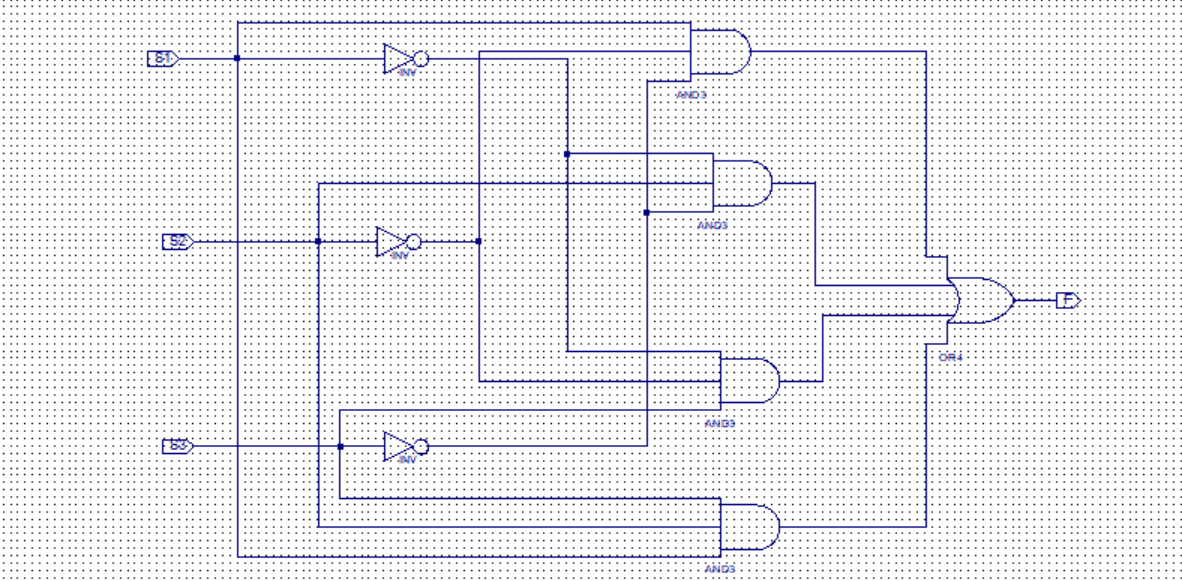
**注：此阶段需将面板先放大，否则拖入元器件过小，看不清楚。**

配合Schematic Editor工具条输入原理图，如图



此图为Inv与I/O marker结合后产生，在此图基础上继续绘制

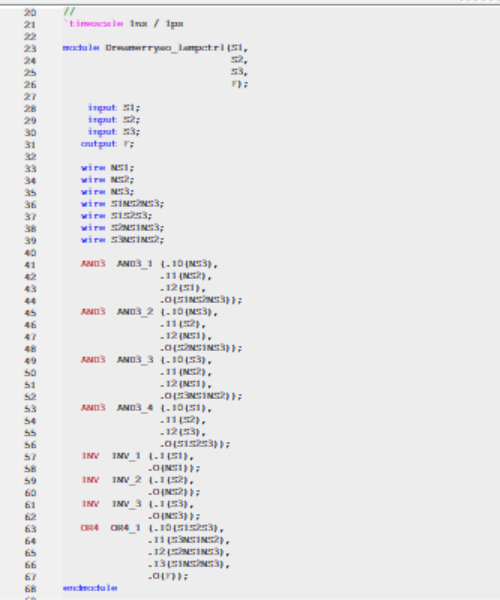
得到图如下：



也可通过add copy of scource将老师发给的文件直接导入（但不建议，最好自己动手）

**3.查看输入电路的硬件描述代码**

在Sources窗口中选择Sources for: Synthesis / Implementation，选中LampCtrl.sch图标，在Processes窗口Processes选项卡中展开 Design Utilities并双击View HDL Functional Model ，如图：



图：Dreamerryao\_lampctrl.sch对应硬件描述代码

**4.建立基准测试波形文件：Dreamerryao\_sim.tbw**

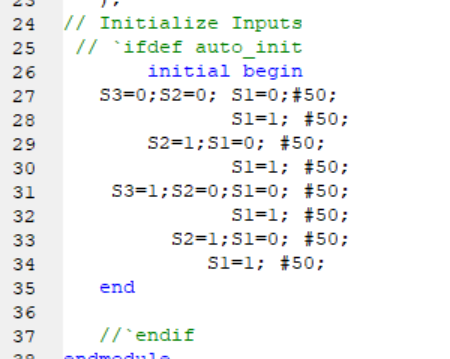
1、在Sources 窗口空白处的右键菜单中选择New Source

2、在新建源文件向导中选择源类型为：Verilog Test Fixture，输入文件名Dreamerryao\_sim，并勾选Add to Project

**注：点击next时会出现其对应文件，选择Dreamerryao\_lampctrl文件即可**

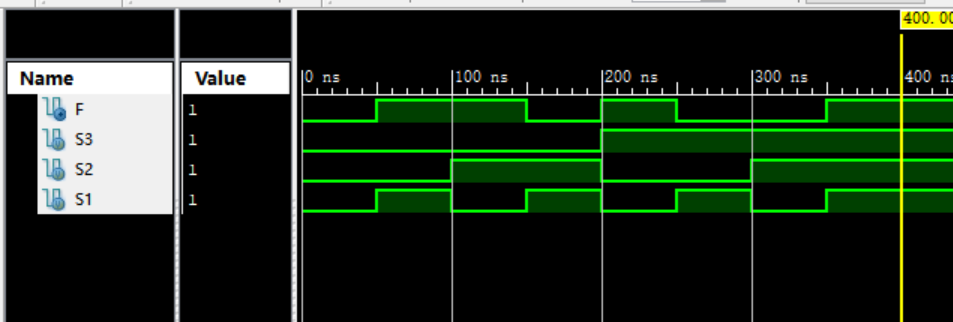
3、点击Finish进入Dreamerryao\_sim.v编辑窗口

4、更改initialize inputs下方代码，方式一：



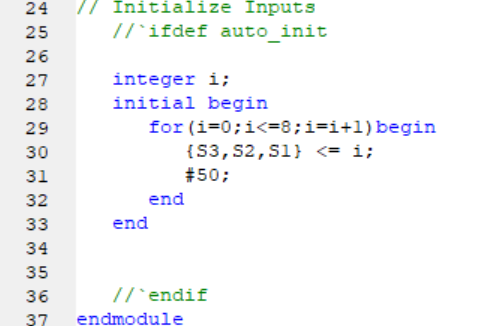
注意：将25行与37行注释掉

1. View选择Simulation视图，Hierarchy窗口中选择Dreamerryao\_lampctrl\_Dreamerryao\_lampctrl\_sch\_tb，Process窗口中选择Simulate Behavioral Model，查看对应仿真图：



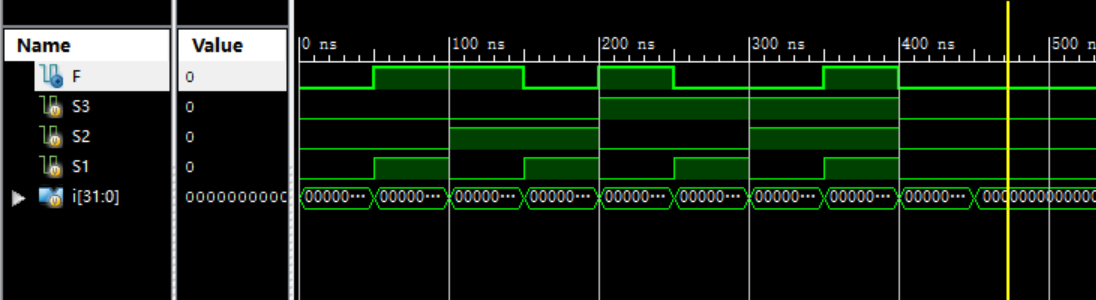
方式一对应仿真图

1. 更改4中代码，方式二：



方式二对应代码

1. 重复步骤5，查看对应仿真图：



方式二对应仿真图

**5.建立用户时序约束并为模块的端口指定引脚分配**

1、在Sources 窗口空白处的右键菜单中选择New Source

2、在新建源文件向导中选择源类型为：Implementation Constraints File，输入文件名Dreamerryao，并勾选Add to Project

3、点击Finish进入Dreamerryao.ucf编辑窗口，输入以下代码：

NET"S1"LOC=AA10 | IOSTANDARD=LVCMOS15;#电压说明

NET"S2"LOC=AB10 | IOSTANDARD=LVCMOS15;

NET"S3"LOC=AA13 | IOSTANDARD=LVCMOS15;

NET"F"LOC=AF24 | IOSTANDARD=LVCMOS33 ;#D8

#NET"Buzzer"LOC=AF25 | IOSTANDARD=LVCMOS33 ;

#NET"LED[0]"LOC=W23 | IOSTANDARD=LVCMOS33 ;#D1

#NET"LED[1]"LOC=AB26 | IOSTANDARD=LVCMOS33 ;#D2

#NET"LED[2]"LOC=Y25 | IOSTANDARD=LVCMOS33 ;#D3

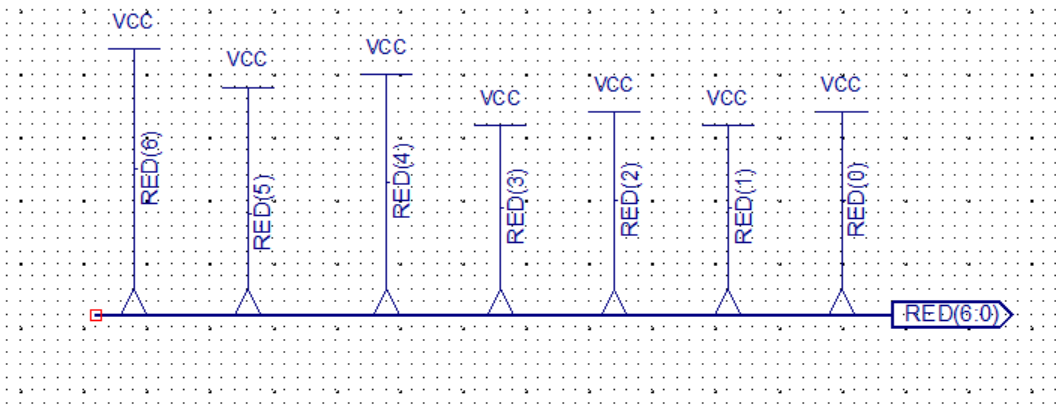
#NET"LED[3]"LOC=AA23 | IOSTANDARD=LVCMOS33 ;#D4

#NET"LED[4]"LOC=Y23 | IOSTANDARD=LVCMOS33 ;#D5

#NET"LED[5]"LOC=Y22 | IOSTANDARD=LVCMOS33 ;#D6

#NET"LED[6]"LOC=AE21 | IOSTANDARD=LVCMOS33 ;#D7

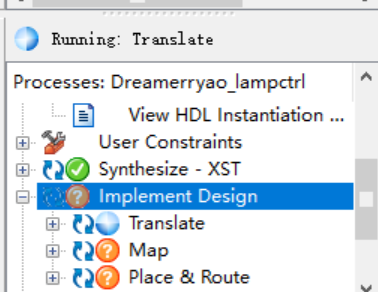
并且加入以下原理图：



总线图

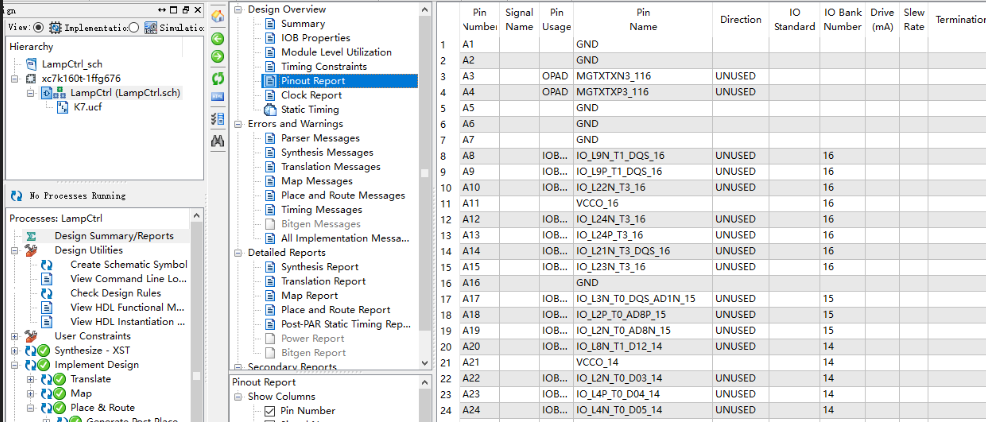
**6.设计实现并检查约束结果**

1、在Sources窗口中选择 Synthesis/Implementation，选中Dreamerryao\_lampctrl；在Processes窗口下选择Implement Design，进行物理转换、平面布图、映射、物理布线等FPGA目标格式实现文件生成。



正在进行translate过程

最后在设计摘要文档中有如下结果：



摘要过程的结果

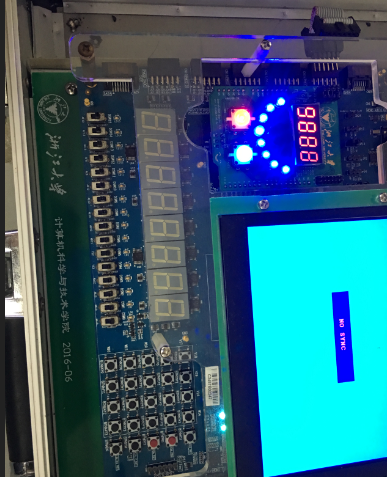
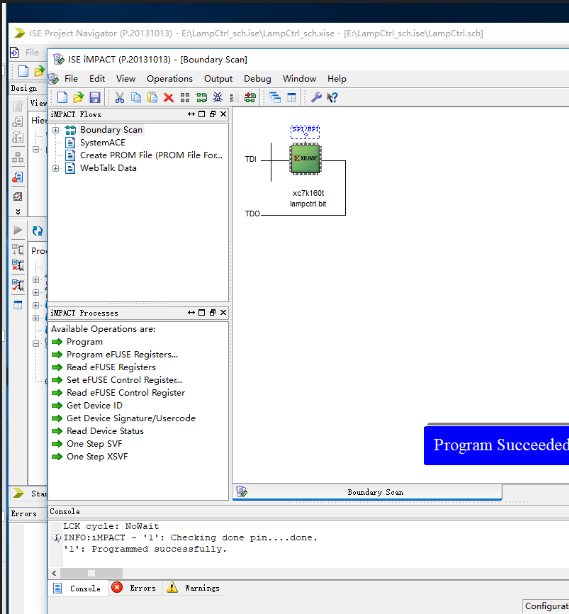
双击Boundary Scan 弹出下载编辑窗口

鼠标右键选择Initialize Chain，系统自动查找已连接在电脑上的开发 平台JTAG下载链

接下来出现Assign Configuration Files对话框。这时从文件列表中选择Dreamerryao\_lampctrl.bit文件，将会为JTAG chain上的xc7k160t设备指定配置文件 ；在弹出的Attach SPI or PRI PROM对话框弹出，点击 NO 按钮；在弹出的“Device Programming Property对话框，选择 OK 按钮即可。

右键点击 xc7k160t 设备图标，选择菜单项Program后即可对硬件设备进行下载编程

通过验证:发现满足要求



问题二：

**1.建立楼道控制的工程：Dreamerryao\_lampctrl\_HDL.ise：**

1、依次点击菜单File → New Project…

2、在对话框中设置如下：

Project Name: Dreamerryao\_lampctrl\_HDL

Top-Level Source Type: HDL

3、确认后，点击Next到设备属性页，设置：

Family: Kintex7

Device: XC7K160T

Package: FFG676

Speed: -1

4、确认后，一直点击Next直到创建工程结束

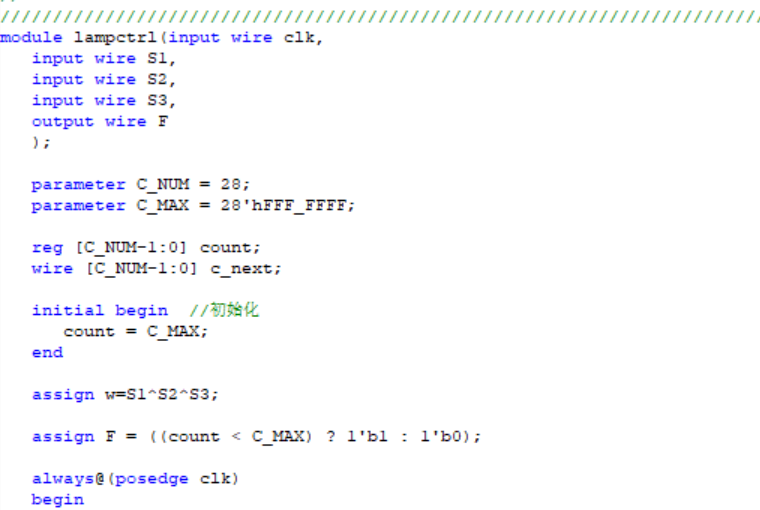
**2.输入楼道灯控逻辑电路Verilog HDL代码**

1、仿照问题一的步骤2建立lampctrl文件，注意文件类型选择为verilog module

2、在源代码编辑器，输入代码，代码如下图

3、检查输入代码的语法规则，

并排除输入错误



**3.楼道控制电路代码的综合**

1、在Sources窗口选中文件LampCtrl.v；

2、在Processes窗口运行Synthesis XST → View RTL Schematic

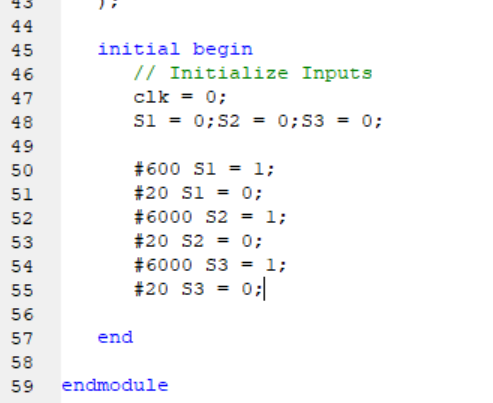
3、检查综合的电路结构是否与设计目标一致；

**4.仿照问题一步骤4，进行建立基准测试波形文件lampctrl\_sim**

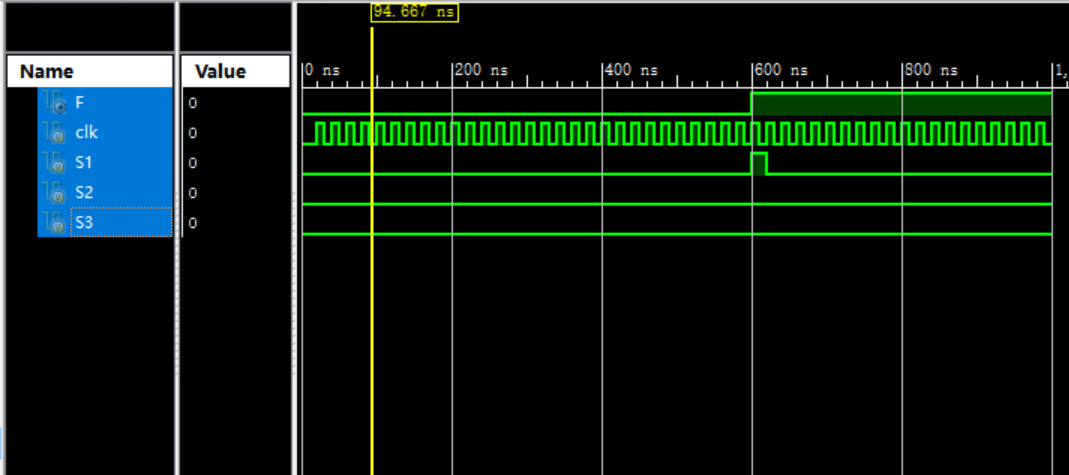
1、在Sources 窗口空白处的右键菜单中选择New Source

2、在新建源文件向导中选择源类型为：Verilog Test Fixture，输入文件名 LampCtrl\_sim，并勾选Add to Project

3、点击Finish进入LampCtrl\_sim.v编辑窗口，修改代码如下：



1. 得到的对应仿真图：



1. **仿照问题一步骤5进行建立用户时序约束并为模块的端口指定引脚分配**

注意：此时需要将LampCtrl.v中计数器位数改为28位，以适应实验室板子

parameter C\_NUM = 28;

parameter C\_MAX = 28'hFFF\_FFFF;

.ucf文件配置代码如下：

NET"clk"LOC = AC18 | IOSTANDARD=LVCMOS18 ;

NET"S1"LOC = AA10 | IOSTANDARD=LVCMOS15;

NET"S2"LOC = AB10 | IOSTANDARD=LVCMOS15;

NET"S3"LOC = AA13 | IOSTANDARD=LVCMOS15;

NET"F"LOC = AF24 | IOSTANDARD=LVCMOS33 ;#D8

1. **仿照问题一步骤6进行下载到sword板上**

-> Synthesize – XST，-> Implement design，-> Generate Programming File，将生成Bit文件下载到SWORD实验板，在SWORD板上物理运行，根据I/O约束定义和交互按钮操作和显示，板上通过按键开关，查看灯的变化是否正确，验证设计是否成功。

**五、实验结果与分析**

参照上述实验步骤，建立自己的Program,上述步骤介绍用图即为本地program中得到。

**六、讨论、心得**

1.熟悉了ISE平台的基本使用方法，便于以后使用ISE平台进行作业

2.通过HDL与SCH两种方式，都进行了演练，花费时间较长

3.对整体流程都有了大致的了解，颇有成就感。