# 实验13、计数器、定时器设计与应用实验报告

姓名： 王祚滨 专业： 信息安全 学号： 3180104933

课程名称： 逻辑与计算机设计基础实验 同组学生姓名： 王国朝、赵卿云

指导老师： 洪奇军 实验地点： 浙江大学紫金港校区东四教学楼509实验日期：2019年 12 月 4 日

# 一、实验目的和要求

1. 掌握同步四位二进制计数器74LS161的工作原理和设计方法

2.掌握时钟/定时器的工作原理与设计方法

**二、实验内容和原理**

2.1实验内容：

任务1：采用行为描述设计同步四位二进制计数器74LS161

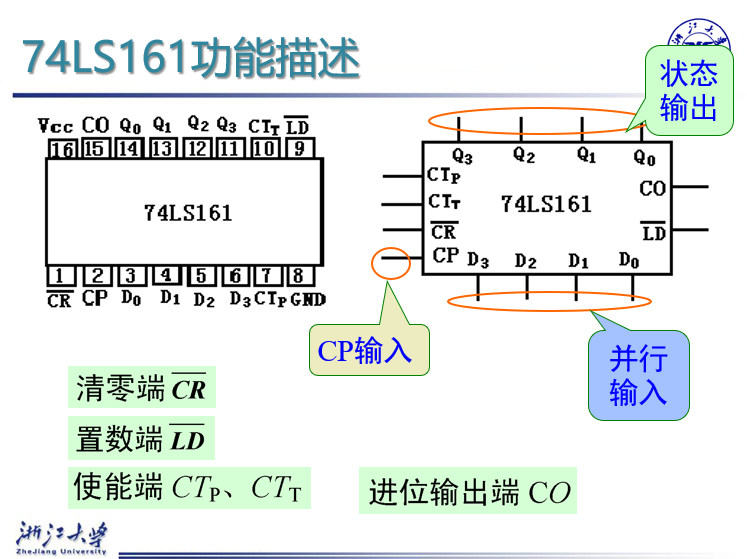
任务2：基于74LS161设计时钟应用

2.2实验原理：

**2.2.1同步四位二进制计数器74LS161**

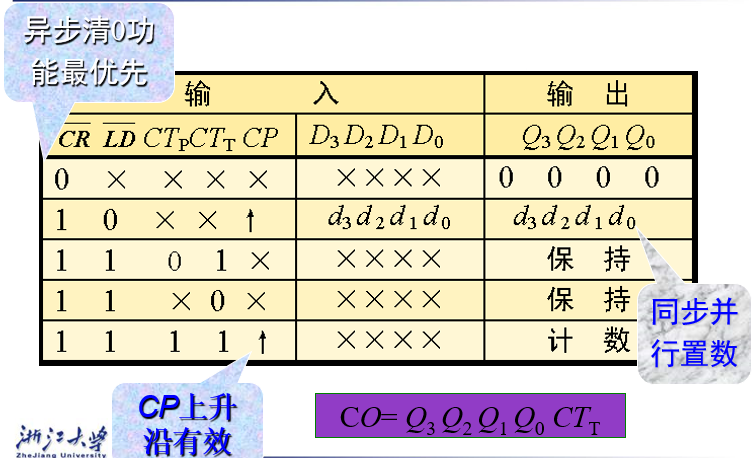
74LS161是常用的四位二进制可预置的同步加法计数器

可灵活运用在各种数字电路，实现分频器等很多重要的功能



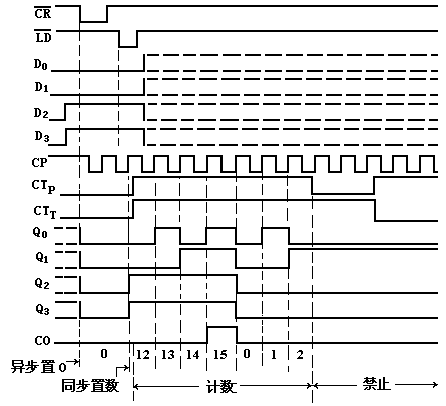
**图一** 74LS161

**74LS161功能表：**



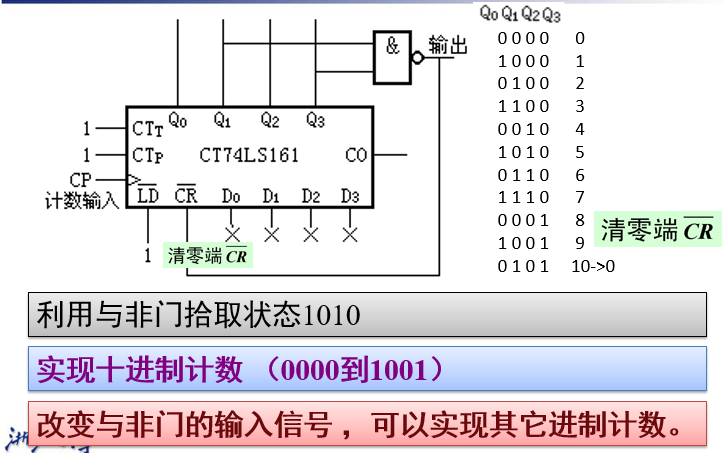
**图二 74LS161功能表**

**74LS161时序图：**

****

**图三 74LS161时序图**

**2.2.2 实现十进制计数器**



**图四 十进制计数器**

# 三、主要仪器设备

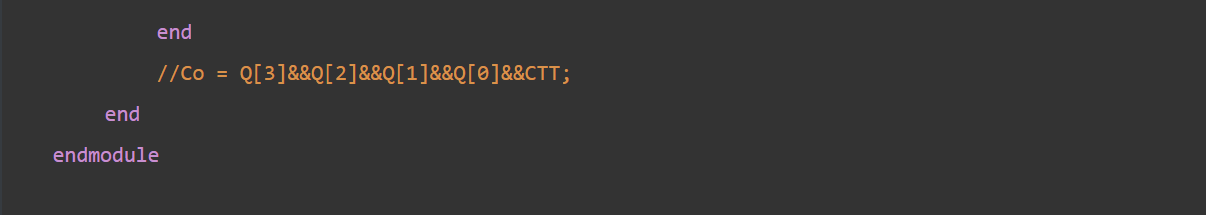
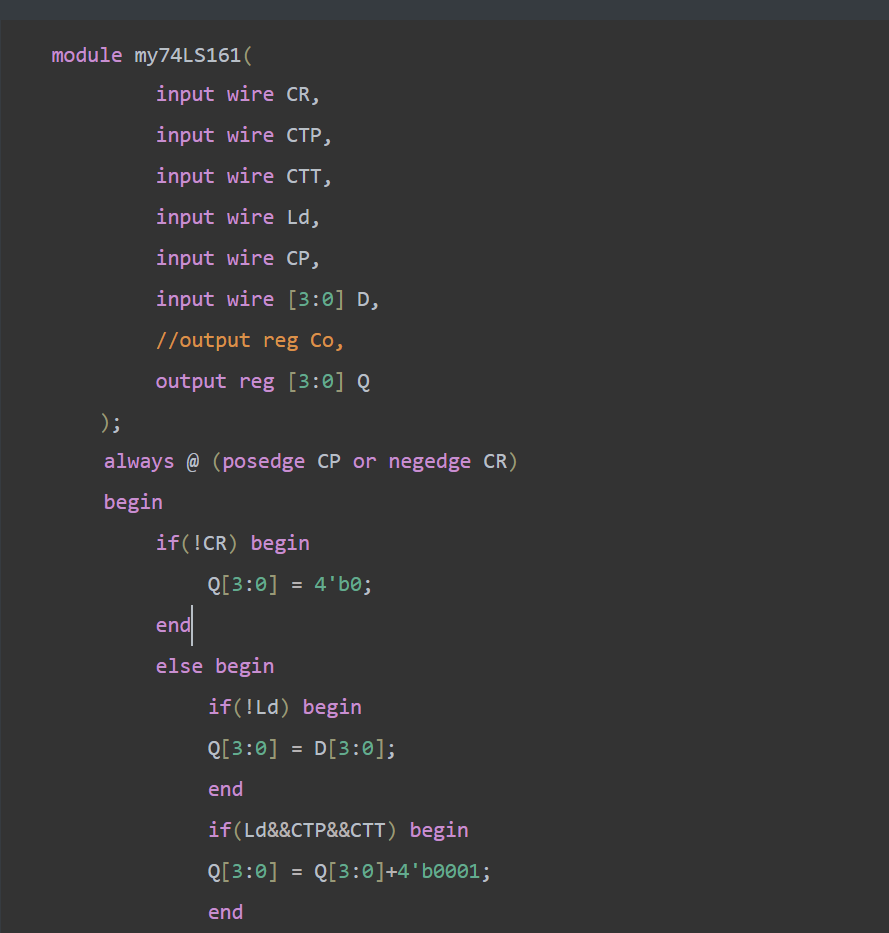
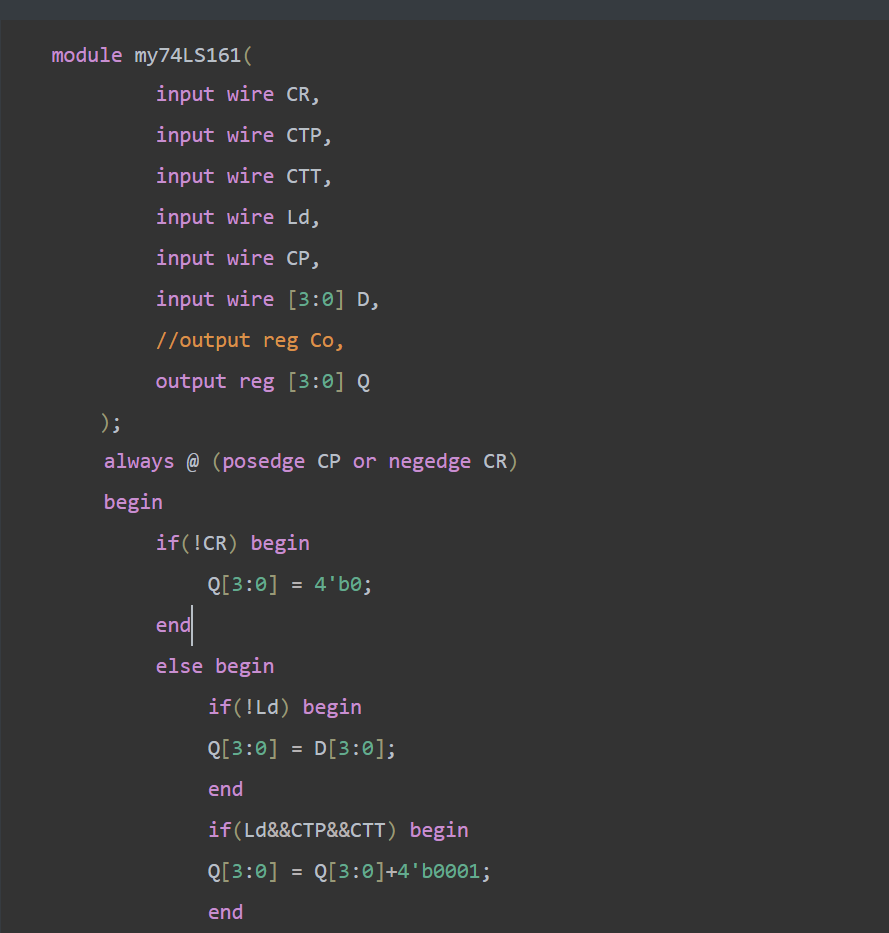
# 1. 装有Xilinx ISE 14.7的计算机 1台

# 2. SWORD开发板

# 四、操作方法与实验步骤

4.1采用行为描述设计同步四位二进制计数器74LS161

将注释去掉即可获得带Co的计数器



4.2 数字时钟

设计一个数字钟，使用60进制和24进制计数器，实现24小时内时间的实时显示。

数字钟的初值通过初始化语句来实现，用数码管前两位显示小时的十位和个位，后两位显示分钟的十位和个位。

过程：

1.新建工程，工程名称用MyClock。

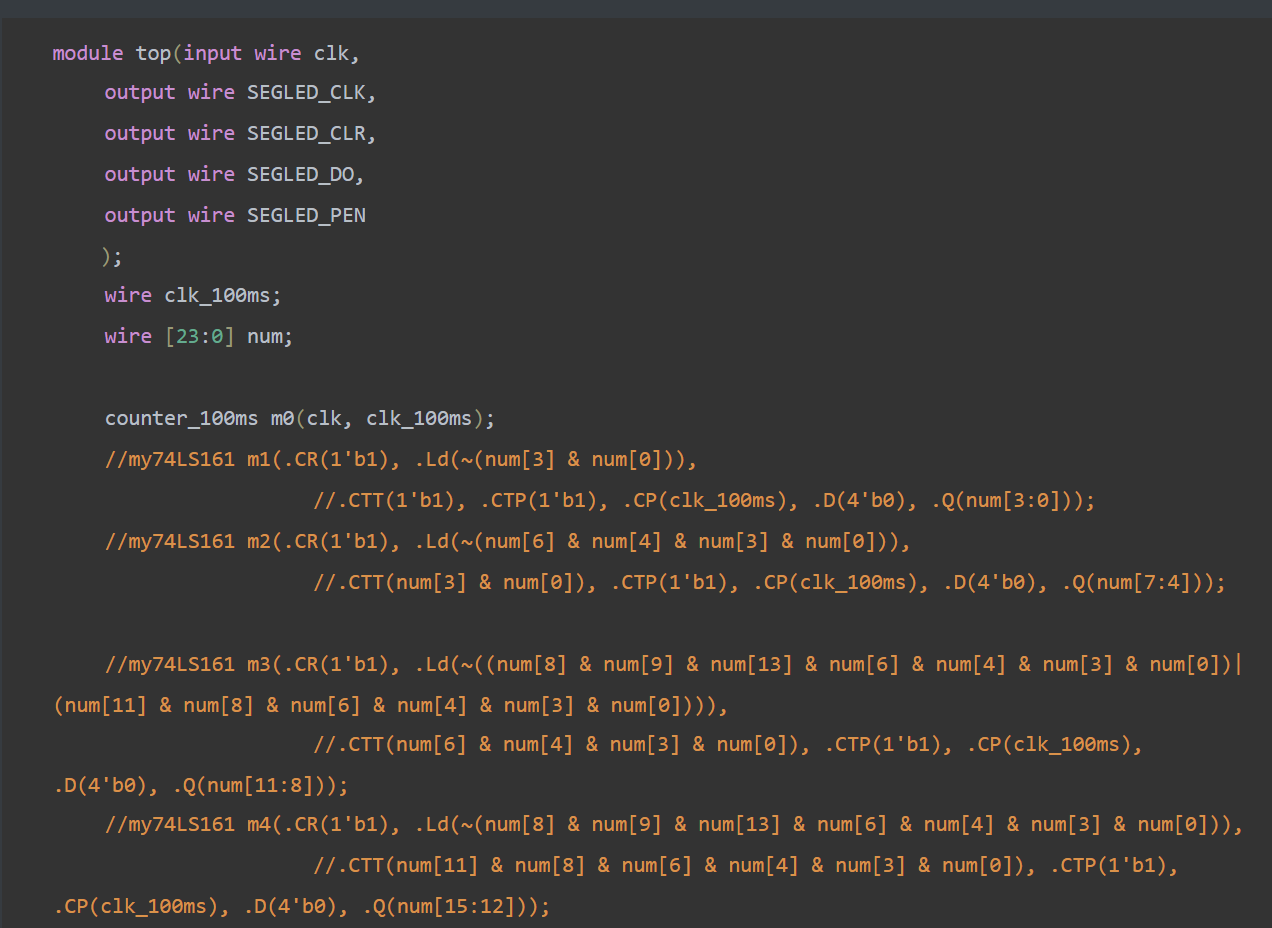
Top Level Source Type用HDL

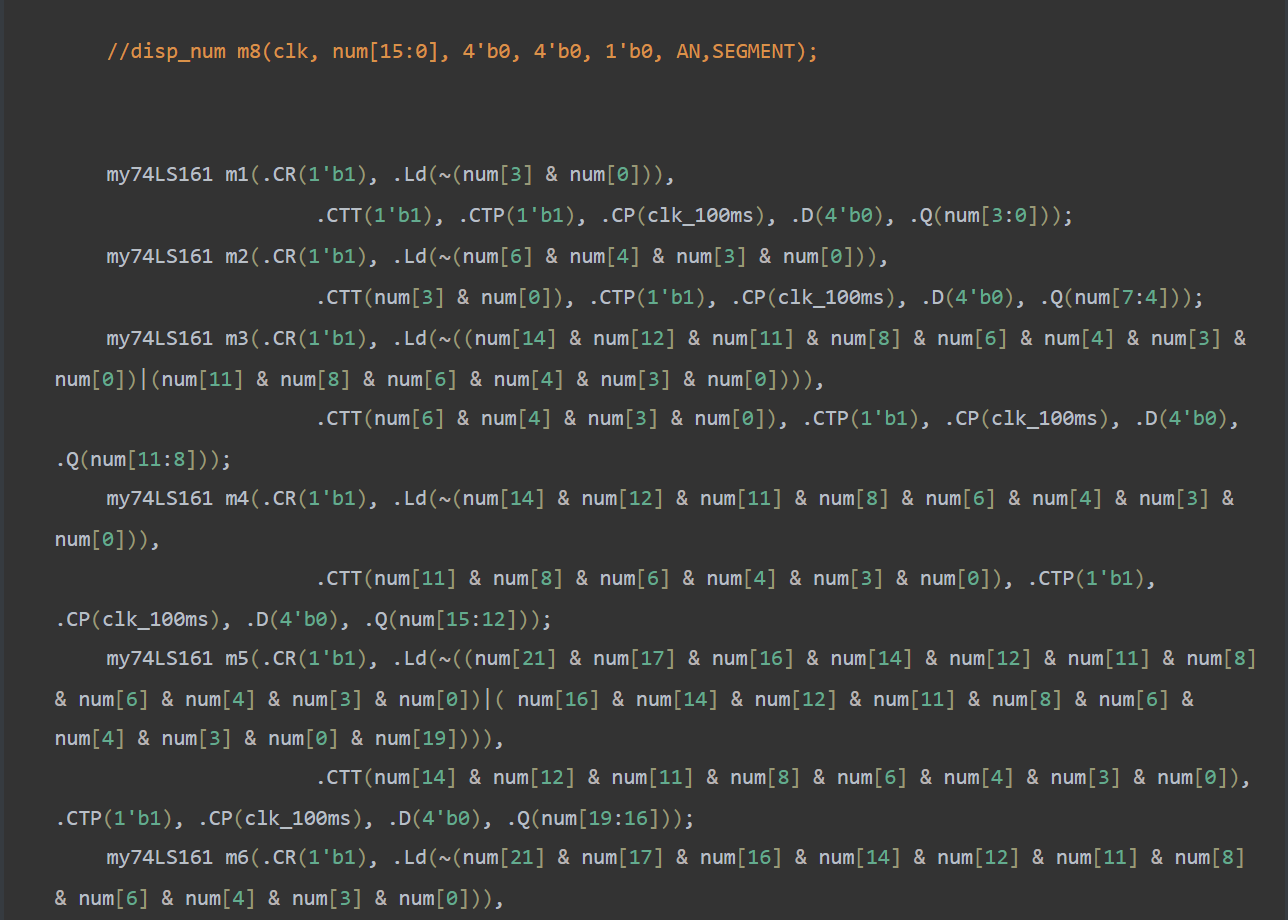
用结构化描述设计

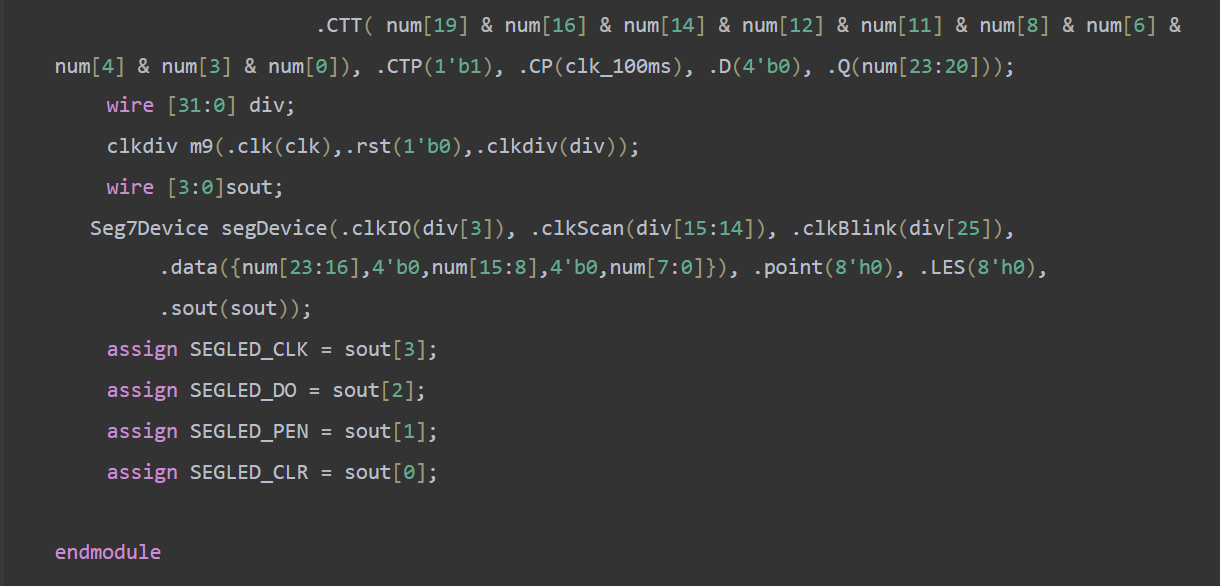
调用My74LS161

调用分频模块，用100ms作为分的驱动时钟

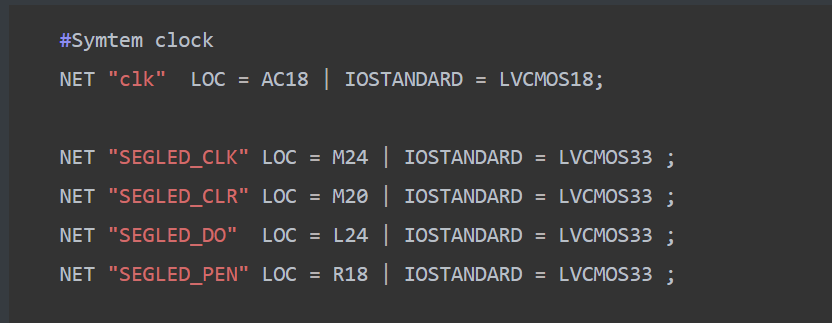
调用显示模块







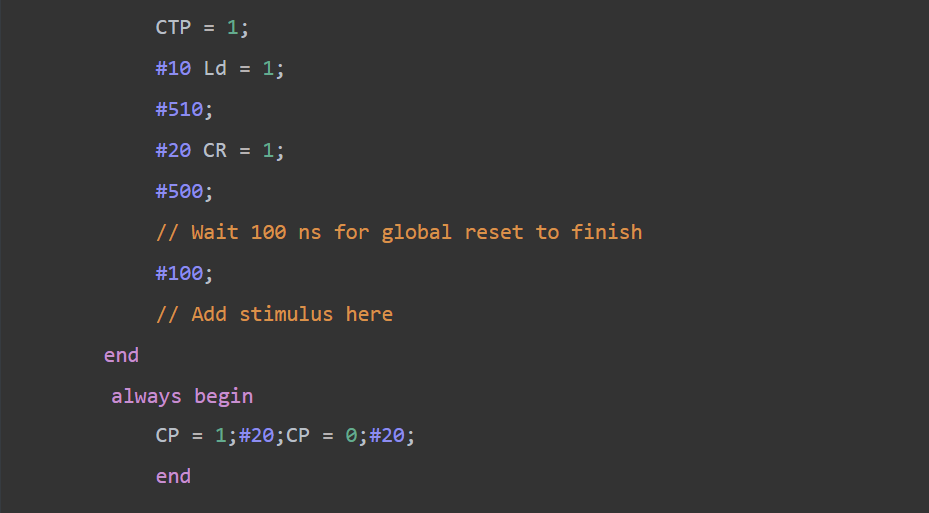
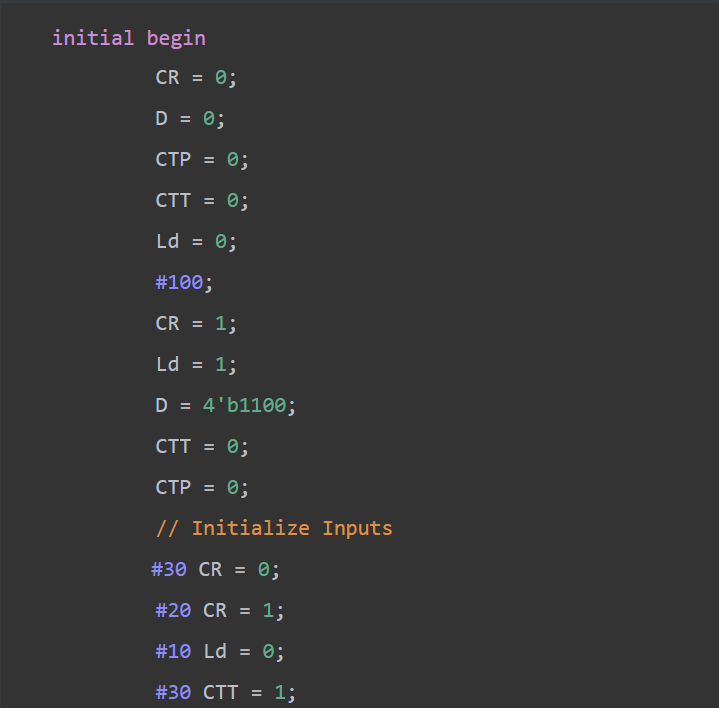
top代码

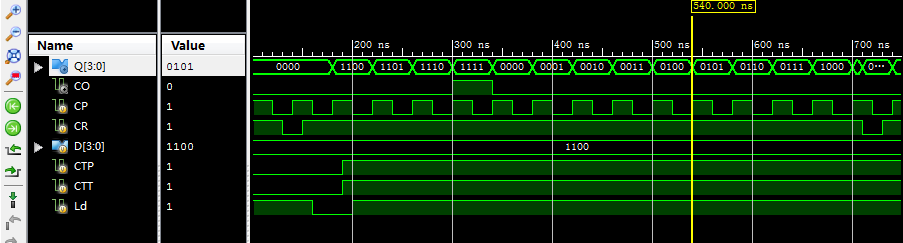


UCF定义

# 五、实验结果与分析

5.1 74LS161仿真

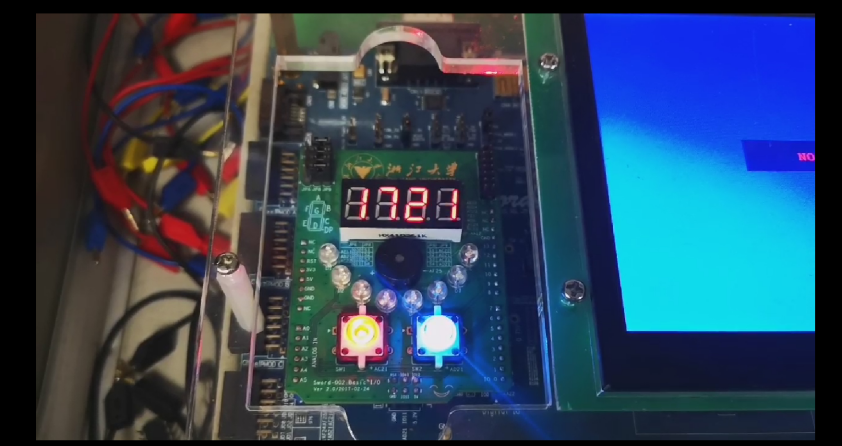




仿真图

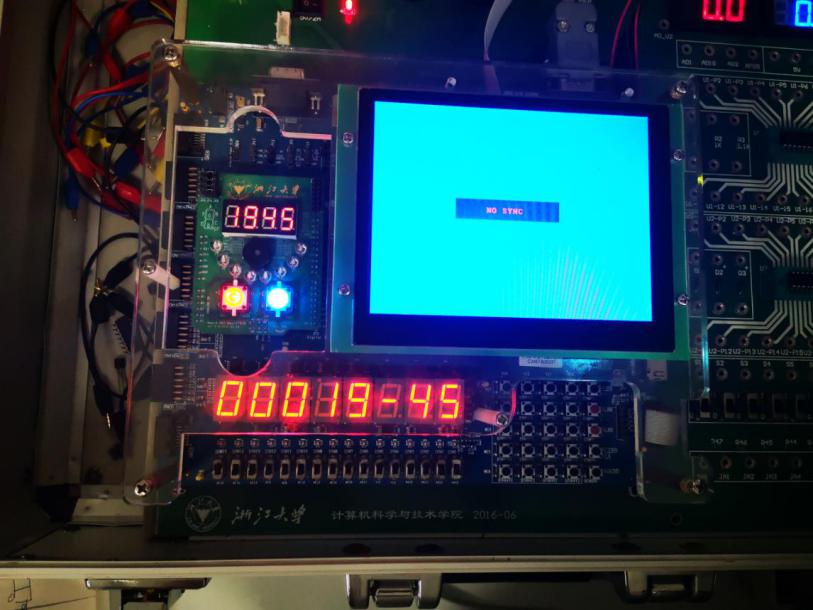
基于74LS161设计时钟应用

结果图：

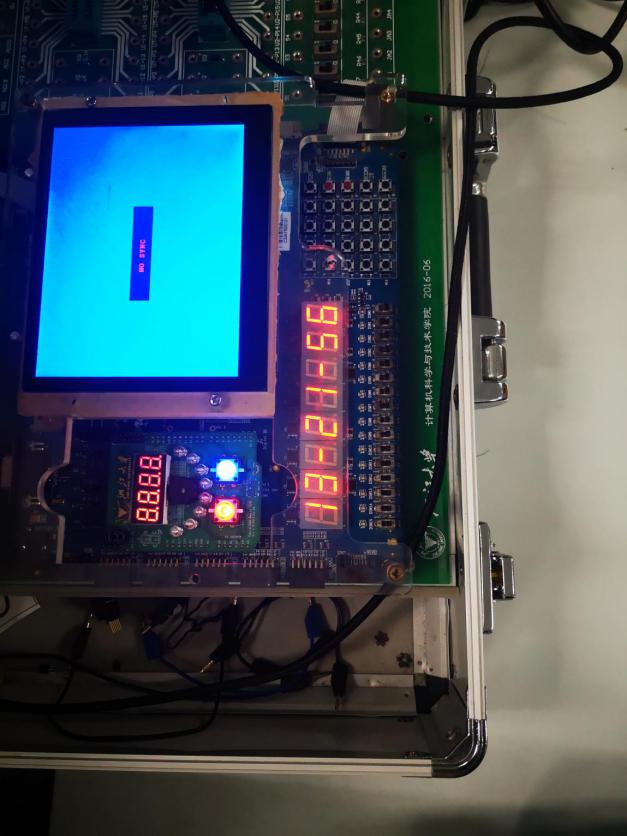


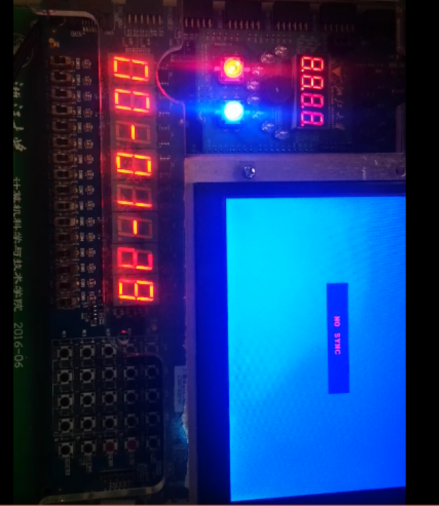
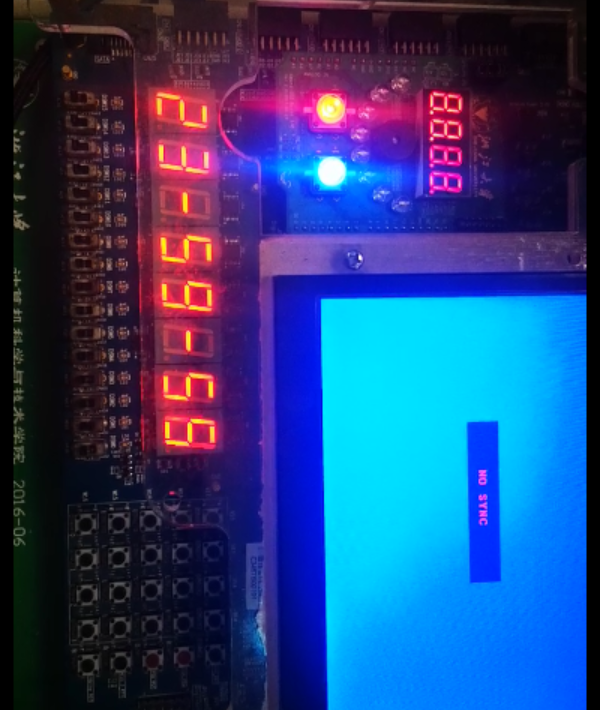
最初版





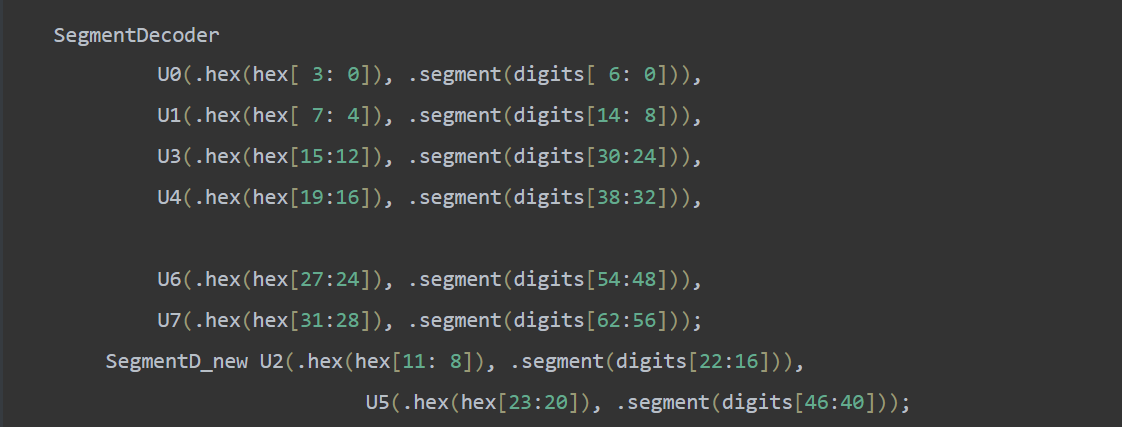
加分版-1



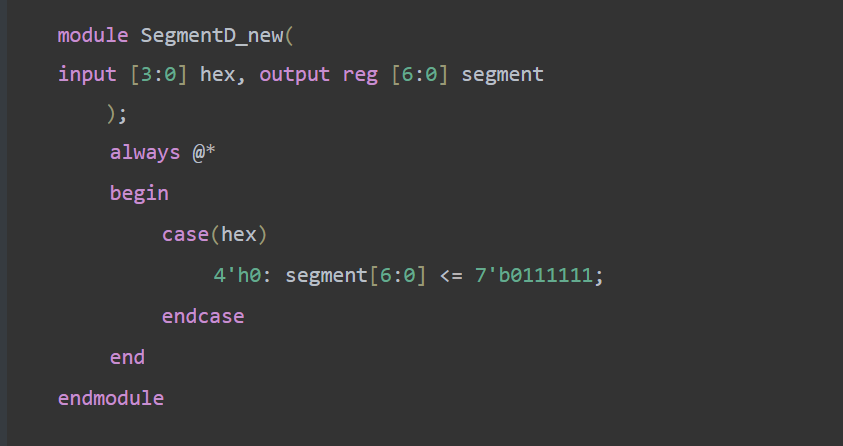


加分版-2

加分版实现方法，将decoder改写



新增SegmentD\_new器件



其定义如下，

因此可以在对应位置显示两个横杠

# 六、讨论、心得

这一次实验基础部分较为容易，由于课下对VERILOG语言资料进行了很长时间的整理，因此上手起来非常容易，但在上板子的时候还是遇到了很多问题，比如在最初的24进制时遇到3就进位，比如第一位狂闪等等问题，最后梳理出正确的逻辑，再配上合适的框架，成功将其显示。

加分项难处理在要对decoder进行改写，最后成功找到对应位置，将其赋值为0时的decode进行了改写，从而实现了横杠的显示，但不足的是top代码过于冗长，应该想出更优秀的解决方法来避免重复书写。