

МИНИСТЕРСТВО НАУКИ И ВЫСШЕГО ОБРАЗОВАНИЯ  
РОССИЙСКОЙ ФЕДЕРАЦИИ ФЕДЕРАЛЬНОЕ ГОСУДАРСТВЕННОЕ  
БЮДЖЕТНОЕ  
ОБРАЗОВАТЕЛЬНОЕ УЧРЕЖДЕНИЕ ВЫСШЕГО ОБРАЗОВАНИЯ  
«ВЯТСКИЙ ГОСУДАРСТВЕННЫЙ УНИВЕРСИТЕТ»

Институт математики и информационных систем  
Факультет автоматики и вычислительной техники  
Кафедра электронных вычислительных машин

Отчёт по лабораторной работе №7  
по дисциплине  
«Информатика»  
«Построение комбинационных схем.»

Разработал студент гр. ИВТб-1301-05-00 \_\_\_\_\_ /Черкасов А. А./  
(подпись)

Проверил доцент кафедры ЭВМ \_\_\_\_\_ /Коржавина А.С./  
(подпись)

Киров  
2024

## Цель работы

Цель работы: Закрепить на практике знания о минимизации системы булевых функций и получить навыки реализации простейших арифметических устройств.

## Задания

1. Выполнить минимизацию булевых функций, представить функции различных базисах — основном логическом базисе (И, ИЛИ, НЕ) или в базисе Шеффера (И-НЕ).
2. Построить четырехразрядный полный сумматор, складывающий 2 двоичных четырехразрядных числа и учитывающий единицу переноса.
3. Построить четырехразрядный умножитель, перемножающий 2 двоичных четырехразрядных числа.
4. Построить 16-разрядный сумматор со схемами ускоренного переноса.

## Решение

### Задание 1

Значения функций  $F_1$  и  $F_2$  приведены в таблице 1.

Таблица 1 – Значения функций 1 и 2.

$x_1$	$x_2$	$x_3$	$F_1$	$F_2$
0	0	0	0	1
0	0	1	0	1
0	1	0	1	0
0	1	1	1	0
1	0	0	1	0
1	0	1	0	0
1	1	0	0	1
1	1	1	0	1

Диаграмма Вейча-Карно для  $F_1$  приведена в Таблице 2.

Таблица 2 – Диаграмма Вейча-Карно для  $F_1$

$x_1 \backslash x_2 x_3$	00	10	11	01
0	0	1	1	0
1	1	0	0	0

$$F_1 = \overline{x_1} \cdot x_3 + x_1 \cdot \overline{x_2} \cdot \overline{x_3}$$

Схема  $F_1$  приведена на Рисунке 1.1.

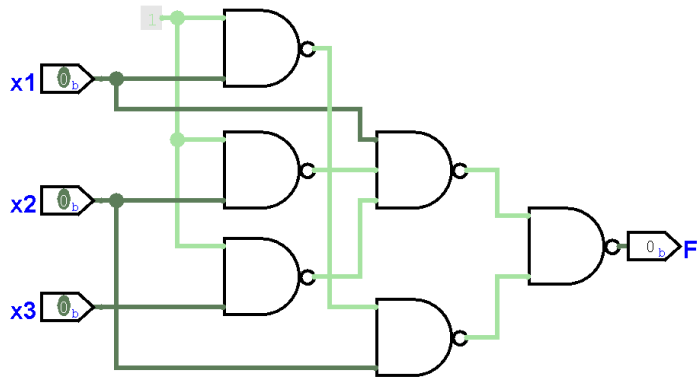


Рисунок 1.1 - Схема  $F_1$ .

Диаграмма Вейча-Карно для  $F_2$  приведена в Таблице 3.

Таблица 3 – Диаграмма Вейча-Карно для  $F_2$

$x_1 \backslash x_2 x_3$	00	10	11	01
0	1	1	0	0
1	0	0	1	1

$$F_2 = \overline{x_1} \cdot \overline{x_2} + x_1 \cdot x_2$$

Схема  $F_2$  приведена на Рисунке 1.2.

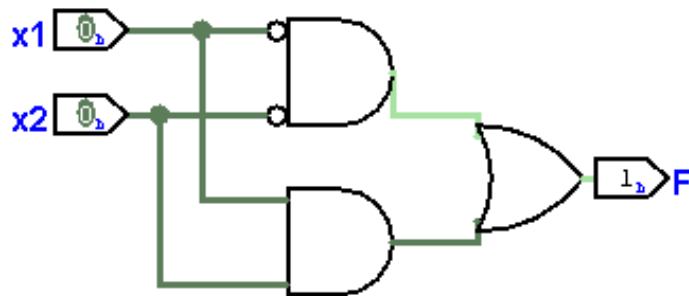


Рисунок 1.2 - Схема  $F_2$ .

Значения функций  $F_3$  и  $F_4$  приведены в таблице 4.

Таблица 4 – Значения функций 3 и 4.

$x_1$	$x_2$	$x_3$	$x_4$	$F_3$	$F_4$
0	0	0	0	1	1
0	0	0	1	1	1
0	0	1	0	0	0
0	0	1	1	0	0
0	1	0	0	0	1
0	1	0	1	1	0
0	1	1	0	1	0
0	1	1	1	0	0
1	0	0	0	1	1
1	0	0	1	1	0
1	0	1	0	0	1
1	0	1	1	0	0
1	1	0	0	1	1
1	1	0	1	0	1
1	1	1	0	0	0
1	1	1	1	1	1

Диаграмма Вейча-Карно для  $F_3$  приведена в Таблице 5.

Таблица 5 – Диаграмма Вейча-Карно для  $F_3$

$x_1x_2 \backslash x_3x_4$	00	10	11	01
00	1	0	0	1
10	1	0	0	1
11	1	0	1	0
01	0	1	0	1

$$F_3 = \overline{x1} \cdot \overline{x4} + x1 \cdot \overline{x2} \cdot \overline{x3} \cdot x4 + \overline{x2} \cdot x3 \cdot \overline{x4} + x2 \cdot \overline{x3} \cdot \overline{x4} + x1 \cdot x2 \cdot x3 \cdot x4$$

Схема  $F_3$  приведена на Рисунке 1.3.

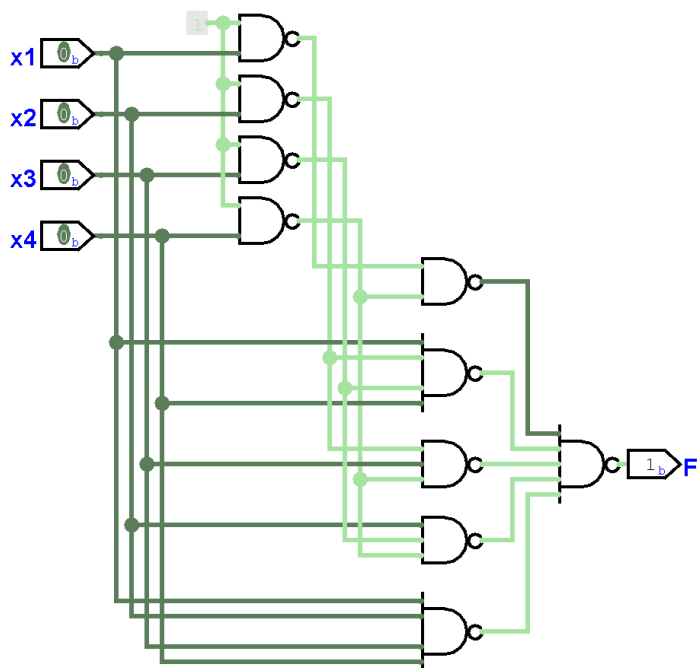


Рисунок 1.3 - Схема  $F_3$ .

Диаграмма Вейча-Карно для  $F_4$  приведена в Таблице 6.

Таблица 6 – Диаграмма Вейча-Карно для  $F_4$

$x_1x_2 \backslash x_3x_4$	00	10	11	01
00	1	0	0	1
10	1	1	0	0
11	1	0	1	1
01	1	0	0	0

$$F_4 = \overline{x_1} \cdot \overline{x_2} \cdot \overline{x_3} + \overline{x_3} \cdot \overline{x_4} + x_1 \cdot \overline{x_2} \cdot \overline{x_4} + x_1 \cdot x_2 \cdot x_4$$

Схема  $F_4$  приведена на Рисунке 1.4.

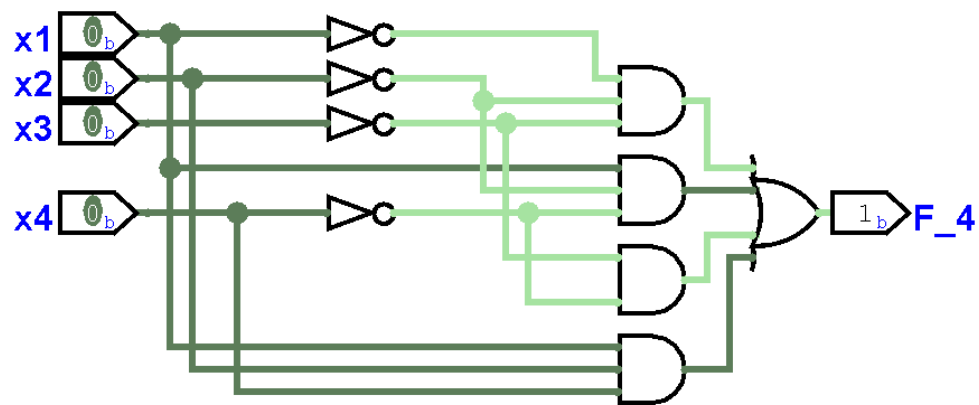


Рисунок 1.4 - Схема  $F_4$ .

## Задание 2

Схема четырёхразрядного полного сумматора и двухразрядного полного сумматора представлены на рисунках 2.1 и 2.2.

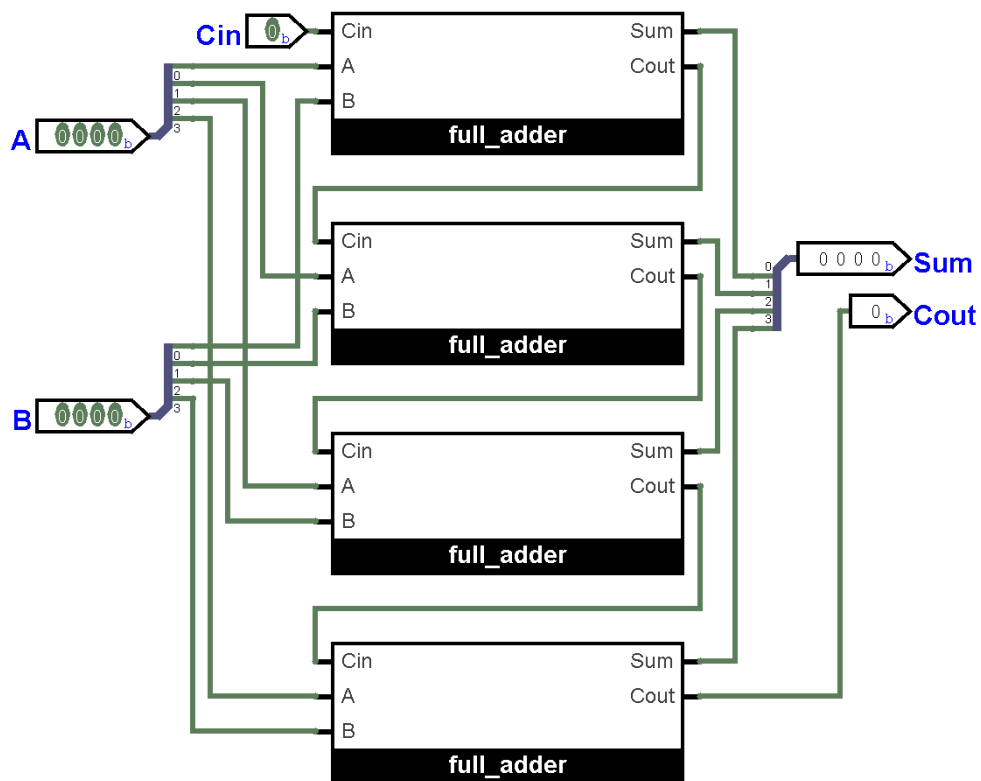


Рисунок 2.1 - Схема четырёхразрядного полного сумматора.

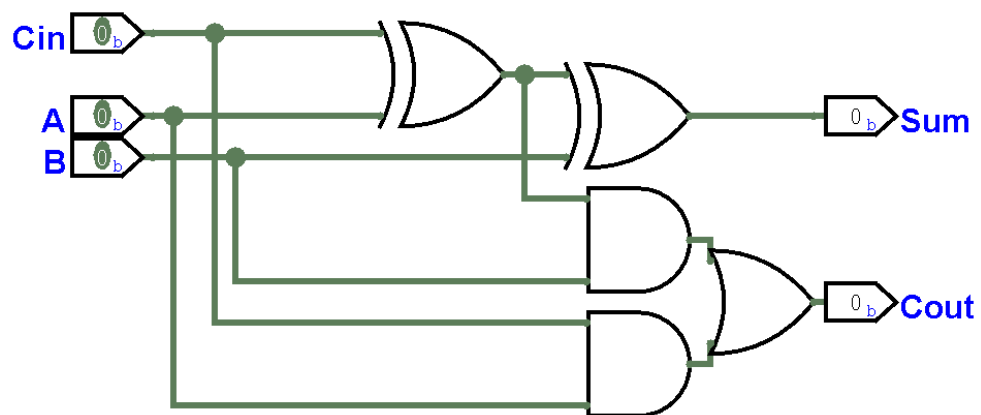


Рисунок 2.2 - Схема двухразрядного полного сумматора.



### Задание 3

Схемы четырёхразрядного умножителя и двухразрядного полусумматора представлены на рисунках 3.1 и 3.2.

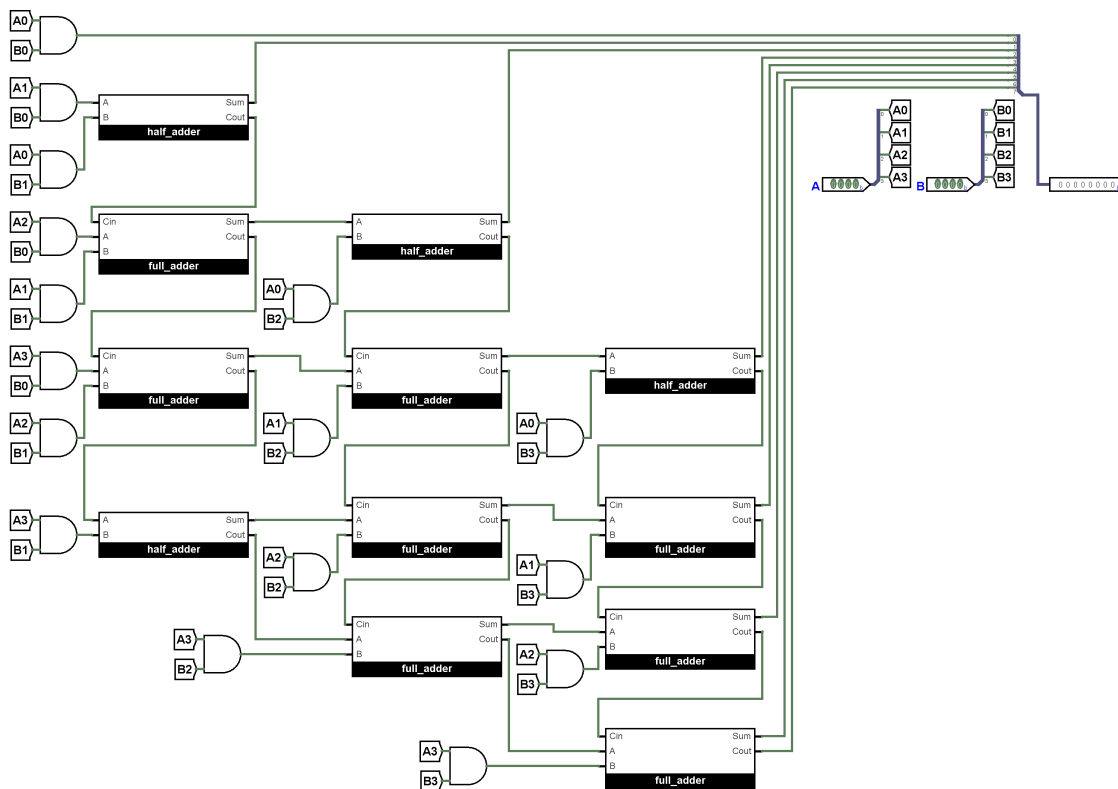


Рисунок 3.1 - Схема четырёхразрядного умножителя.

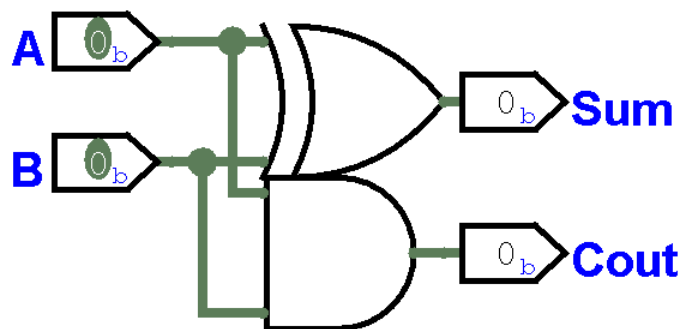


Рисунок 3.1 - Схема двухразрядного полусумматора.

## Задание 4

Схемы 16-разрядного сумматора со схемами ускоренного переноса, 4-разрядного сумматора со схемами ускоренного переноса, и схема ускоренного переноса представлены на рисунках 4.1, 4.2, 4.3.

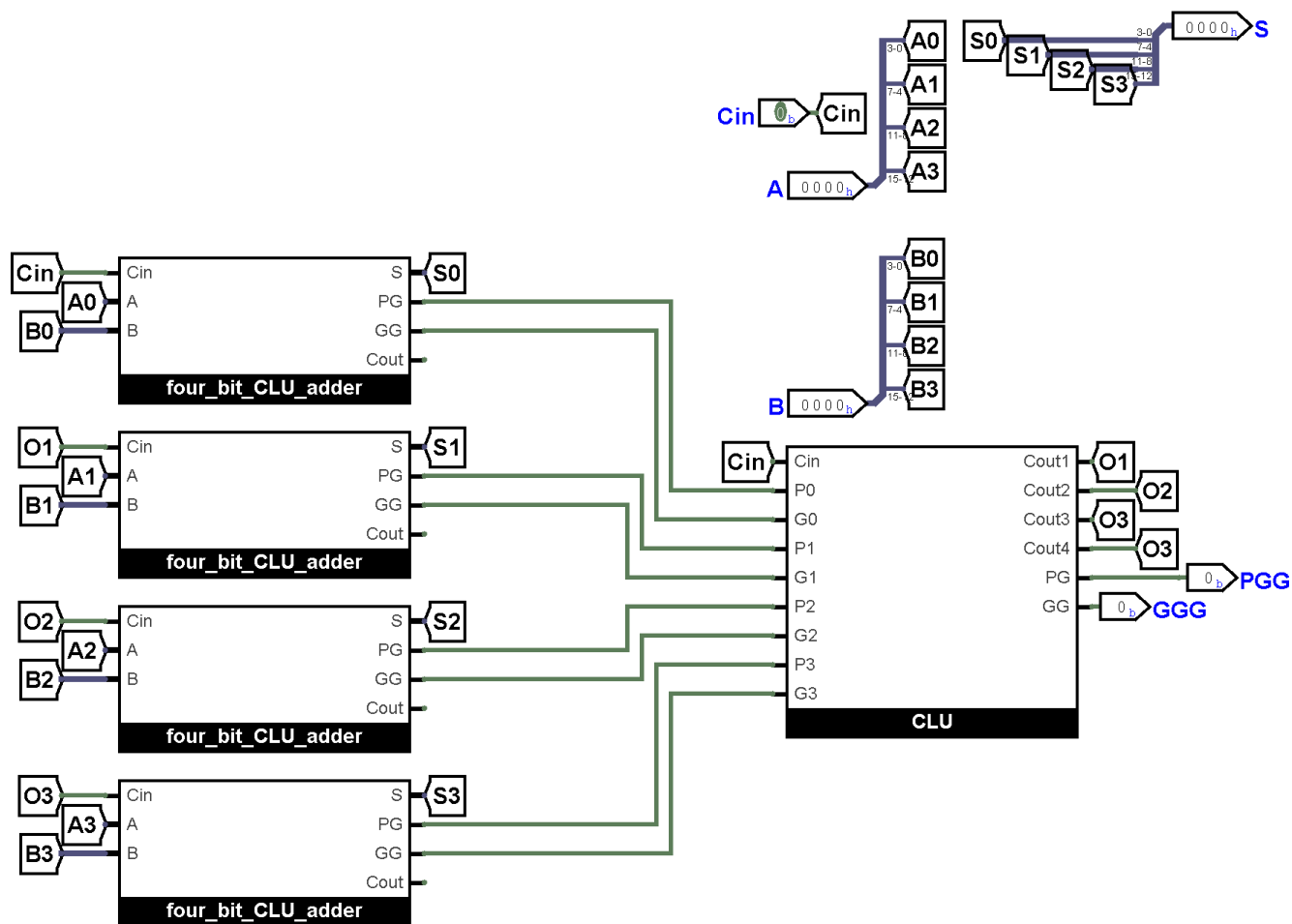


Рисунок 4.1 - Схема 16-разрядного сумматора со схемами ускоренного переноса.

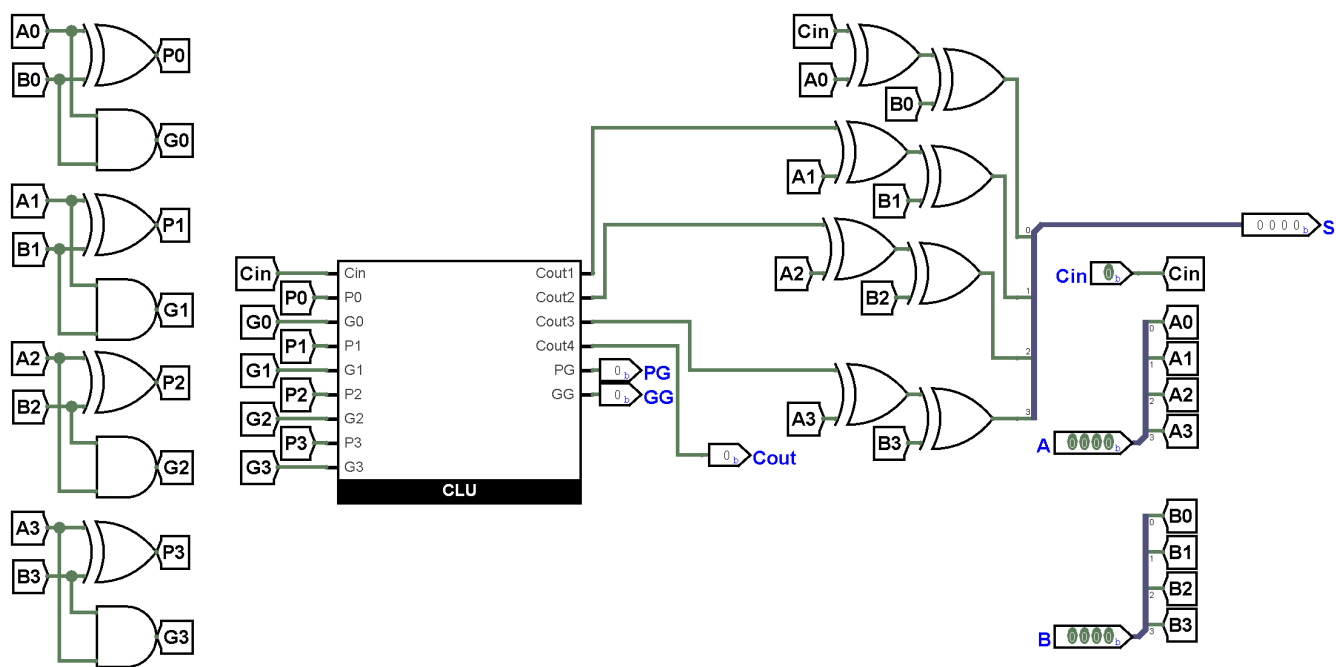


Рисунок 3.1 - Схема 4-разрядного сумматора со схемами ускоренного переноса.

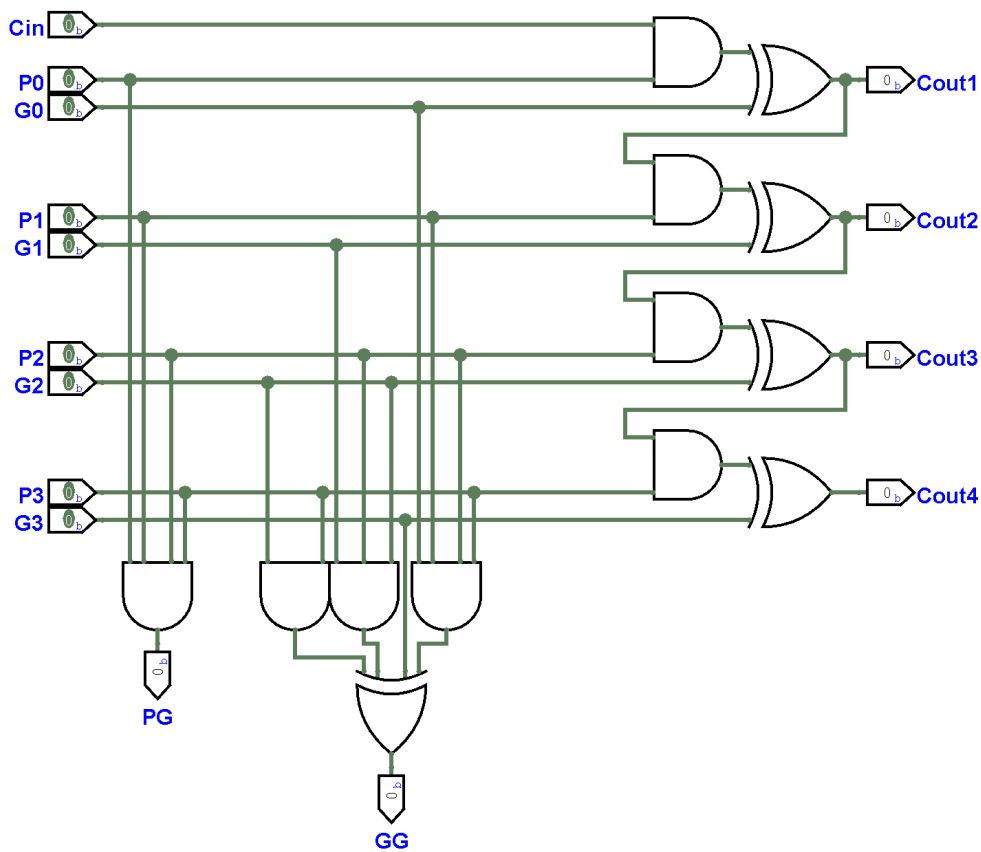


Рисунок 3.1 - Схема ускоренного переноса.

## Вывод

В результате работы были минимизированы функции и по ним разработаны и проверены логические схемы, также были разработаны и проверены схемы простейших арифметических устройств.