



3º AVALIAÇÃO – 2020/1

Observações:

- 1) O trabalho, correspondente a 3º Avaliação Parcial com peso 2, deverá ser entregue até às 23:59h do dia 09/07/2021. Após esse horário o trabalho não será aceito.
- 2) O trabalho deverá ser realizado em equipe com quantidade máxima de membros de 7 alunos.
- 3) O trabalho deve ser registrado em DOCX, incluindo o código VHDL. Não será aceito imagens de fotos tiradas pela câmera, consequentemente não serão aceitas imagens de resoluções realizadas a mão. Utilizem imagens printadas do próprio software.
- 4) O trabalho deverá ser enviado para o e-mail **prof.fjanuario.ufam@gmail.com**. No corpo do e-mail deve constar a lista dos alunos participantes da equipe. No e-mail, devem ser anexados o arquivo DOCX e os arquivos (compactados) VHDL.
- 5) Consulta sobre o assunto do trabalho, somente no material das aulas (notas e vídeos) e na internet. Sendo uma avaliação, não será permitida a consulta sobre a resolução das questões ao professor e ao monitor da disciplina.
- 6) Se for detectado plágio entre os trabalhos, a 3º Avaliação Parcial será zerada para todos os alunos dos trabalhos envolvidos. Lembrem-se, é possível a verificação de plágio nos DOCXs e nos códigos VHDL.

1. Simplifique as funções, utilizando Mapa de Karnaugh e desenvolva o circuito em VHDL, e apresente o resultado da simulação no Quartus. Mostre a representação RTL do Quartus.

$$a) F = \sum_{W,X,Y,Z} (2,4,5,6,7,11,13,15)$$

$$b) F = \prod_{W,X,Y,Z} (0,2,4,6,7,8,10,12,13)$$

$$c) F = \sum_{W,X,Y,Z} (1,2,4,6,7,9,10,13,15)$$

2. Desenvolva o hardware do comparador de 8 bits, em VHDL, e apresente o resultado da simulação no Quartus. Mostre a representação RTL do Quartus.

3. Desenvolva o hardware do gerador de paridade par de 10 bits, em VHDL, e apresente o resultado da simulação no Quartus. Mostre a representação RTL do Quartus.

4. Projete um circuito lógico para automatizar o processo de separação de produto montado com defeito, em uma linha de produção. Considerando as afirmações abaixo e sabendo que o projeto deverá utilizar lógica positiva, monte a Tabela Verdade, gere as expressões lógicas, utilizando Mapa de Karnaugh, e desenvolva o circuito em VHDL, mostrando o diagrama RTL do Quartus. Apresente o resultado da simulação no Quartus. Utilize variáveis lógicas para indicar as entradas e saídas. (4,0)

a) O produto é considerado defeituoso nas seguintes condições: quando estiver fora das dimensões padrões; quando o gabinete estiver danificado; ou quando não ligar. Se uma ou mais dessas condições acontecer o produto está com defeito;

b) Se o produto estiver com o gabinete danificado ou fora das dimensões padrões, será descartado para reproprocessamento. Se o produto estiver com defeito somente pela condição de NÃO LIGAR, será enviado para o técnico de conserto;

c) As entradas são as condições de defeito do produto. Como mencionados no item (a), existem 3 defeitos específicos. Se o defeito “especificado” acontecer, será indicado pelo bit “1”, caso contrário, será indicado pelo bit “0”;

d) As saídas são os tipos de descarte do produto defeituoso, podendo ser para reproprocessamento ou conserto. O bit “1” indicará que o produto foi para reproprocessamento ou conserto. Caso o produto não seja descartado, as saídas serão indicadas pelo bit “0”.

5. Projete um contador hexadecimal com display de 7 segmentos de um dígito, com reset automático. Monte o diagrama em blocos do circuito. Escreva o código VHDL, utilizando divisor de frequência para o clock de 50MHz, e apresente o resultado da simulação no Quartus.

6. Projete um contador BCD com display de 7 segmentos de dois dígitos, que conte de 00 à 59, com reset automático. Monte o diagrama em blocos do circuito. Escreva o código VHDL, utilizando divisor de frequência para o clock de 50MHz, e apresente o resultado da simulação no Quartus.