

Teoría

0.1 GEM Physics

0.2 Read-out Electronics

Como se expuso anteriormente, los electrones multiplicados son recogidos en los electrodos de salida del GEM, resultando una señal de corriente eléctrica que puede ser medida y analizada. Dependiendo de los objetivos del experimento, distintas etapas electrónicas pueden ser implementadas a continuación. Sin embargo, el objetivo de estas converge a preservar y transportar la información física de interés contenida en la señal.

Aunque los distintos tipos de detectores generan señales eléctricas únicas, dependiendo de los procesos físicos que ocurren en su interior, es posible identificar características comunes que facilitan la comprensión de conceptos clave en el acondicionamiento y procesamiento de señales.

0.2.1 Características generales de un pulso

Las señales producidas por un detector son, en general, de naturaleza pulsada. En este contexto, se puede asociar la detección de un evento con una perturbación, denominada pulso, que se define sobre la línea base de la señal de salida. La figura 1 muestra un ejemplo genérico de un pulso individual, utilizado para ilustrar algunas de sus características principales.

Según [2], suponiendo que la señal generada por el detector es corta comparado con los tiempos típicos de procesamiento de la electrónica de lectura, las cantidades que caracterizan un pulso son:

- La amplitud máxima del pulso: también conocida como altura del pulso, es el valor máximo que alcanza la señal. En sistemas lineales, este valor es proporcional a la energía primaria depositada en el detector.
- Tiempo de pico: Es el momento en el tiempo en el que se alcanza la amplitud máxima del pulso.

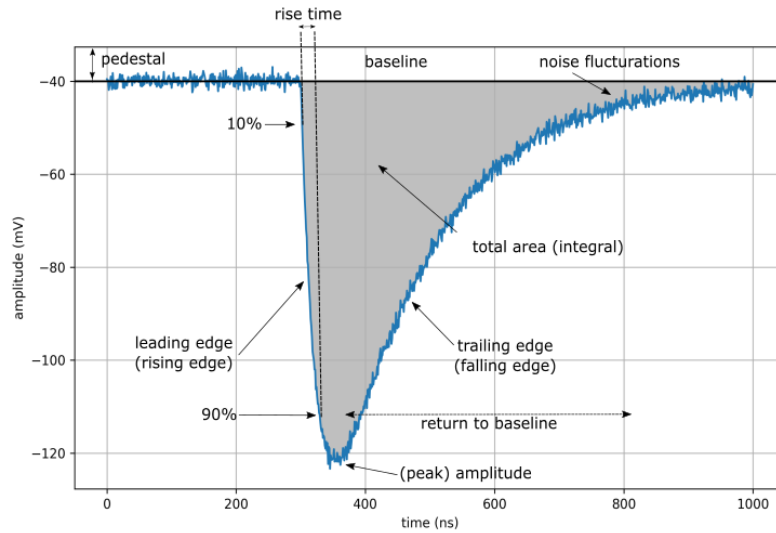


Figure 1: Pulso típico genérico para ilustrar las principales características. Reproducido a partir de [1]

- Área o integral del pulso: Representa el área bajo la curva del pulso. En sistemas lineales y para señales cortas tipo δ , su valor debería ser proporcional a la energía primaria depositada.
- Ancho del pulso: Se refiere a la duración del pulso, que generalmente se define como el ancho total a la mitad de la altura máxima (FWHM, por sus siglas en inglés).
- Bordes de subida y bajada: Son las pendientes ascendente y descendente del pulso.
- Tiempo de subida: Caracteriza la rapidez con la que el pulso aumenta. Comúnmente se define como el tiempo necesario para que el pulso pase del 10% al 90% de su amplitud máxima, aunque existen otras definiciones.
- Tasa de variación (Slew rate): Indica el cambio de voltaje por unidad de tiempo dV/dt y se expresa en unidades de V/s .
- Línea base o valor de pedestal: Es el valor de salida cuando no hay ninguna señal de entrada. Define el nivel 'cero' desde el cual se mide la altura de la señal. Aunque generalmente la línea base tiene un valor fijo, pueden ocurrir desviaciones durante un cierto (y breve) período de tiempo. Estas desviaciones se conocen como desplazamientos de la línea base.
- Tiempo de retorno a la línea base: Es el tiempo necesario para que la amplitud del pulso vuelva al valor de la línea base.

- Suboscilación: Se refiere a la parte de la amplitud de un pulso que tiene un signo opuesto (con respecto a la línea base) en comparación con la amplitud principal.
- Señal unipolar: Es una forma de pulso en la que, salvo por las fluctuaciones de ruido, el valor de la amplitud se mantiene por encima o por debajo de la línea base en todo momento t . Por lo general, también se incluyen en esta definición las señales con pequeñas suboscilaciones.
- Señal bipolar: Es una forma de pulso en la que la parte del pulso que ocurre más tarde en el tiempo tiene un signo opuesto al de la parte que ocurre primero.

0.2.2 Electrónica de Front-end

Próxima al detector, se encuentra la etapa denominada front-end, que típicamente comprende electrónica analógica para la amplificación de la señal, shaping y discriminación, así como digitalización y transporte. A continuación pueden encontrarse sistemas de más alto nivel como procesadores digitales y de adquisición de datos, que permiten transformar las señales y extraer la información necesaria para su posterior estudio. En la figura 2 se observa un esquema genérico de la electrónica de front-end de un detector.

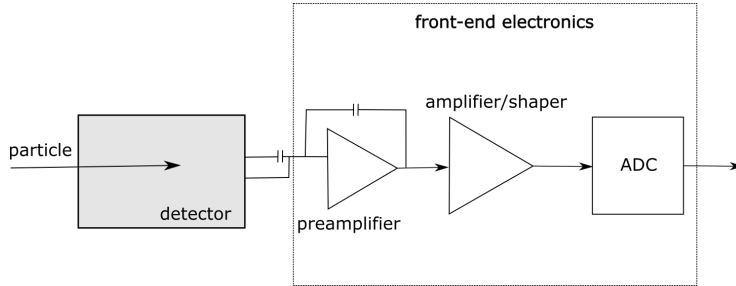


Figure 2: Un esquema de electrónica de front-end típico, utilizado a menudo para la lectura de un detector, que incluye amplificación, conformación de impulsos y digitalización (representada aquí por un ADC).

Los sistemas involucrados en la electrónica de front-end, deben cumplir con tres características: (a) ser causales, (b) invariantes en el tiempo, y (c) lineales al menos en la primera etapa de amplificación. Un sistema se considera causal si, en cualquier momento, solo depende del valor de su entrada en ese instante. Es invariante en el tiempo si la relación entre la salida y la entrada, por ejemplo, el ratio $\text{señal}_{\text{entrada}}/\text{señal}_{\text{salida}}$ no varía con el tiempo [1]. La linealidad del sistema implica que el pulso de salida (por ejemplo, $v_{out}(t)$) no depende del tamaño de la señal de entrada (por ejemplo, $i_{in}(t)$), esto es,

$$v_{\text{out}} (\alpha \times i_{\text{in}} (t)) = \alpha \times v_{\text{out}} (i_{\text{in}} (t))$$

Tal es el caso de los detectores GEM. Las corrientes típicas medidas en su salida pueden ser muy pequeñas, del orden de nanoamperios [citar]. Por lo tanto, es necesario implementar etapas de preamplificación y amplificación, hasta lograr señales con características adecuadas para su digitalización y el subsecuente procesamiento. Sin embargo, si se busca procesar señales de voltaje, es necesario conectar una resistencia R en serie con la salida del detector para medir una señal de voltaje V en sus terminales, de acuerdo a la ley de Ohm,

$$V = RI$$

Preamplificador

Como expone [2], La función principal del preamplificador es captar la señal del detector sin deteriorar notablemente la SNR inherente. Por ello, el preamplificador se ubica generalmente lo más cerca posible del detector para reducir la carga capacitiva (C) sobre este. El preamplificador de voltaje amplifica directamente la señal de voltaje V_{in} , manteniendo una alta impedancia de entrada Z_{in} y una baja impedancia de salida Z_{out} para asegurar una transferencia eficiente y reducir la influencia del ruido. En ambos casos, la linealidad del preamplificador es crucial para que la relación $V_{\text{out}}/V_{\text{in}}$ se mantenga constante, lo cual es esencial para la precisión en la medición [9].

Por otro lado, un preamplificador de carga convierte una señal de carga Q generada por el detector en un voltaje proporcional V , dada la relación:

$$V = \frac{Q}{C}$$

Como explica [3], la amplificación por etapas de una señal ofrece numerosas ventajas significativas. Principalmente, permite reducir el ruido generado en cada etapa individual, resultando en una señal final más limpia y menos propensa a la distorsión. Este método también mejora la estabilidad del sistema al distribuir la amplificación, evitando la saturación que podría ocurrir con una amplificación intensa en una sola etapa. Además, facilita el control preciso de la ganancia y la adaptación de impedancias entre diferentes componentes, lo cual mejora la eficiencia y la transferencia de la señal. La amplificación gradual es particularmente útil para manejar señales débiles, amplificándolas sin riesgo de distorsión. Asimismo, distribuye la carga térmica generada, disminuyendo el riesgo de sobrecalentamiento de los componentes.

Amplificador

En general, se realiza mediante un amplificador operacional con una resistencia en realimentación. Como modelo matemático, el detector, representado como

una capacitancia a descargar, suministra la señal de corriente i_s a través de la resistencia R_s a un nivel de referencia en un tiempo Δt . Si el tiempo de descarga es grande comparado al tiempo de duración de la señal

$$(\tau = R_S C_D \gg \Delta t)$$

en cierto sentido, el detector integra la señal de corriente en la capacitancia del detector

$$(V_D = Q_S / C_D)$$

y a la entrada del amplificador se tiene el voltaje

$$v_{in}(t) = V_D \exp(-t/R_S C_D)$$

El voltaje de salida es proporcional a v_{in} y el sistema opera como un amplificador de voltaje [1]:

$$v_{out}(t) = -\frac{R_f}{R_S} v_{in}(t) = -\frac{R_f V_D}{R_S} \exp(-t/R_S C_D).$$

Signal Shaping

En la cadena de modulación de señales de la electrónica de front-end, la etapa de shaping es un circuito electrónico diseñado para modificar la forma de una señal de pulso para mejorar su calidad y adecuarla a las necesidades de procesamiento posterior. Está encargado de transformar las señales pulsadas del detector, que pueden tener formas variadas, en pulsos uniformes y bien definidos. Esto es crucial para evitar la superposición de pulsos (pile-up) y reducir el ruido mediante filtrado de frecuencia [9].

Los pulsos electrónicos generados por el preamplificador tienen tiempos de decaimiento típicos que varían entre unos pocos nanosegundos y varios microsegundos. Si llegan señales adicionales durante el tiempo de decaimiento, puede ocurrir pile-up a pesar de que el capacitor de retroalimentación del preamplificador se descargue. Para mitigar esto, se utilizan filtros pasa-altos y pasa-bajos, que permiten separar las señales superpuestas y moldear los pulsos de salida en formas más Gaussianas. Además, los filtros ayudan a reducir el ruido blanco que afecta a todas las frecuencias, mejorando así la SNR [1].

Digitalización

De acuerdo a [2], la digitalización de las señales provenientes de un detector es crucial debido a la precisión y flexibilidad que ofrece frente a los métodos analógicos tradicionales. Con el avance de los convertidores analógico-digitales (ADC) de alta velocidad y buena resolución desde los años 90, la posibilidad de procesar digitalmente los pulsos de los detectores se ha consolidado. Las ventajas de este enfoque incluyen una flexibilidad ilimitada en la elección de

parámetros de conformación, mayor estabilidad al eliminar el riesgo de derivas debido a cambios de temperatura o voltaje, y la capacidad de realizar análisis más detallados con múltiples salidas de un mismo detector. Además, la manipulación digital no introduce ruido adicional y permite la implementación precisa de formas de pulso que serían difíciles o imposibles de lograr en circuitos analógicos. Sin embargo, una desventaja potencial es la limitación en la precisión del tiempo de detección, ya que los sistemas digitales están restringidos a la frecuencia de muestreo más cercana, lo que puede ser menos exacto que los métodos analógicos simples en aplicaciones que requieren una temporización muy rápida.

La función principal de un ADC es generar un código digital o número en su salida, que sea proporcional a la tensión analógica suministrada a su entrada. En un ADC genérico, las conversiones se realizan de forma continua a una frecuencia de reloj fija. Por ejemplo, un reloj de 500 MHz producirá 500 MSPS (Megasamples per Second), lo que equivale a una muestra cada 2 ns. En un ADC ideal, cada conversión de voltaje de entrada a código de salida es independiente, perfectamente lineal y ocurre instantáneamente. Sin embargo, las imperfecciones en los ADCs reales limitan tanto la frecuencia máxima de muestreo como la linealidad y la precisión de la conversión.

0.2.3 Sistema de adquisición y procesamiento digital

Si bien existen diversos tipos de hardware programable para el despliegue de sistemas embebidos como los microcontroladores y procesadores, en función de los requerimientos impuestos por un ADC de alta velocidad y la necesidad de contar con una plataforma flexible para la evolución de un sistema de detección experimental, es necesaria la implementación de un dispositivo basado en FPGA. En la figura 3 se ilustra la ubicación típica de la plataforma digital de procesamiento en la cadena de lectura de un detector.

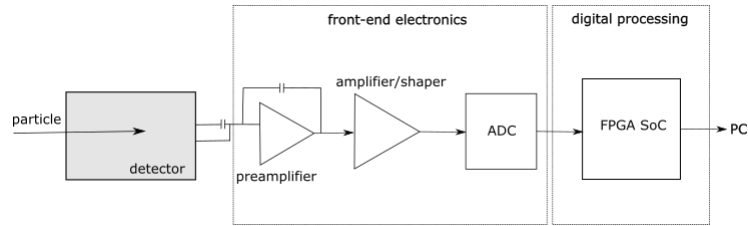


Figure 3: Un esquema de la cadena de electrónica de lectura usualmente utilizado para la lectura de un detector, que ilustra la etapa de adquisición y procesamiento digital a continuación de la etapa de front-end.

FPGA

Una FPGA es un tipo de circuito integrado reconfigurable que permite a los usuarios personalizar su arquitectura interna para realizar tareas específicas, lo que las diferencia de los microprocesadores tradicionales que siguen un conjunto de instrucciones fijas. Estas matrices de puertas programables en campo son ampliamente utilizadas en aplicaciones que requieren procesamiento en paralelo y alta flexibilidad, como en sistemas de telecomunicaciones y procesamiento de señales digitales. La capacidad de ser reprogramadas múltiples veces les otorga una ventaja significativa en términos de adaptabilidad a nuevas necesidades sin requerir cambios físicos en el hardware. Para programar una FPGA, se emplean lenguajes de descripción de hardware (HDL), como VHDL o Verilog, lo que permite definir circuitos personalizados que se cargan directamente en el dispositivo, haciendo que se comporten según el diseño especificado [10].

Este tipo de arquitectura ofrece baja latencia, lo cual es esencial para manejar el alto volumen de datos generados por los ADCs de alta velocidad. Además, su capacidad de procesamiento paralelo permite el manejo eficiente de altas tasas de muestreo, asegurando que los datos provenientes del detector se procesen minimizando la pérdida de información. En particular, las FPGA proporcionan una flexibilidad considerable en el diseño y la implementación de algoritmos de procesamiento de señales, contando con módulos de hardware dedicado a esta tarea llamados DSP (Digital Signal Processor) [8].

FPGA SoC

No obstante, como expone [11], los avances en tecnología FPGA se han direccionado al desarrollo de sistemas híbridos como los SoC. De acuerdo a [12], Un FPGA SoC es un dispositivo que combina en un solo chip la flexibilidad programable de una FPGA, también denominado PL (Programmable Logic), con las capacidades de procesamiento de un procesador o PS (Processing System), típicamente basado en la arquitectura ARM. La figura 4 ilustra la infraestructura típica de un SoC. Esta configuración permite aprovechar lo mejor de ambos mundos: la capacidad de realizar tareas complejas y variables mediante software y, al mismo tiempo, la ejecución de operaciones intensivas en paralelo y en tiempo real mediante la lógica programable de la FPGA. Además, esta integración incluye funcionalidades adicionales como procesamiento digital de señales (DSP), dispositivos de señal mixta, y la posibilidad de reemplazar otros componentes dedicados como los ASICs (Application-Specific Integrated Circuits) o ASSPs (Application-Specific Standard Products), todo en un solo dispositivo, optimizando así el rendimiento y la eficiencia energética para aplicaciones específicas.

En el capítulo System, se desarrolla la aplicación de los conceptos expuestos en este capítulo, en un sistema experimental de lectura y procesamiento para detectores GEM.

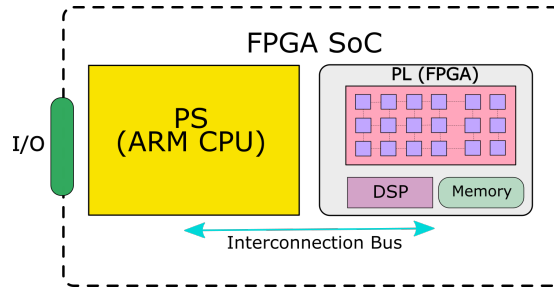


Figure 4: Arquitectura típica de un FPGA SoC. Adaptado de [13]

References

1. Kolanoski, H., and Wermes, N. (2020). Particle Detectors: Fundamentals and Applications. Oxford University Press, USA.
2. Knoll, G F. (2000) Radiation Detection and Measurement, 3rd edition, John Wiley, New York.
3. "Digital Signal Processing: Principles, Algorithms, and Applications" de John G. Proakis y Dimitris K. Manolakis.
4. DC08500 High Performance, Low Power 8-Bit 500 MSPS A/D Converter. Rev. 3. Available online: <https://www.ti.com/lit/ds/symlink/adc08500.pdf> (accessed on 07 August 2024).
5. Crespo, M. L., Foulon, F., Cicuttin, A., Bogovac, M., Onime, C., Sisterna, C., ... and Valinoti, B. (2021). Remote laboratory for e-learning of systems on chip and their applications to nuclear and scientific instrumentation. Electronics, 10(18), 2191.
6. Avnet. (2012). Zedboard: Zynq-7000 ARM/FPGA SoC Development Board. Recuperado de <https://www.zedboard.org/product/zedboard> (accessed on 07 August 2024).
7. <https://gitlab.com/ictp-mlab/smr3765/-/wikis/uploads/d6f86235c15669356a9567b2aa0363c4/image>
8. Meyer-Baese, U. (2020). Digital Signal Processing with Field Programmable Gate Arrays. Springer.
9. Leo, William R. Techniques for Nuclear and Particle Physics Experiments: A How-To Approach. 2nd ed., Springer, 1994.
10. Brown, S., and Vranesic, Z. (2005). Fundamentals of Digital Logic with VHDL Design. McGraw-Hill Education.
11. Bravo-Muñoz, I., Gardel-Vicente, A., and Lázaro-Galilea, J. L. (2020). New Applications and Architectures Based on FPGA/SoC. Electronics, 9(11), 1789.

12. <https://www.amd.com/en/products/adaptive-socs-and-fpgas/soc/zynq-7000.html>
13. Shafiq, F., Yamada, T., Vilchez, A. T., Dasgupta, S. (2017). Automated flow for compressing convolution neural networks for efficient edge-computation with FPGA. arXiv preprint arXiv:1712.06272.