# 东南大学电工电子实验中心 实验报告

# 第 3 次实验

头粒名称:		区基础
院 (系):	网络安全学院	_专 业:
姓 名:	<u>王之畅</u> 学 号:	JS319325
实验室:	实验组别:	
同组人员:	实验时间 <b>:</b>	2020 年 4 月 23 日
评定成绩:	审阅教师:	

# 实验内容:

1、 了解可编程数字系统设计的流程 。

2、 编写四位全加器。

3、 掌握竞争和冒险的基本概念和电路时延分析方法。

# 半加器设计方案

两位输入: A,B

两位输出:本位结果 S,本位向高位的进位 c

## 半加器真值表:

А	В	S	С
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

## 卡诺图

## S:

AIB	0	1
0	0	1
1	1	0

# CO:

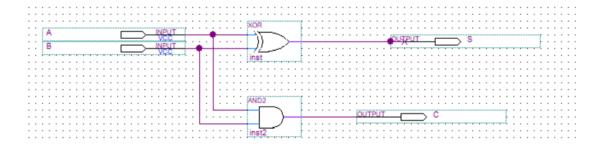
AIB	0	1
0	0	0
1	0	1

# 逻辑表达式

$$S = AB + AB = A \oplus B$$

CO = AB

# 半加器电路图:



# 半加器仿真模拟:

nulation	mode: Functional	l.						
Master	Time Bar:	19.025 ns	◆ ► Pointer:	38	6.78 ns	Interval:	17.76 ns	
	Name	O ps	10.0 ns	20. 0 19. 025 n		30.0 ns	40.0 ns	
<b>№</b> 0	A	0	<u> </u>	1 X	0	<u>x</u>	1	ı
<ul><li>□ 1</li><li>□ 2</li><li>□ 3</li></ul>	B S	0	, X	1		1 X	0	
<b>⊚</b> 3	С							
-								

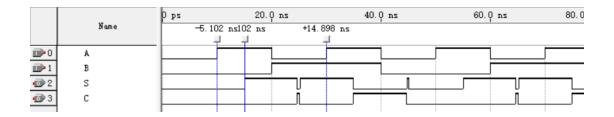
#### 频率设置

End Time: 40ns A 周期: 40ns B 周期: 20ns

# 时延分析

Pr	Input Output RR RF FR FF							
1	А	С	5.041			5.063		
2	А	S	5.102	4.987	5.183	5.145		
3	В	С	4.759			4.747		
4	В	S	4.754	4.656	4.857	4.752		

以 AS 的 RR 为例, 我们发现她延时了 5.102 纳秒, 然后下面的仿真模拟确实也是慢了 5.102 纳秒。



# 一位全加器

# 1. 设计思路

三位输入: 加数 A,B, 低位向本位的进位 Cin 两位输出: 本位结果 S, 本位向高位的进位 Cout

# 2. 真值表

А	В	Cin	S	Cout
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

## 3. 卡诺图

S:

Cin\AB	00	01	11	10
0	0	1	0	1
1	1	0	1	0

## Cout:

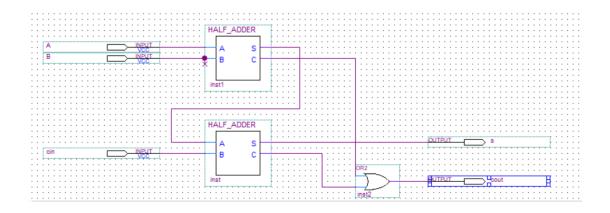
Cin\AB	00	01	11	10
0	0	0	<b>(1</b> )	0
1	0 <	1		

## 4. 逻辑表达式

 $S = ABCin + ABCin + ABCin + ABCin = A \oplus B \oplus Cin$ 

Cout =  $AB + ACin + BCin = AB + ABCin + ABCin = (A \oplus B) Cin + AB$ 

## 一位全加器电路图:



# 全加器仿真模拟:

Master	Time Bar:		13.75 ns	Pointer:	531 ps	Interval:	-13.22 ns	Start		End:
	Nune	Value at 13.75 ns	) ps	10. (	ns 13. 75	5 ns	20. Q ns		30. Q ns	40.0 ns
<b>₽</b> 0	A	A 0								
<u>□</u> 1	В	À 1								
<b>₽</b> 2	Cin	A 0								
<b>⊚</b> 3	Cout	A 0								
€ 4	S	A 1								

#### 频率设置

End Time: 80ns A 周期: 20ns B 周期: 40ns Cin 周期: 80ns

时延分析

Pr	Progagation Delay										
	Input Port	Output Port	RR	RF	FR	FF					
1	Α	Cout	6.172			6.265					
2	Α	S	4.746	4.632	4.849	4.728					
3	В	Cout	9.555			9.821					
4	В	S	8.148	8.071	8.411	8.319					
5	Cin	Cout	6.301			6.417					
6	Cin	S	4.875	4.761	4.950	4.879					

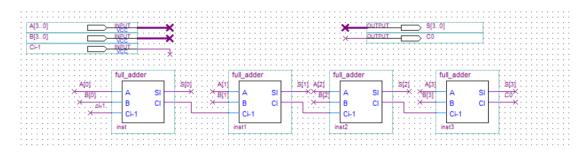
A的 RR 到对应的 S 输出之间的延迟时间

Master Time Bar:		5.0 ns		◆ ▶ Pointer:	12.67 ns	Interval:	7.67 ns		Start:	
	Name	Value at 5.0 ns	O ps	5.0	ns 1	10.0 ns +4.746 ns				
	A	A 1		0	1	X	0	X		1
<b>i</b> 1	В	A 0		0		X		1		
<b>₽</b> 2	Cin	A O								
<b>⊚</b> 3	Cout	A 0								
- 4	S	A O		0		<u></u>	1	$\chi$	0	

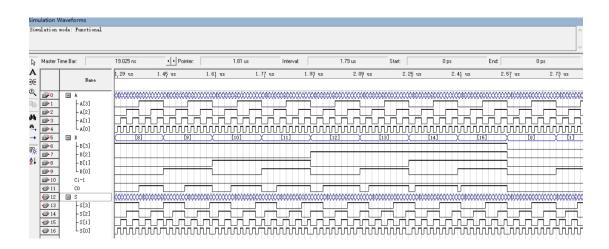
## 四位全加器设计方案:

由一位半加器封装,再变成一位全加器,再变成4位全加器

#### 4位全加器电路图.



# 4 位全加器仿真模拟:



#### 封装为元器件

