

东南大学电工电子实验中心

实 验 报 告

课程名称: 数字逻辑电路实验 C

第 7 次实验

实验名称: 门电路组合逻辑

院（系）： 计算机 专 业： 网络安全专业

姓 名: 王之畅 学 号: js319325

实 验 室: 实验组别:

同组人员: 实验时间: 2020 年 5 月 13 日

评定成绩: 审阅教师:

实验目的：

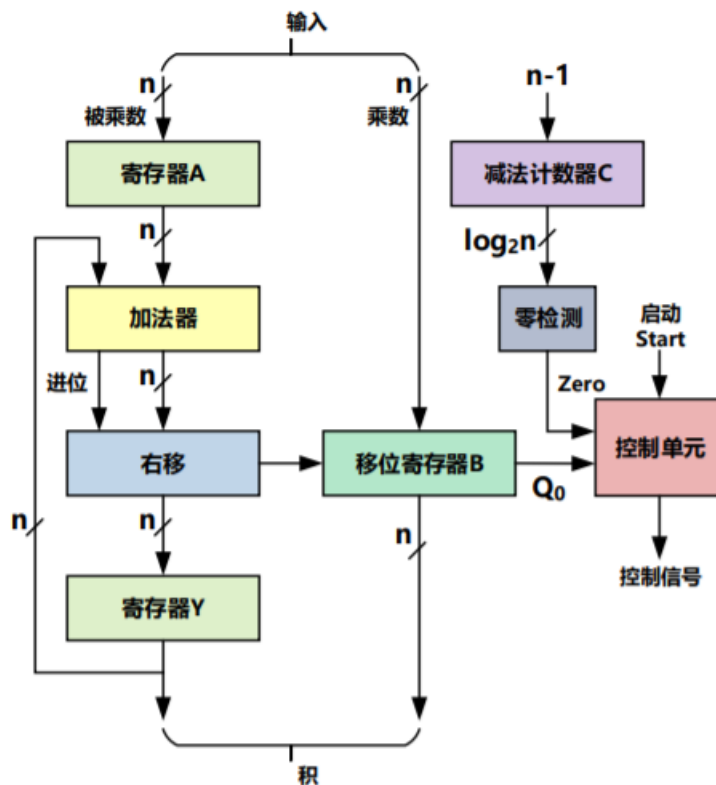
1. 综合前面所学的各项内容
2. 了解掌握数字系统设计的流程和方法
3. 掌握原理图输入方式设计数字系统的方法和流程
4. 掌握复杂电路连接和调试技能
5. 搭建可以运行的 4 位串行乘法器

设计流程：

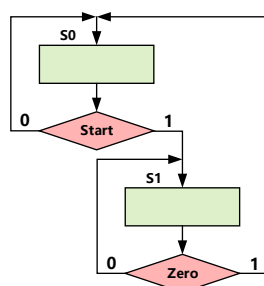
将乘法分为控制单元、数据处理单元、计数单元

控制单元：两个触发器 7474，74139 译码器

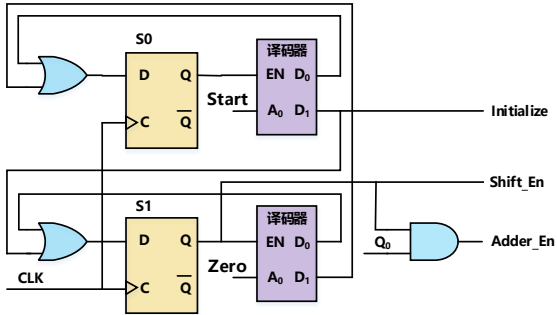
数据处理单元：寄存器 A 使用 74161，寄存器 Y 使用 74161，寄存器 B 使用 74194，全加器使用 74283 计数器使用 74191



控制端：



S0 为初始输入为 1 即 start 开始进行乘法运算，zero 判断是否要停止加数操作，当操作数是 4 位的时候就运行 4 次，然后出 1 回到初始状态。



因为采用 one-hot 编码，所以要求可以在 s0s1=10 进行自启动。就有当输入为 11 的时候，输出 S0S1=10。

Initialize 输出信号用于初始化各种寄存器，该清零的清零，计数器复位到 4。

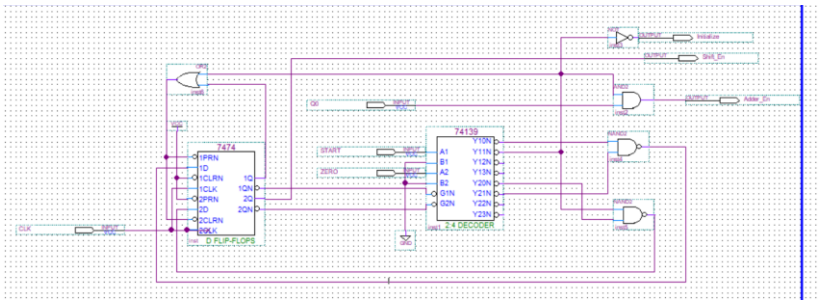
执行端：

序号	累加器					4位寄存器Y				4位移位寄存器B			
	Cout	S3	S2	S1	S0	Y3	Y2	Y1	Y0	B2	B1	B0	
0	0	0	0	0	0	0	0	0	0	1	0	0	1
1	0	1	1	0	1	0	1	1	0	1	1	0	0
2	0	0	1	1	0	0	0	1	1	0	1	1	0
3	0	0	0	1	1	0	0	0	1	1	0	1	1
4	0	1	1	1	0	0	1	1	1	0	1	0	1

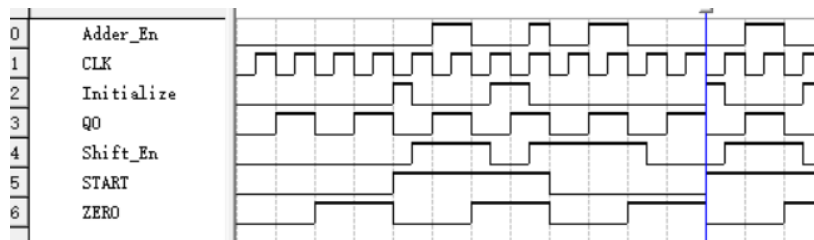
这里是执行的算法，其中 Y,B 为寄存器，随着程序开始执行，YB 由于 initialize 清零，然后 B 读取乘数，乘数的最后一位也就是 B0 决定了要不要与被乘数相乘再加的运算。如果是 1，累加后向右一位，B0 由 B1 替代，重复四次完成计算。

仿真模拟：

控制端（要求自启动）

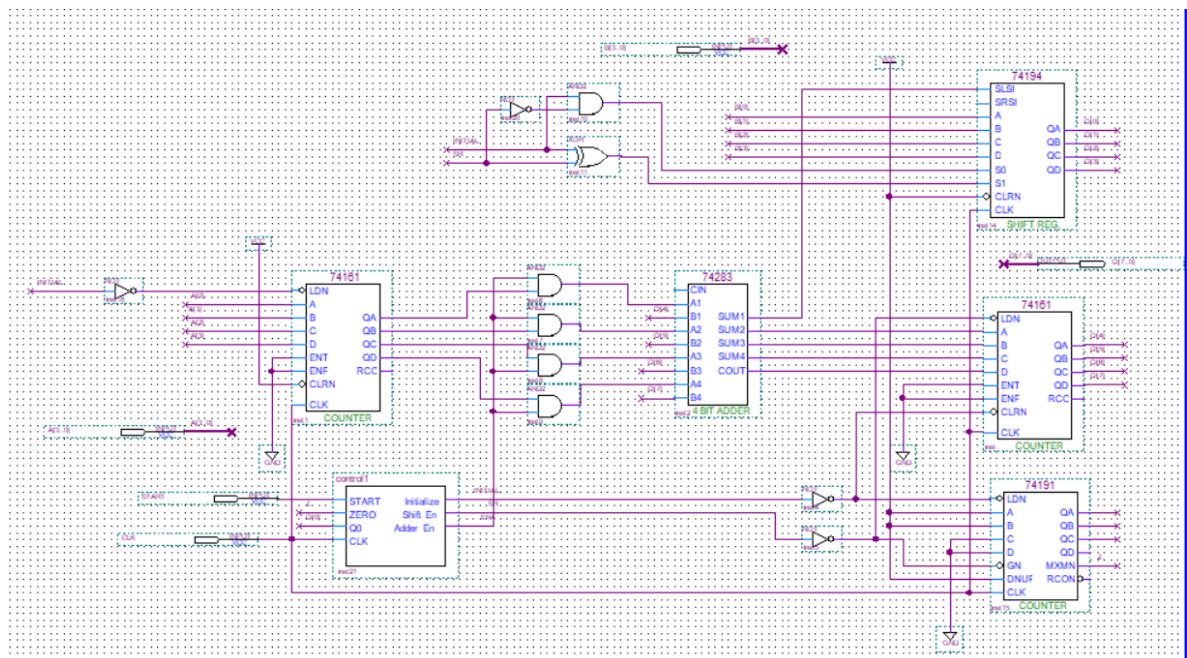


仿真结果：



1. Start 出 1, 上升沿, Initialize 出 1, 初始化成功, 再次 start 的时候 zero 为 0 可以自启动。
2. 在运算周期内 Q0 为一时, adder 为一, 实现累加控制。
3. 在初始化之后, 移位信号一直为 1, 可以实现移位, 并在下一次初始化时重新归零

执行端：



详细讲解：按照流程

1. 首先 74194 与 74161 分别输,1001 与 1101, start=1, zero=0 开始执行。
2. 1001 与 1101 分别被送数, 根据 Q0 的控制信号为 1 (1001 的最后一位), 进入 74283 累加, 1101。
3. Cout 为 0, 1101 往右移一位。1101 的最后一位输给 si, 进行右移。
4. 同时 74191 的减法计数器减一, 当其为 00 时 zero=1, 停止运算。

测试数据集：

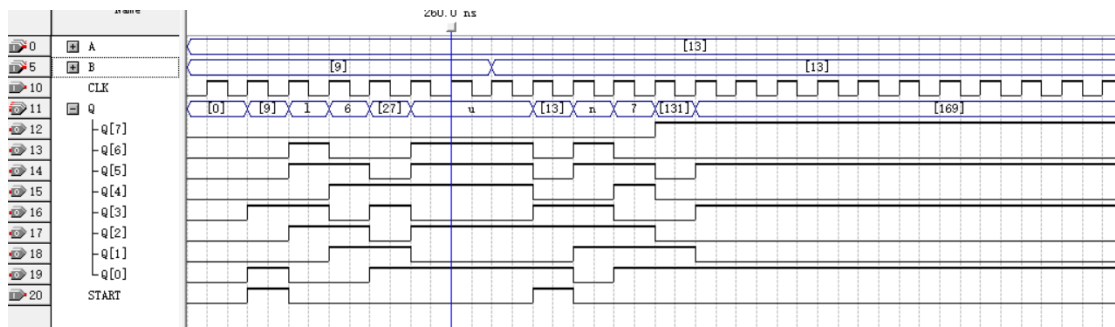
测试用例 1：运行 1101*1001 移位相加过程中没有溢出；

测试用例 2：运行 1101*1101 移位相加过程中有溢出；

测试用例 3：先运行 1101*1001, 再运行 1101*1101

(本次测试直接实现测试三)

仿真模拟：



1. $1101 * 1001 = 91$ (不知道为什么显示的是 u)
2. $1101 * 1101 = 169$
3. 每一步的运算步骤与预计的一致。