

# 东南大学电工电子实验中心

## 实 验 报 告

课程名称： 数字逻辑电路实验 C

### 第 3 次实验

实验名称： 可编程数字逻辑试验基础

院（系）： 网络安全学院 专 业：

姓 名： 王之畅 学 号： JS319325

实 验 室：  实验组别：

同组人员：  实验时间： 2020 年 4 月 23 日

评定成绩：  审阅教师：

实验内容:

- 1、 了解可编程数字系统设计的流程 。
- 2、 编写四位全加器。
- 3、 掌握竞争和冒险的基本概念和电路时延分析方法。

半加器设计方案

两位输入: A,B

两位输出: 本位结果 S, 本位向高位的进位 c

半加器真值表:

A	B	S	C
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

卡诺图

S:

$A \backslash B$	0	1
0	0	1
1	1	0

CO:

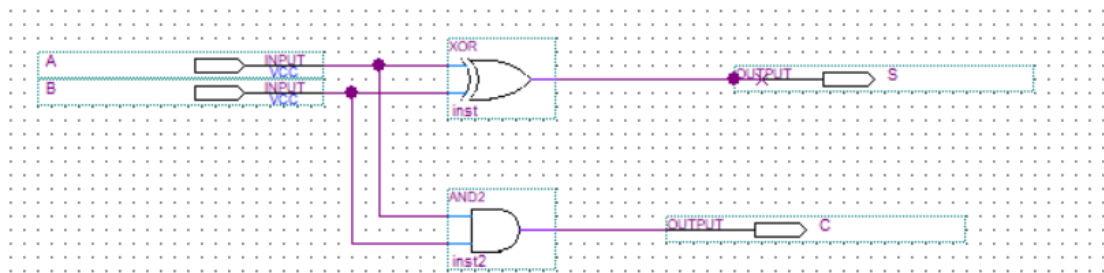
$A \backslash B$	0	1
0	0	0
1	0	1

逻辑表达式

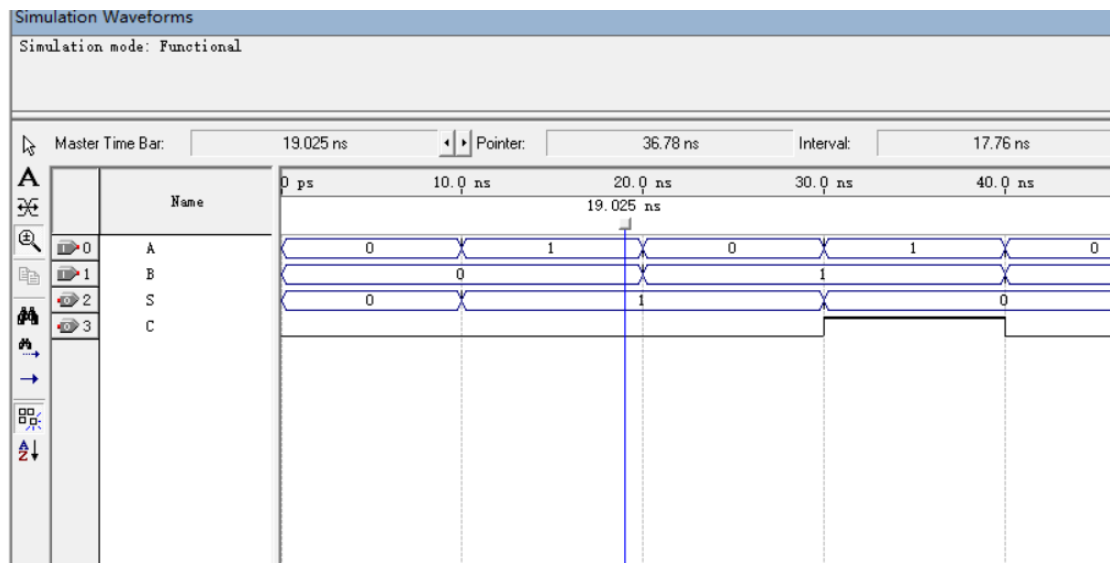
$$S = \overline{A}B + A\overline{B} = A \oplus B$$

$$CO = AB$$

半加器电路图:



半加器仿真模拟:



频率设置

End Time: 40ns

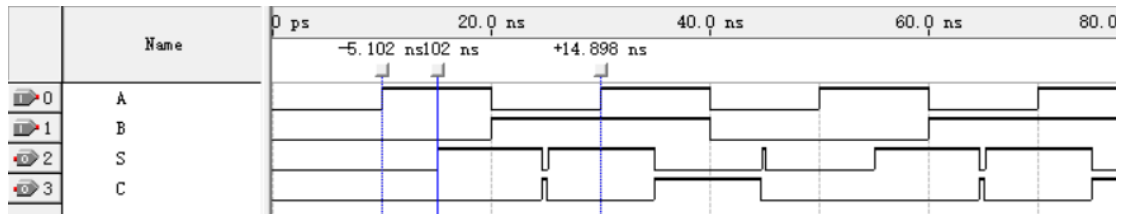
A 周期: 40ns

B 周期: 20ns

时延分析

Proagation Delay						
	Input Port	Output Port	RR	RF	FR	FF
1	A	C	5.041			5.063
2	A	S	5.102	4.987	5.183	5.145
3	B	C	4.759			4.747
4	B	S	4.754	4.656	4.857	4.752

以 AS 的 RR 为例，我们发现她延时了 5.102 纳秒，然后下面的仿真模拟确实也是慢了 5.102 纳秒。



## 一位全加器

### 1. 设计思路

三位输入：加数 A,B, 低位向本位的进位 Cin

两位输出：本位结果 S, 本位向高位的进位 Cout

### 2. 真值表

A	B	Cin	S	Cout
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

### 3. 卡诺图

S:

Cin\AB	00	01	11	10
0	0	1	0	1
1	1	0	1	0

Cout:

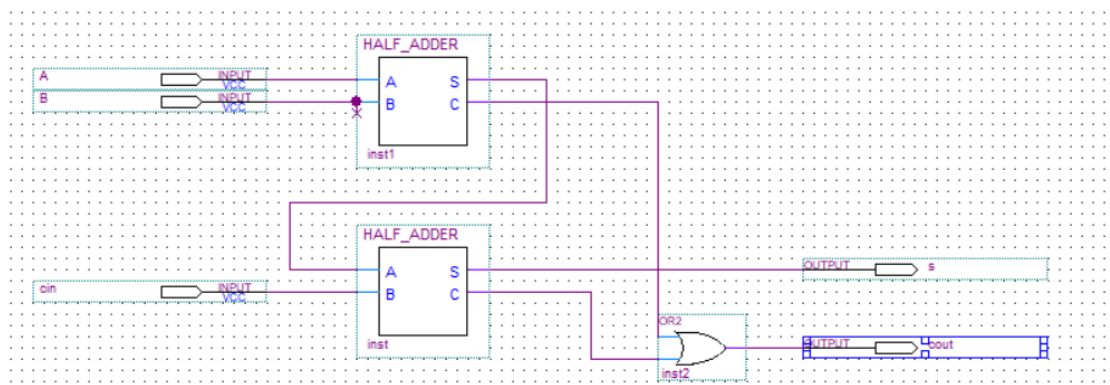
Cin\AB	00	01	11	10
0	0	0	1	0
1	0	1	1	1

### 4. 逻辑表达式

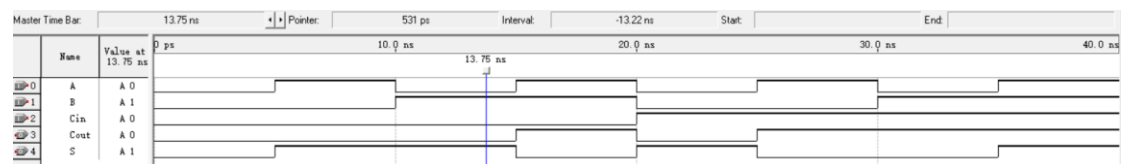
$$S = \overline{A}B\overline{Cin} + \overline{A}B\overline{Cin} + A\overline{B}\overline{Cin} + A\overline{B}\overline{Cin} = A \oplus B \oplus Cin$$

$$Cout = AB + ACin + BCin = AB + \overline{A}B\overline{Cin} + \overline{A}B\overline{Cin} = (A \oplus B) Cin + AB$$

一位全加器电路图:



全加器仿真模拟:



频率设置

End Time: 80ns

A 周期: 20ns

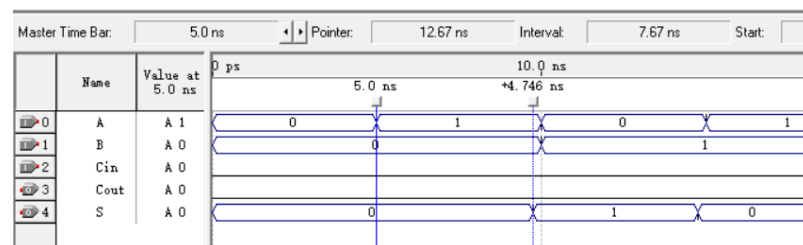
B 周期: 40ns

Cin 周期: 80ns

时延分析

Propagation Delay						
	Input Port	Output Port	RR	RF	FR	FF
1	A	Cout	6.172			6.265
2	A	S	4.746	4.632	4.849	4.728
3	B	Cout	9.555			9.821
4	B	S	8.148	8.071	8.411	8.319
5	Cin	Cout	6.301			6.417
6	Cin	S	4.875	4.761	4.950	4.879

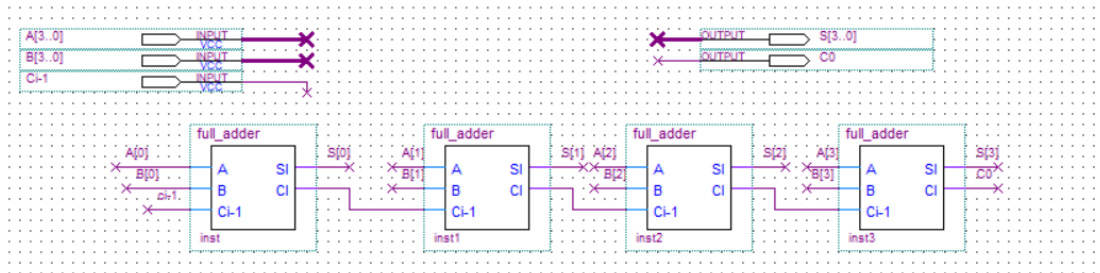
A 的 RR 到对应的 S 输出之间的延迟时间



四位全加器设计方案:

由一位半加器封装, 再变成一位全加器, 再变成 4 位全加器

4 位全加器电路图.



4 位全加器仿真模拟:



封装为元器件

