

# 数字逻辑电路实验

实验五(时序逻辑电路)

#### 一、实验目的

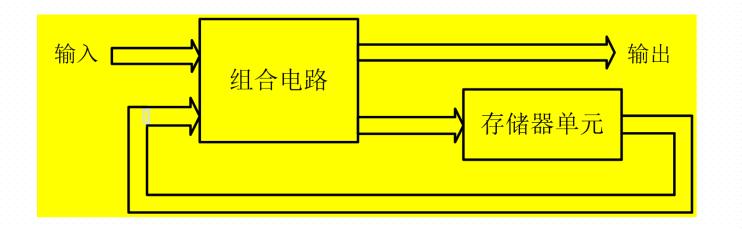


- ◆掌握时序逻辑电路的一般设计过程
- ◆掌握时序逻辑电路的时延分析方法,了解时序电路对时钟信号相关参数的基本要求
- ◆掌握时序逻辑电路的基本调试方法
- ◆熟练使用示波器和逻辑分析仪观察波形图



# 1. 时序电路概述

在任意时刻的输出 信号不仅取决于当时的 输入信号,而且还取决 于电路原来的状态。

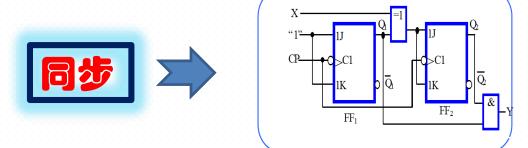


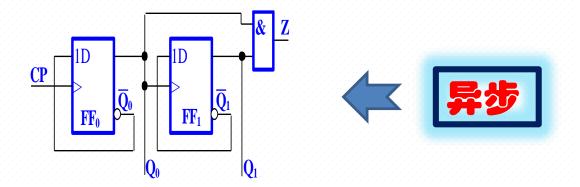
根据触发器动作特点可分为同步时序逻辑电路和异步时序逻辑电路。

在同步时序逻辑电路中,存储电路中所有触发器的时钟使用统一的CLK,状态变化发生在同一时刻,即触发器在时钟脉冲的作用下同时翻转;

而在异步时序逻辑电路中,触发器的翻转不是同时的没有统一的CLK,触发器

状态的变化有先有后。

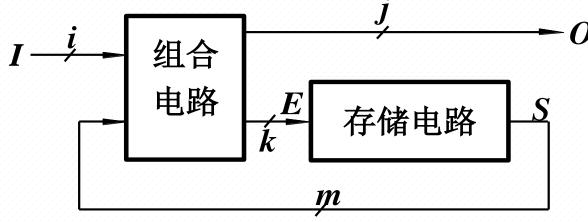




根据输出信号的特点时序逻辑电路可分为米利(Mealy)型和穆尔(Moore)型。 在米利型时序逻辑电路中,输出信号不仅取决于存储电路的状态,而且还取决于输 入变量;在穆尔型时序逻辑电路中,输出信号仅仅取决于存储电路的状态。

#### 東南大學 東南大學 南京 I 1902 南京

# 2. 时序电路的模型及分析



输出方程:  $0=f_1(I,S)$ 

表达输出信号与输入信号、状态变量的关系式

激励方程:  $E=f_2(I, S)$ 

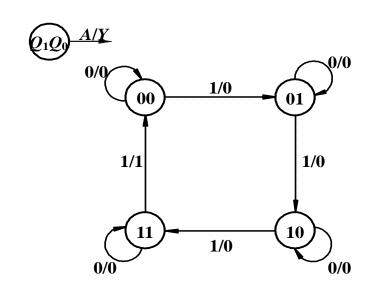
表达了激励信号与输入信号、状态变量的关系式

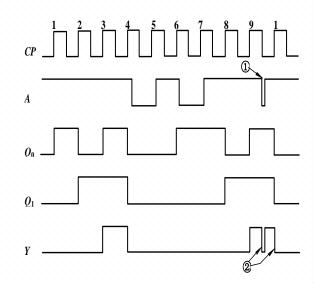
状态方程:  $S^{r+1}=f_3(E, S^r)$ 

表达存储电路从现态到次态的转换关系式

分析时序逻辑电路在输入信号的作用下,其状态和输出信号变化的规律,进而确定电路的逻辑功能。所以,分析过程主要是列出电路状态表或画出状态图、工作波形图。

$Q_1^n Q_0^n$	$Q_1^{n+1}Q_0^n$	<sup>+1</sup> /Y
21 20	A=0	A=1
0 0	00/0	01/0
0 1	01/0	10/0
10	10/0	11/0
11	11/0	00/1



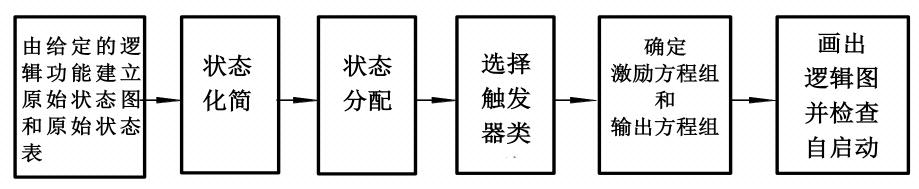


東南大



# 3. 使用触发器设计时序逻辑电路

根据实际逻辑问题的要求,设计出能实现给定逻辑功能的电路。



用触发器、组合函 数器件和门电路设 计一个广告流水灯





本课程主要使用MSI构建 状态机来实现时序逻辑电路的设计

- (1) 根据给定的逻辑功能建立原始状态图和原始状态表;
  - ◆明确电路的输入条件和相应的输出要求,分别确定输入变量和输出变量 的数目和符号。
  - ◆找出所有可能的状态和状态转换之间的关系
  - ◆根据原始状态图建立原始状态表
  - (2) 状态化简一求出最简状态图;

合并等价状态,消去多余状态的过程称为状态化简。等价状态:在相同的输入下有相同的输出,并转换到同一个次态去的两个状态称为等价状态。

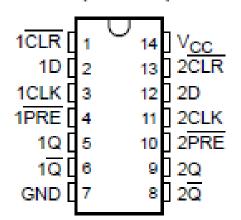
(3) 状态编码(状态分配);

给每个状态赋以二进制代码的过程。根据状态数确定触发器的个数,

 $2^{n-1} < M \le 2^n$  (M: 状态数; n: 触发器的个数)

- (4) 选择触发器的类型
- (5) 求出电路的激励方程和输出方程
- (6) 画出逻辑图并检查自启动能力

#### SN54HC74 . . . J OR W PACKAGE SN74HC74 . . . D, DB, N, NS, OR PW PACKAGE (TOP VIEW)



#### D触发器74HC74

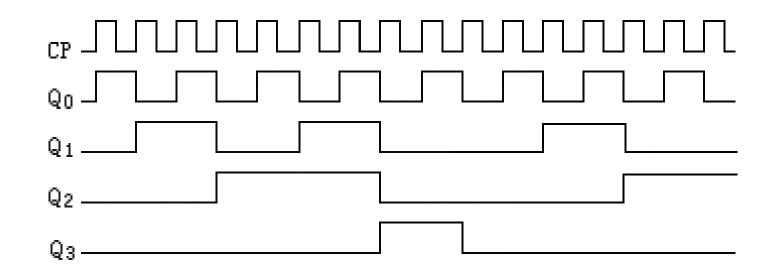
#### TRUTH TABLE

	INP	UTS		ОПТ	PUTS	FUNCTION
CLR	PR	D	СК	Q	Q	FUNCTION
L	Н	X	X	L	Н	CLEAR
Н	L	X	X	Н	L	PRESET
L	L	X	X	Н	Н	
Н	Н	L	7	L	Н	
Н	Н	Н		Н	L	
Н	Н	X	Z	$Q_n$	$\overline{Q}_n$	NO CHANGE

X : Don't Care



#### 例:用D触发器设计模10计数器的时序逻辑电路



 $\pm 2^{n-1} < M \le 2^n$ ,M = 10,n = 4,需要四个触发器

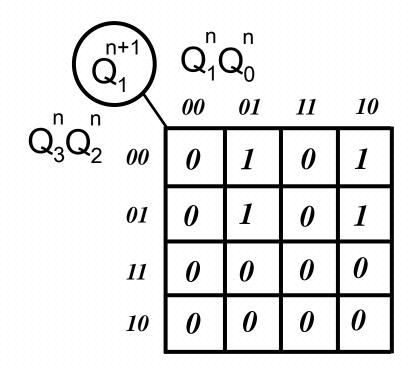


#### S1.列出状态真值表

	现态				次态					
$Q_3^n$	$Q_2^n$	$Q_1^n$	$Q_0^n$	$Q_3^{n+1}$	$Q_2^{n+1}$	$Q_1^{n+1}$	$Q_0^{n+1}$			
0	0	0	0	0	0	0	1			
0	0	0	1	0	0	1	0			
0	0	1	0	0	0	1	1			
0	0	1	1	0	1	0	0			
0	1	0	0	0	1	0	1			
0	1	0	1	0	1	1	0			
0	1	1	0	0	1	1	1			
0	1	1	1	1	0	0	0			
1	0	0	0	1	0	0	1			
1	0	0	1	0	0	0	0			



#### S2.求激励方程、输出方程

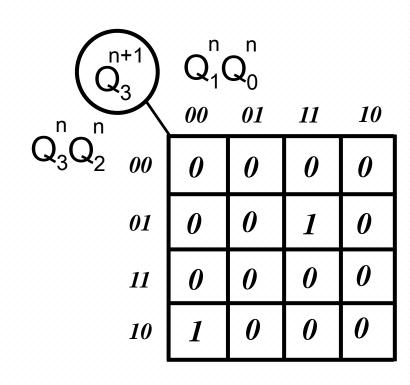


$$Q_1^{n+1} = \overline{Q_3^n} \cdot Q_1^n \oplus Q_0^n$$

(Q	1+1	$Q_1^n$	$Q_0^n$		
n n	4	00	01	11	10
$Q_3Q_2$	00	0	0	1	0
	01	1	1	0	1
	11	0	0	0	0
	10	0	0	0	0

$$Q_2^{n+1} = \overline{Q_3^n} \cdot (Q_2^n \oplus Q_1^n Q_0^n)$$

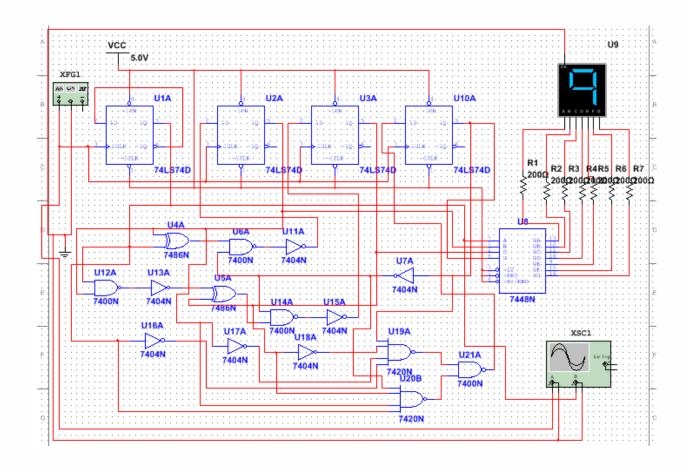




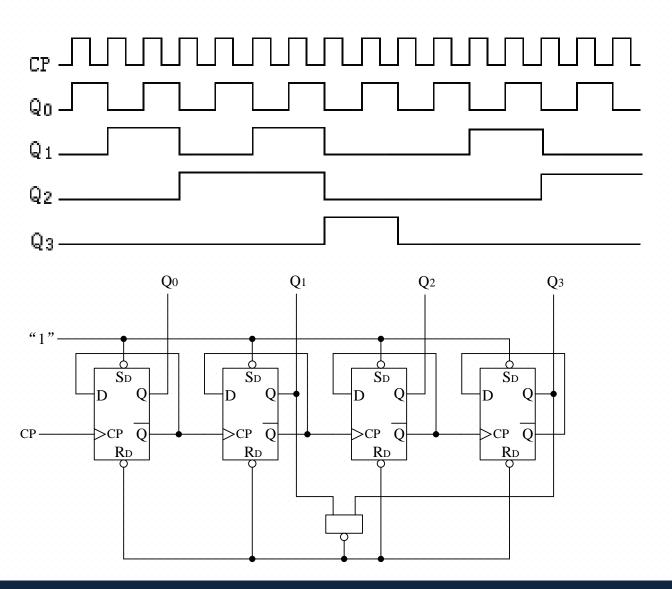
$$Q_3^{n+1} = \overline{Q_3^n Q_2^n Q_1^n Q_0^n} \cdot \overline{Q_3^n Q_2^n Q_1^n Q_0^n}$$



#### S3.画出逻辑电路——Multisim仿真结果-同步时钟



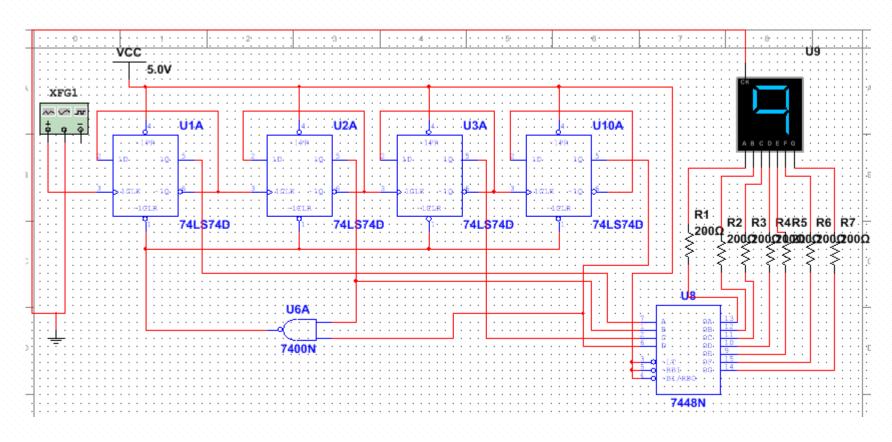




Q1、Q2、Q3都是在 Q0、Q1、Q2的下降沿 触发,由此确定高位 的CP信号



#### S3.画出逻辑电路——Multisim仿真结果-异步时钟



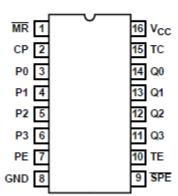
计数到10时清零



# 4. MSI时序器件介绍

#### 4位二进制计数器 74161

CD54HC161, CD54HCT161, CD54HC163, CD54HCT163 (CERDIP) CD74HC161, CD74HCT161, CD74HC163, CD74HCT163 (PDIP, **\$**OIC) TOP VIEW



MR=0时异步清零;

MR=1、SPE=0时同步置数;

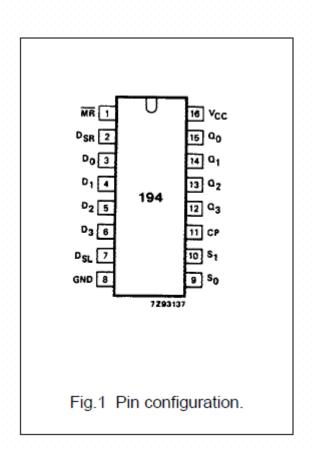
 $\overline{MR} = \overline{SPE} = 1$ 且PE=TE=1时,按照4位二进制码进行同步计数;  $\overline{MR} = \overline{SPE} = 1$ 且PE·TE=0时,计数器状态保持不变。

#### MODE SELECT - FUNCTION TABLE FOR 'HC161 AND 'HCT161

			OUTPUTS					
OPERATING MODE	MR	СР	PE	TE	SPE	P <sub>n</sub>	Q <sub>n</sub>	TC
Reset (Clear)	L	X	X	X	X	X	L	L
Parallel Load	Н	1	X	Х	1	1	L	L
	Н	1	Х	Х	- 1	h	Н	(Note 1)
Count	Н	1	h	h	h (Note 3)	Х	Count	(Note 1)
Inhibit	Н	X	I (Note 2)	X	h (Note 3)	X	q <sub>n</sub>	(Note 1)
	Н	Х	Х	I (Note 2)	h (Note 3)	Х	q <sub>n</sub>	L



#### 双向移位寄存器 74194



MR: 异步清0端, 低电平有效;

 $D_0 \sim D_3$ : 并行置数端;

 $D_{SR}$ 、 $D_{SL}$ : 右移、左移串行输入端;

 $S_1$ 、 $S_0$ :  $S_1S_0=00$ 保持;  $S_1S_0=01$ 右移;

 $S_1S_0=10$ 左移;  $S_1S_0=11$ 置数

#### **FUNCTION TABLE**

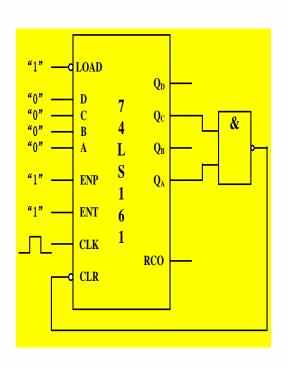
OPERATING MODES				INPUTS					OUTPUTS			
OFERATING MODES	СР	MR	S <sub>1</sub>	S <sub>0</sub>	$D_{SR}$	$D_{SL}$	D <sub>n</sub>	$Q_0$	Q <sub>1</sub>	Q <sub>2</sub>	$Q_3$	
reset (clear)	X	L	X	X	X	X	X	L	L	L	L	
hold ("do nothing")	X	Н	-	I	X	X	X	$q_0$	q <sub>1</sub>	q <sub>2</sub>	q <sub>3</sub>	
shift left	<b>↑</b>	H H	h h	I	X	l h	X	q <sub>1</sub> q <sub>1</sub>	q <sub>2</sub> q <sub>2</sub>	q <sub>3</sub> q <sub>3</sub>	L H	
shift right	<b>↑</b>	H H	 	h h	l h	X	X	L H	q <sub>0</sub>	q <sub>1</sub> q <sub>1</sub>	q <sub>2</sub> q <sub>2</sub>	
parallel load	1	Н	h	h	X	X	d <sub>n</sub>	d <sub>0</sub>	d <sub>1</sub>	d <sub>2</sub>	d <sub>3</sub>	

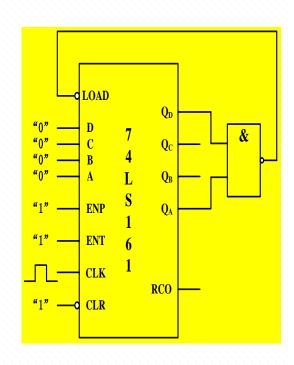


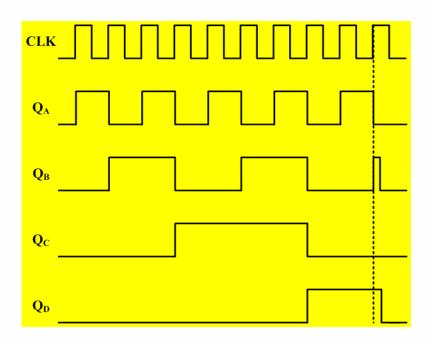
# 5. 电路设计

① 计数器

常用的通过已有的二进制或十进制计数器构成N进制计数器的方法有同步置数、异步清零等方法





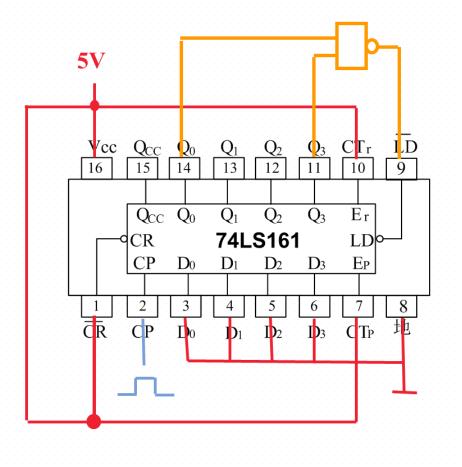


2020/5/25



# 同步置数方式设计模10计数器:

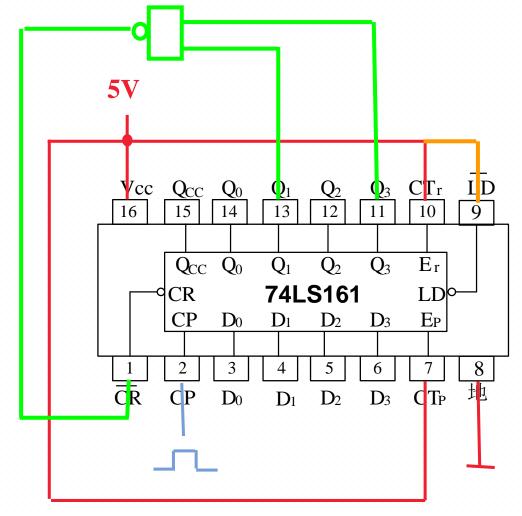
	Q3	Q2	Q1	Q0
0	0	0	0	0
1	0	0	0	1:::::
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0,000
7	0	1	1	1
8	1	0	0	0,000
9	1	0	0	1
а	1	0	1	0
b	1	0	1	1
c	1	1	0	0
d	1	1	0	1
е	1	1	1	0
f	1	1	1	1

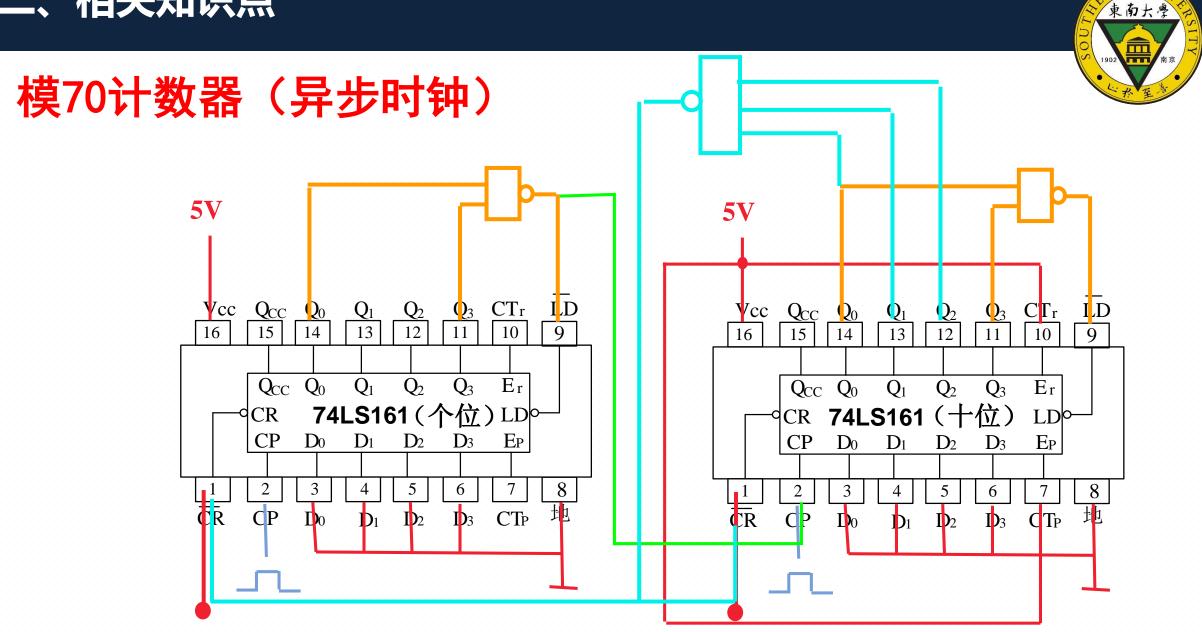


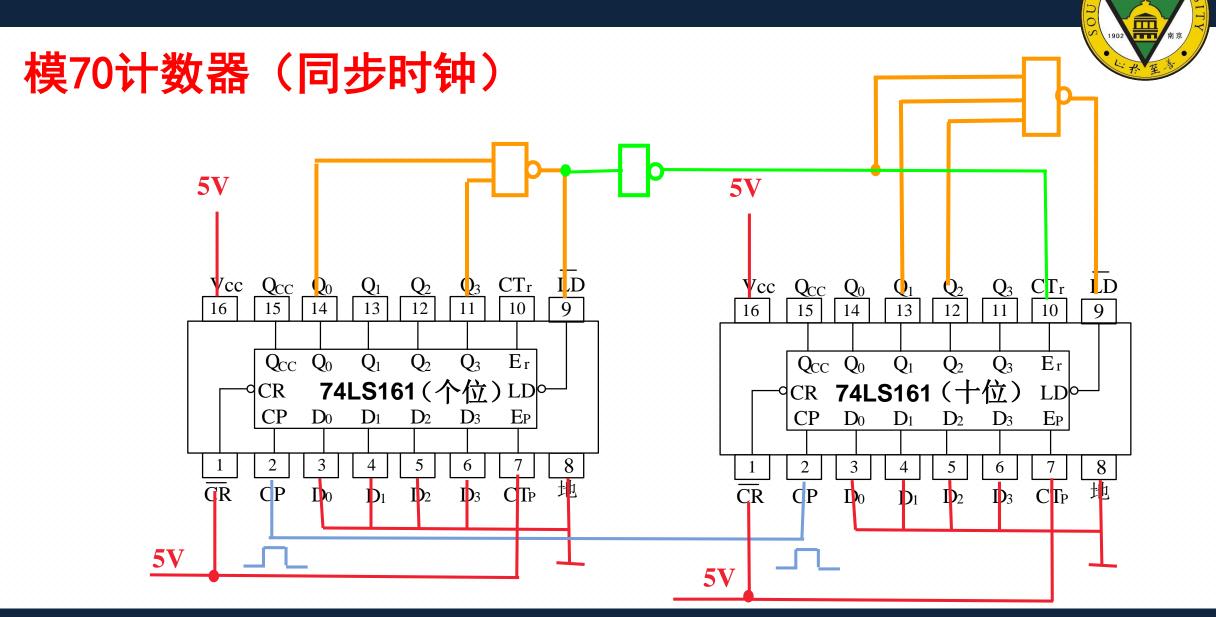


# 异步清零方式设计模10计数器:

	Q3	Q2	Q1	Q0	
0	0	0	0	0	
1	0	0	0	1	
2	0	0,000	1	0	
3	0	0	1	1	
4	0	1	0	0	
5	0	1	0	1	
6	0	1	1	0	
7	0	1	1	1	
8	1		0	0	
9	1	0	0	1	
a	1	0,000	1	0,000	
b	1	0	1	1	
C	1	1	0	0	
d	1	1	0	1	
e	1	1	1	0	
f	1	1	1	1	
	1 2 3 4 5 6 7 8 9 a b c d e	0  0    1  0    2  0    3  0    4  0    5  0    6  0    7  0    8  1    9  1    a  1    b  1    c  1    d  1    e  1	0  0  0    1  0  0    2  0  0    3  0  0    4  0  1    5  0  1    6  0  1    7  0  1    8  1  0    9  1  0    a  1  0    b  1  0    c  1  1    d  1  1    e  1  1	0  0  0  0    1  0  0  0    2  0  0  1    3  0  0  1    4  0  1  0    5  0  1  0    6  0  1  1    7  0  1  1    8  1  0  0    9  1  0  0    9  1  0  0    a  1  0  1    b  1  0  1    c  1  1  0    d  1  1  0    e  1  1  1	0  0  0  0  0    1  0  0  0  1    2  0  0  1  0    3  0  0  1  1    4  0  1  0  0    5  0  1  0  1    6  0  1  1  0    7  0  1  1  1    8  1  0  0  0    9  1  0  0  0    9  1  0  1  0    a  1  0  1  1    c  1  1  0  0    d  1  1  0  0    d  1  1  0  1    e  1  1  1  0





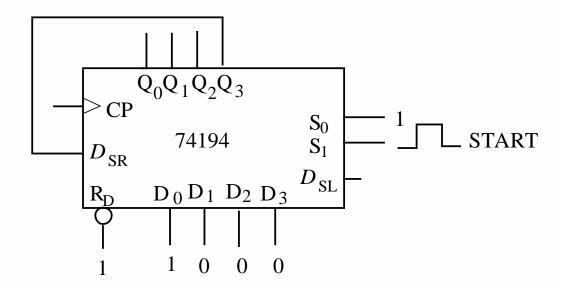


東南大學

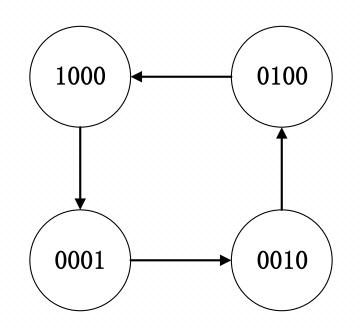


# 环形计数器

该计数器共4个状态,为模4计数器。



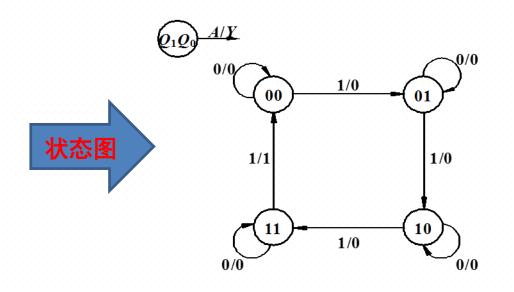
S1S0=01,循环右移,低位向高位移动

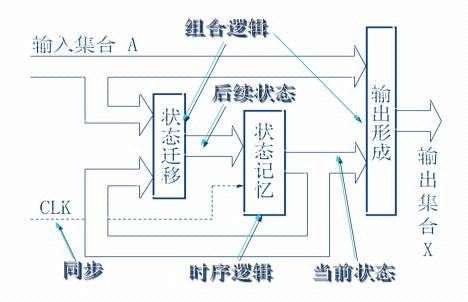




# ②有限状态机

有限状态机(简称状态机)相当于一个控制器,它将一项功能的完成分解为若干步,每一步对应于二进制的一个状态,通过预先设计的顺序在各状态之间进行转换,状态转换的过程就是实现逻辑功能的过程。

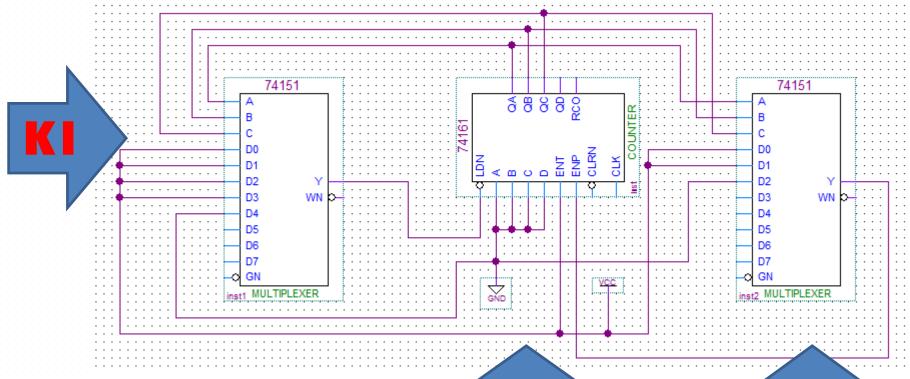








# 可变模计数器构成有限状态机 (74161为例)



K1: 末位变模

K2: 起始位变模

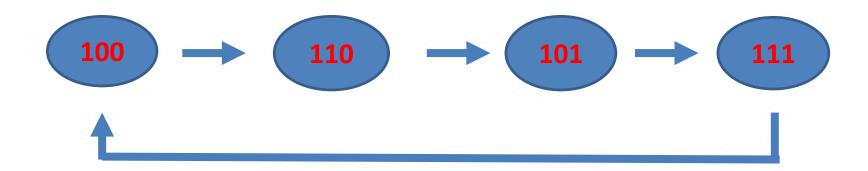
K3: 保持



逆序(异或)?







Q2	Q1	Q0	D2	D1	D0
1	0	0	1	1	0
1	1	0	1	0	1
1	0	1	1	1	1
1	1	1	1	0	0

# 置数

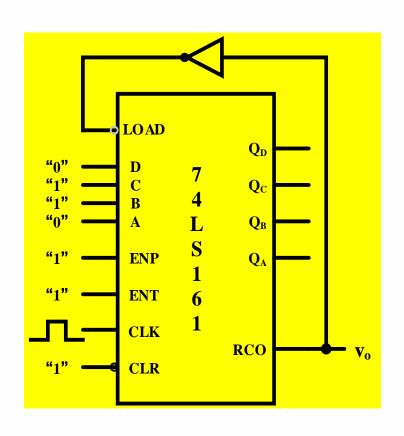
$$D_0 = \bar{Q}_1 Q_0 + Q_1 \bar{Q}_0$$

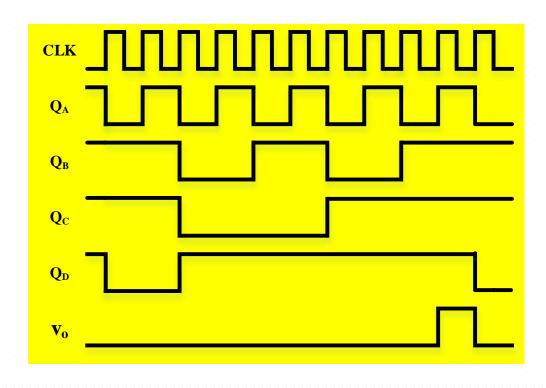
$$D_1 = Q_2 Q_1$$

$$D_2 = 1$$



# ③ 分频器





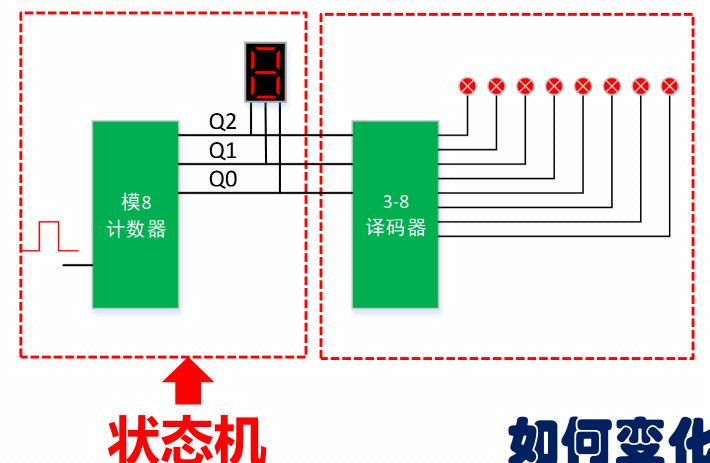
$$f_{Q_0} = \frac{1}{2} f_{CP}$$
  $f_{Q_1} = \frac{1}{4} f_{CP}$   $f_{Q_2} = \frac{1}{8} f_{CP}$   $f_{Q_3} = \frac{1}{16} f_{CP}$ 

74194如何实现分频器?



# 广告流水灯

8盏灯始终一暗 七亮,且这一个 暗灯循环右移



如何变化?

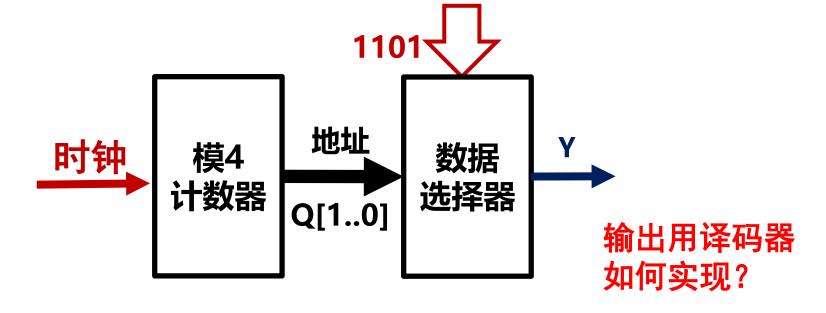


# 序列发生器

在数字信号的传输和数字系统的测试中,有时需要用到一组特定的<mark>串行</mark>数字信号, 通常把这种串行数字信号叫做序列信号。

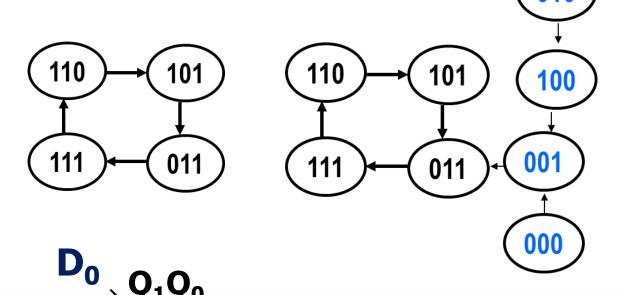
能够循环地产生序列信号的电路称为序列信号发生器。

Q1	Q0	Υ
0	0	1
0	1	1
1	0	0
1	1	1





0



01 11 10

0

0

1

	<b>以</b>	态	新		<u>态_</u>		
$\mathbf{Q}_{2}$	$Q_1$	$Q_0$	<b>Q</b> <sub>2</sub> *	$\mathbf{Q_1}^*$	$\mathbf{Q_0}^*$	D <sub>0</sub> =	$=\mathbf{Q_0}^*$
1	1	0	1	. 0	1	1	
1	0	1	0	1	1	1	
0	1	1	1	. 1	1	1	
1	1	1	1	. 1	0	0	

Q2输出的序列即为1101

$$SR=D_0=\sum_{Q2Q1Q0}(0,1,3,5,6)$$

東南大學

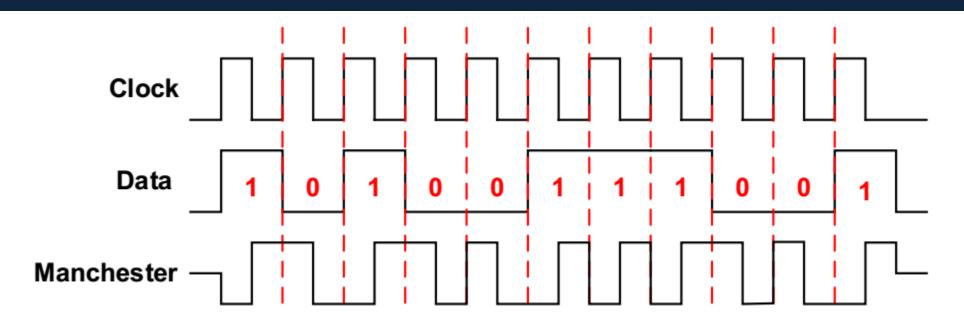


# 4位并入串幽曼彻斯特编码电路

曼彻斯特码是一种数据通讯线性码,它的每一个数据比特都是由至少一次电压转换的形式所表示的。曼彻斯特编码因此被认为是一种自定时码。自定时意味着数据流的精确同步是可行的。每一个比特都准确的在一预先定义的时间中被传送。

曼彻斯特码在LAN中的应用,曼彻斯特编码是串行数据传输的一种重要的编码方式。曼彻斯特编码最大的优点是:数据和同步时钟统一编码,曼码中含有丰富的时钟信号,直流分量基本为零,接收器能够较容易恢复同步时钟,并同步解调出数据,具有很好的抗干扰性能,这使它更适合于信道传输。 IEEE802.4令牌总线标准采用了此种传输技术。

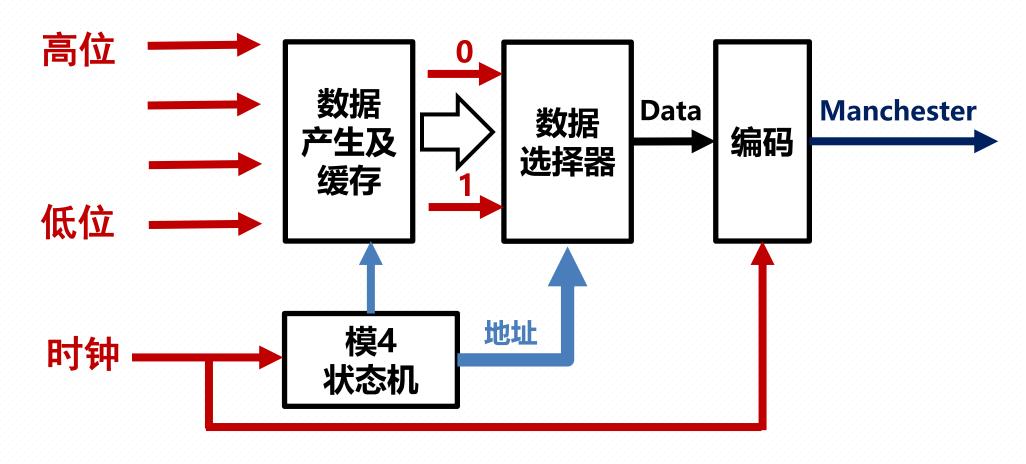




曼彻斯特编码用电压的变化来分辨 0 和 1,从高电平到低电平的跳变代表 0,而从低电平到高电平的跳变代表 1。信号的保持不会超过一个比特位的时间间隔。即使是 0 或 1 的序列,信号也将在每个时间间隔的中间发生跳变。这种跳变将允许接收设备的时钟与发送设备的时钟保持一致,上图为曼切斯特编码的举例。



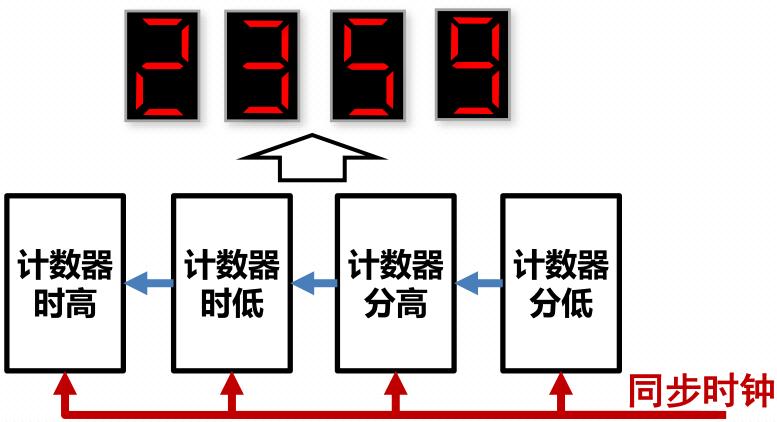
# 系统实现框图





# 简易数字钟

同步时钟,使用PE/TE 控制高位信号的启停, 再使用同步置数的方式 完成清零。





# 6. 时序电路调试方法

#### 静态调试

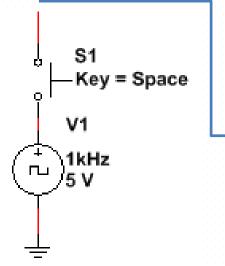
- 把电路的各输入端分别接到逻辑电平开关上,根据电路的要求,通过逻辑电平开关给输入信号置相应的电平
- 把经过消抖处理的手动单次脉冲发生器输出端连接到电路的时钟脉冲输入端
- 把输入端、时钟端、输出端和一些关键节点如各触发器的输出端等接至发光二极管或数码管上,连接时注意输出信号高、低位的排列顺序。

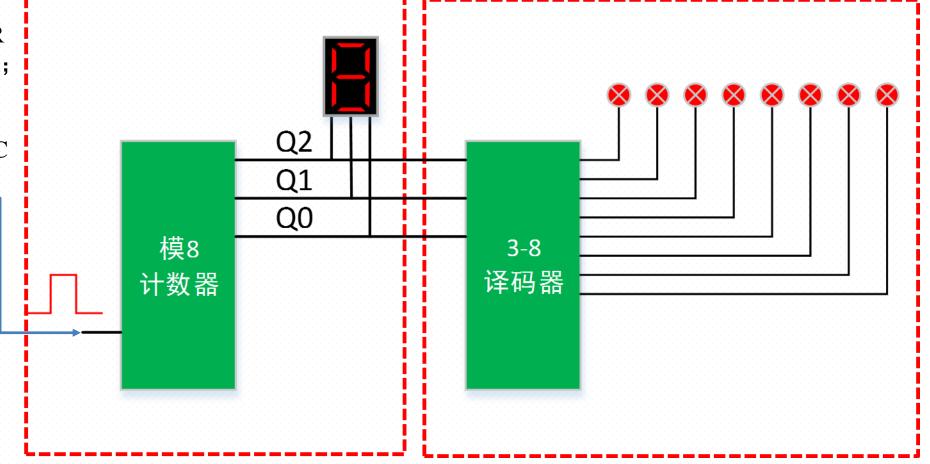
- 首先调试控制电路部分,保证计数器、分频器、序列发生器等控制信号产生 电路能正常工作。根据电路的要求,依次按动逻辑电平开关和手动单次脉冲 按钮,观察输入、输出状态的变化和转换情况是否符合状态转换表的规定。
- 然后调整数据处理电路,如各种寄存器、计数器、累加器、编码、译码器等。
- 如电路存在故障,则把电路固定在某一故障状态,逐级进行检查,找出故障点。特别要注意检查电路中时序功能件如集成触发器、计数器等的使能端、清零端、置位端是否按要求接好。可单独测试其复位、置位和翻转功能,直至找到故障为止。
- 如各单元电路工作正常,则相互连接,进行整体调试,调试方法和单元电路基本相同。



#### 流水灯静态调试

- 时钟信号源: Sources ->
  SIGNAL\_VOLTAGE\_SOUR
  CES -> CLOCK\_VOLTAGE;
- 复位开关:
  Electro\_Mechanical ->
  SUPPLEMENTARY\_SWITC
  HES -> PB\_NO







#### 动态调试

- 把时序脉冲发生器输出的连续周期性脉冲信号接到时序逻辑电路的时钟输入端, 同时将电路中的特定节点接到系统的显示部分作辅助检测电路;
- 给电路的时钟输入端加一周期性的连续时钟信号(1KHz),并从需观察的所有波形中选择一个频率变化最慢、最有特征的波形作为参考波形将该参考波形固定地送至双踪示波器CH1通道,时钟信号送到CH2通道。例如,用示波器观测一个十进制加法计数器的CP及输出端 $Q_0$ 、 $Q_1$ 、 $Q_2$ 、 $Q_3$ 的波形图。根据参考波形的选择原则,可以选择 $Q_2$ 或 $Q_3$ 作为参考波形;
- 保持CH1通道的参考波形不变,将电路的其他输出端依次接到CH2通道,分别观察各输出端信号与参考波形之间的关系,得到对应的波形图。这样观察的波形能正确反映彼此之间的相位关系;
- 对记录下来的波形进行分析,判断被测电路功能是否正确;

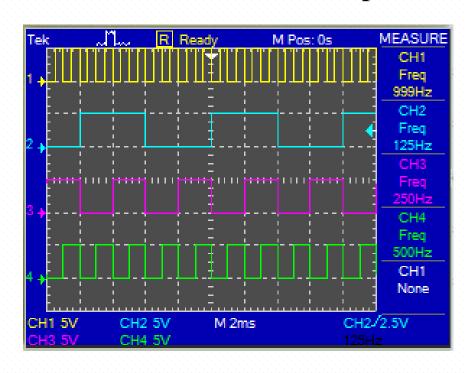


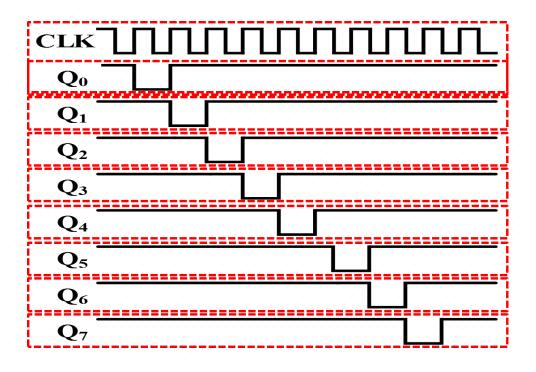
● 对于一些较难在示波器上观察清楚的信号,可以采用分组的方式进行观察。 以数字钟上用到的60进制BCD计数器为例,由于一个完整周期的周期数比较 多,很难直接在示波器上清楚观察,考虑到高位计数器的每个周期中都包含 了低位上10进制,因此可将其分为模10和模6两组进行观察。第一组包括输入 时钟、低位模10计数器的4位BCD输出Q<sub>3</sub>Q<sub>2</sub>Q<sub>1</sub>Q<sub>0</sub>;第二组包括低位模10计数器 的进位信号、高位模6计数器的3位BCD输出Q<sub>2</sub>Q<sub>1</sub>Q<sub>0</sub>。



#### 流水灯动态调试

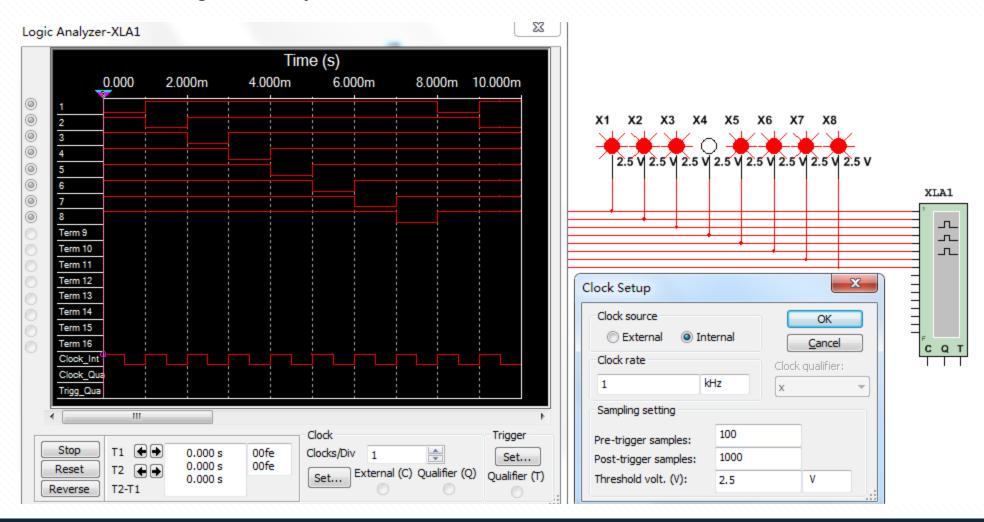
● 示波器 Tektronix oscilloscope







● 逻辑分析仪 Logic Analyzer





#### 1. 广告流水灯(第14周课内验收)

用触发器、组合函数器件和门电路设计一个广告流水灯,该流水灯由8个LED组成,工作时始终为1暗7亮,且这一个暗灯循环右移。

- (1) 写出设计过程, 画出设计的逻辑电路图, 按图搭接电路
- (2)将单脉冲加到系统时钟端,静态验证实验电路
- (3)用Multisim中Agilent 函数发生器产生TTL连续脉冲信号加到系统时钟端,用Tektronix示波器观察并记录时钟脉冲CP、触发器的输出端Q2、Q1、Q0和8个LED上的波形。
- (4)用Multisim中的逻辑分析仪观察并记录时钟脉冲CP、触发器的输出端Q2、Q1、Q0和8个LED上的波形(**选做**)



#### 2. 序列发生器(第15周课内实物验收)

分别用MSI计数器和移位寄存器各设计一个具有自启动功能的01011序列信号发生器。

- (1) 写出设计过程, 画出电路逻辑图
- (2) 搭接电路,并用单脉冲静态验证实验结果
- (3) 用Multisim中Agilent 函数发生器产生TTL连续脉冲,用Tektronix示波器观察观察并记录时钟脉冲CLK、序列输出端的波形。

# 3.4位并入串出曼切斯特编码电路(第16周课内验收,基础要求占70%,扩展要求占30%)

设计一个电路,它能自动加载4位并行数据,并将这4位数据逐个串行输出(高位在前),每个串行输出位都被编码成曼切斯特码,当4位数据全部传输完成后,重新加载新数据,继续传输,如下图所示:

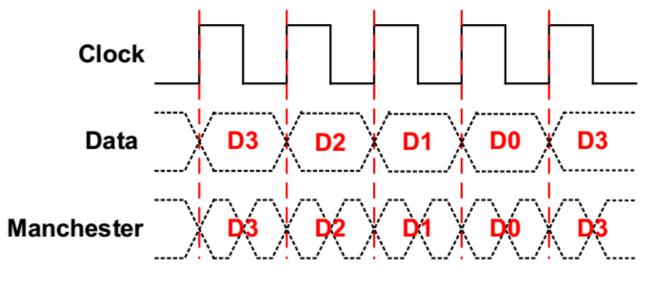
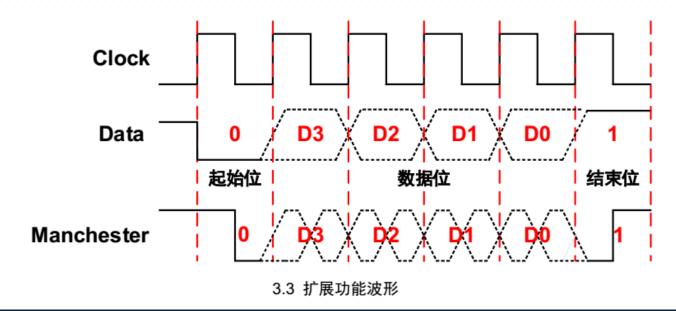


图 3.2 基础部分波形

- (1) 写出设计过程,画出电路逻辑图,设计不允许手动加载数据。
- (2) 加入TTL连续脉冲,用示波器观察观察并记录时钟脉冲CLK、串行数据输出端的波形。
- (3) 给串行数据增加起始位和结束位,其中起始位为"0",结束位为"1", 起始和结束位同样要编码成曼切斯特码,波形图参看图3.3(扩展部分,选作)



東南大



### 4. 简易数字钟 (第17周课内验收,基础要求占70%,扩展要求占30%)

#### 基础:

设计一个只有小时和分钟功能的简易数字钟,4位数码管用于显示,高2位显示小时 (0~23),低2位显示"分钟"(0~59)。

- (1) 设计电路, 电路要求采用同步计数器设计
- (2) 搭试电路,验证电路结果。
- (3) 用Multisim中Agilent 函数发生器产生TTL连续脉冲,用Tektronix示波器观察并记录"分钟"计数电路中的时钟脉冲及计数器的各输出波形
- (4) 用Multisim中Agilent 函数发生器产生TTL连续脉冲,用Tektronix示波器观察并记录"小时"计数电路中的时钟脉冲及计数器的各输出波形

#### 扩展:

增加手动校时和校分功能,通过按动按键,实现校时和校分

#### 四、实验要求



- 预习要求:
  - 1、广告流水灯和序列发生器的设计方案、原理图(第14周)
  - 2、序列发生器设计方案、原理图、搭接(第15周)
  - 3、4位并行输入-串行输出曼切斯特编码设计方案、原理图和电路搭接(第16周)
  - 4、简易数字钟设计方案、原理图和电路搭接(第17周)
- 实验时间:第14—17周
- 报告提交:第18周

# 五、实验验收表



<u> </u>				东南	大学2	2019-2	2020学	年第3	学期"	'数字记	罗辑电	路C"	实验平时证	分册	(实验	六)				
		伯	[课教师	:	上课班号:					上课安排: 电工电子中心(金智楼南楼)										
序号	学号	姓名	流水灯			序列发生器			曼切斯特码			特码				简易数字钟				
			预习	预搭	验收	预习	预搭	验收	预习	预搭	验收		3Z 73	3Z.# <del>2</del>	验收			报告	总计	
											基础	提高	实验规范性	预习	预搭	基础	提高	实验规范性		