**东南大学电工电子实验中心**

**实 验 报 告**

**课程名称： 数字逻辑电路实验C**

**第 3 次实验**

**实验名称： 可编程数字逻辑试验基础**

**院 （系）： 网络安全学院 专 业：**

**姓 名： 王之畅 学 号： JS319325**

**实 验 室: 实验组别：**

**同组人员： 实验时间：2020年4月23日**

**评定成绩： 审阅教师：**

实验内容:

1、 了解可编程数字系统设计的流程 。

2、 编写四位全加器。

3、 掌握竞争和冒险的基本概念和电路时延分析方法。

半加器设计方案

两位输入：A,B

两位输出：本位结果S，本位向高位的进位c

半加器真值表：

|  |  |  |  |
| --- | --- | --- | --- |
| A | B | S | C |
| 0 | 0 | 0 | 0 |
| 0 | 1 | 1 | 0 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 1 |

卡诺图

S：

|  |  |  |
| --- | --- | --- |
| *A\B* | *0* | *1* |
| *0* | **0** | **1** |
| *1* | **1** | **0** |

CO：

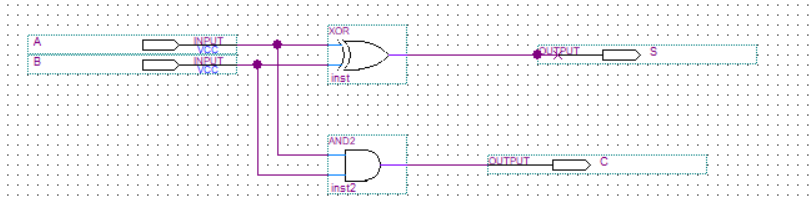
|  |  |  |
| --- | --- | --- |
| *A\B* | *0* | *1* |
| *0* | **0** | **0** |
| *1* | **0** | **1** |

逻辑表达式

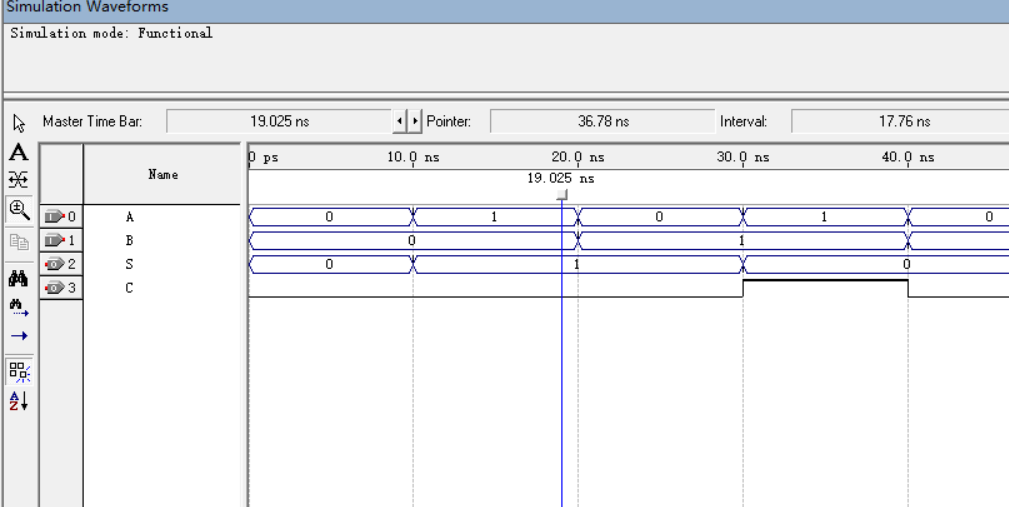
**S = B + A = A⊕B**

**CO = AB**

半加器电路图:



半加器仿真模拟:



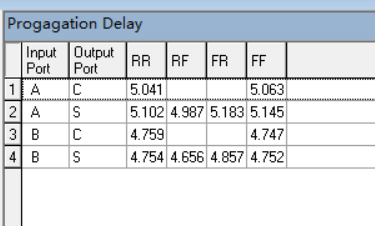
*频率设置*

*End Time: 40ns*

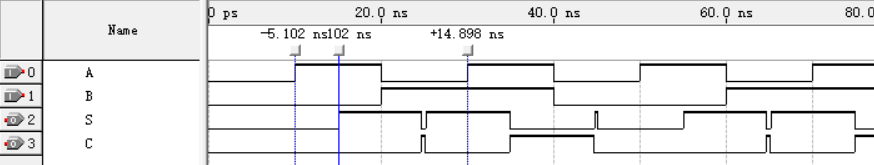
*A周期：40ns*

*B周期：20ns*

时延分析



以AS的RR为例，我们发现她延时了5.102纳秒，然后下面的仿真模拟确实也是慢了5.102纳秒。



一位全加器

1. 设计思路

三位输入：加数A,B, 低位向本位的进位Cin

两位输出：本位结果S，本位向高位的进位Cout

1. 真值表

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| A | B | Cin | S | Cout |
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 1 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 1 |
| 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 |

1. 卡诺图

S：

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| *Cin\AB* | *00* | *01* | *11* | *10* |
| *0* | **0** | **1** | **0** | **1** |
| *1* | **1** | **0** | **1** | **0** |

Cout：

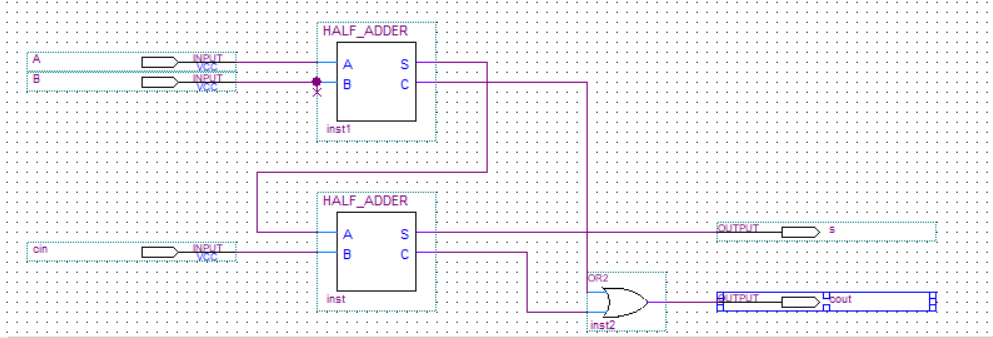
|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| *Cin\AB* | *00* | *01* | *11* | *10* |
| *0* | **0** | **0** | **1** | **0** |
| *1* | **0** | **1** | **1** | **1** |

1. 逻辑表达式

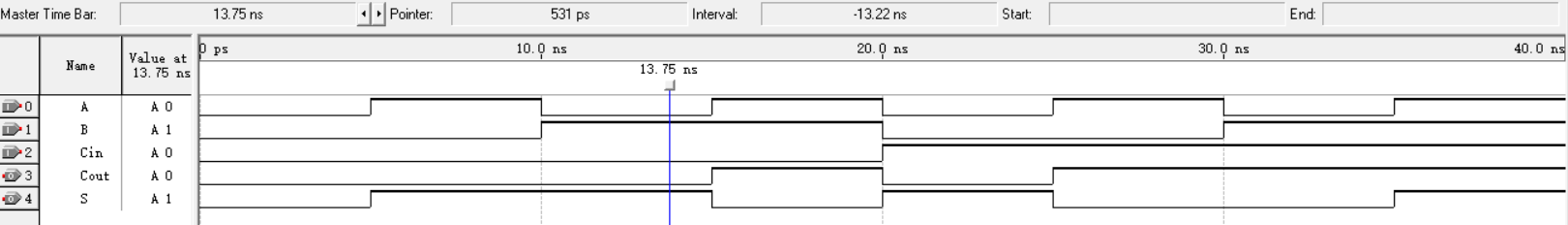
**S = Cin + Bin + Ain + ABCin = A⊕B⊕Cin**

**Cout = AB + ACin + BCin = AB + BCin + ACin = （A⊕B）Cin + AB**

一位全加器电路图:



全加器仿真模拟:



*频率设置*

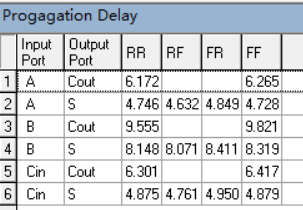
*End Time: 80ns*

*A周期：20ns*

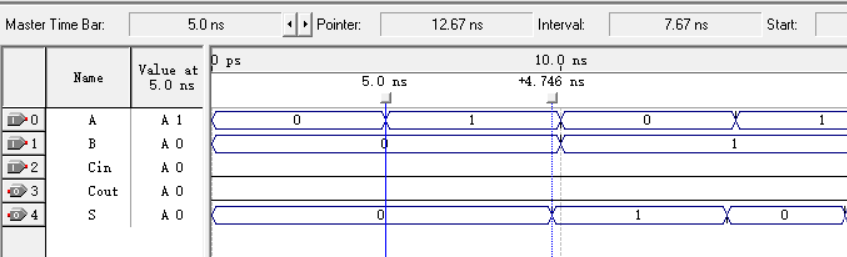
*B周期：40ns*

*Cin 周期：80ns*

时延分析

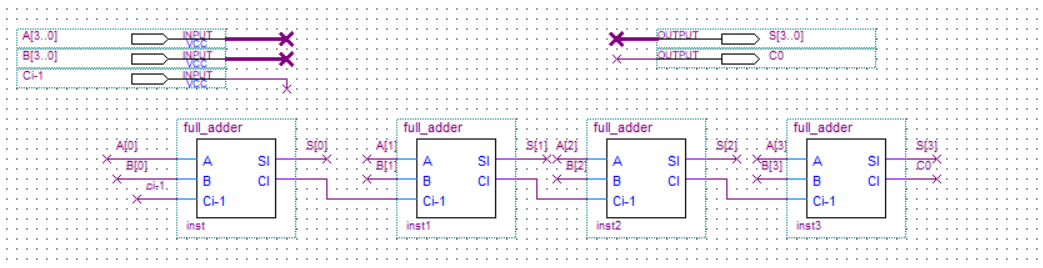


A的RR到对应的 S 输出之间的延迟时间

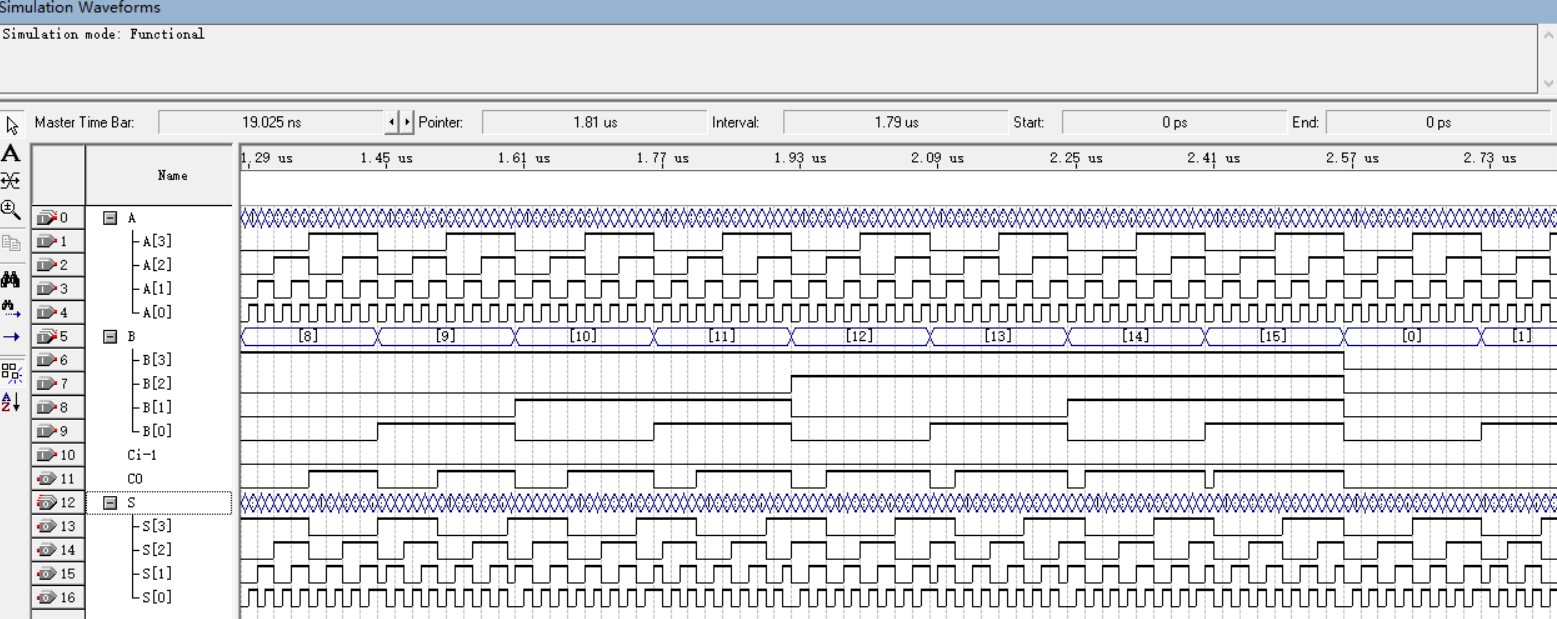


四位全加器设计方案：

由一位半加器封装，再变成一位全加器，再变成4位全加器

4位全加器电路图.

4位全加器仿真模拟:



封装为元器件

