曼彻斯特码

* 设计思路

时钟信号CLK，四位并行数据由高位到低位D3D2D1D0，串行数据为X，输出曼彻斯特码为Y

74194实现并行转串行，74161实现模4计数器控制74194置数/保持

曼彻斯特码Y= X⊕CLK实现

74161自启动的实现，输出>=4时同步置数

使用74HC00/74HC04/74HC20实现组合逻辑电路

* 卡诺图

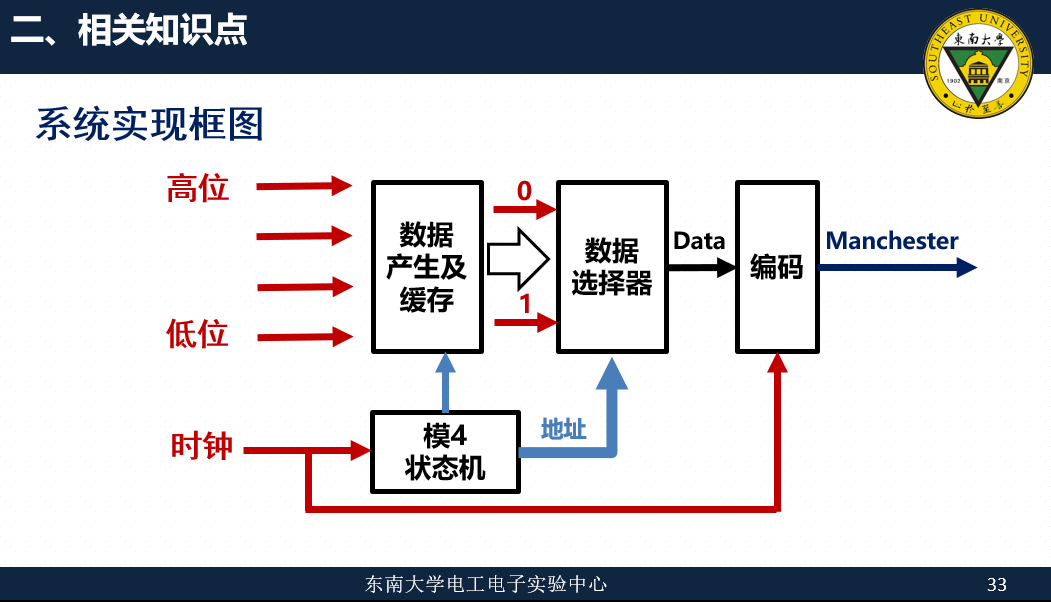
74161置数端

逻辑方程

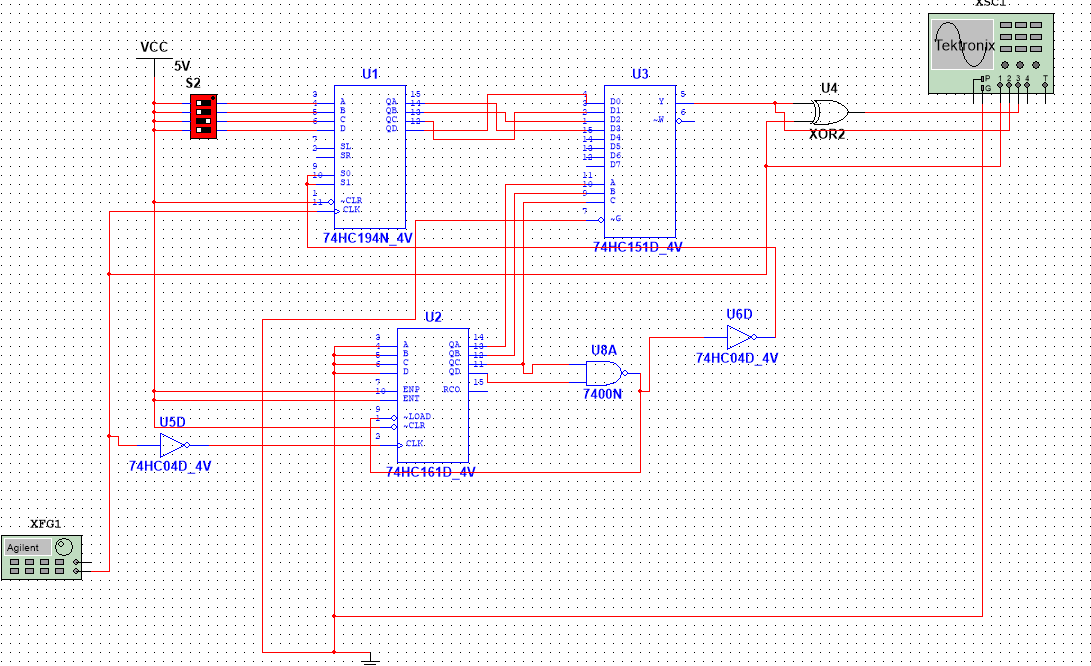
=

74194

S1 = S0 =



* 逻辑电路图



* 示波器观察

使用DDS信号发生器生成矩形时钟信号（低电平为0V，高电平为5V，频率10Hz,周期0.1s），观察生成序列。

实验现象：

成功实现0010序列，符合预期。

黄色为CP时钟信号

蓝色为输出序列

