**RFSoC:LOLENC**

QuIQCL RFSoC LOLENC Development Note

**- Written by: jhpark snu -**

[alexist@snu.ac.kr](mailto:alexist@snu.ac.kr)



# Contents

[Contents 2](#_Toc149317048)

[1. Introduction to RFSoC 3](#_Toc149317049)

[1.1.RFSoC Chip 3](#_Toc149317050)

[1.2.ZCU111 3](#_Toc149317051)

[1.3.AXI Bus 4](#_Toc149317052)

[2. PL Side Architecture 6](#_Toc149317053)

[2.1.RTO & GPO 6](#_Toc149317054)

[2.2.DAC 6](#_Toc149317055)

[2.3.TTL 6](#_Toc149317056)

[2.4.TTLx8 6](#_Toc149317057)

[2.5.TimeController 6](#_Toc149317058)

[3. PS Side Firmware 6](#_Toc149317059)

[3.1.Firmware 6](#_Toc149317060)

[4. Experiment Side Software 6](#_Toc149317061)

[4.1.DAC 6](#_Toc149317062)

[4.2.TTL 6](#_Toc149317063)

[4.3.TTLx8 6](#_Toc149317064)

[4.4.TimeController 6](#_Toc149317065)

[5. Project Creation 6](#_Toc149317066)

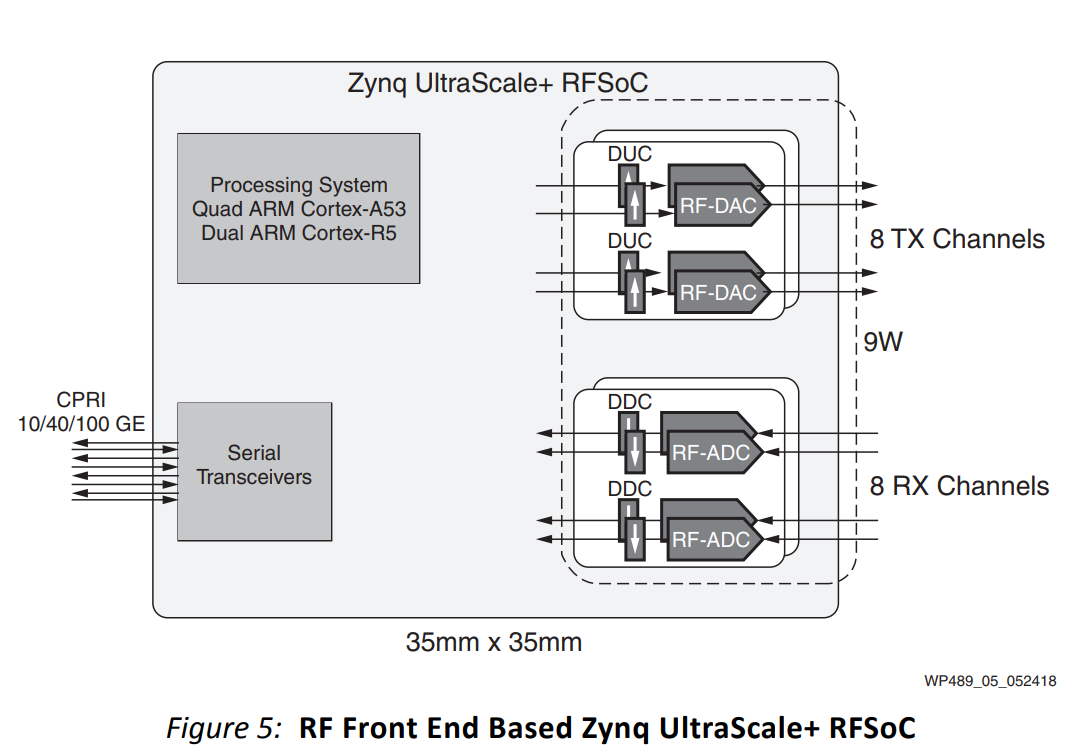
[5.1.Vivado Creation 6](#_Toc149317067)

[5.2.Vitis Creation 6](#_Toc149317068)

# 1. Introduction to RFSoC

## 1.1.RFSoC Chip

RFSoC는 ARMv8의 CPU및 ADC, DAC가 IC에 내장되어 있는 Xilinx의 Ultrascale+ 계열의 IC에 해당한다. Gen1,2,3은 RFSoC칩의 세대를 나타내며 Gen3에 갈수록 기타 기능이 추가된다. 본 연구실에서 ZCU111의 경우 XCZU28DR 칩이 내장되어 있고 Gen1에 해당하며 8개의 ADC, 8개의 DAC가 내장되어 있다. 각각 sampling rate는 4GBPS, 6.4GBPS에 해당한다. ADC, DAC의 경우 RF Generator라는 IP로 접근이 가능하며 기존에 IP를 생성하던 방식과 동일한 방식으로 생성이 가능하다.



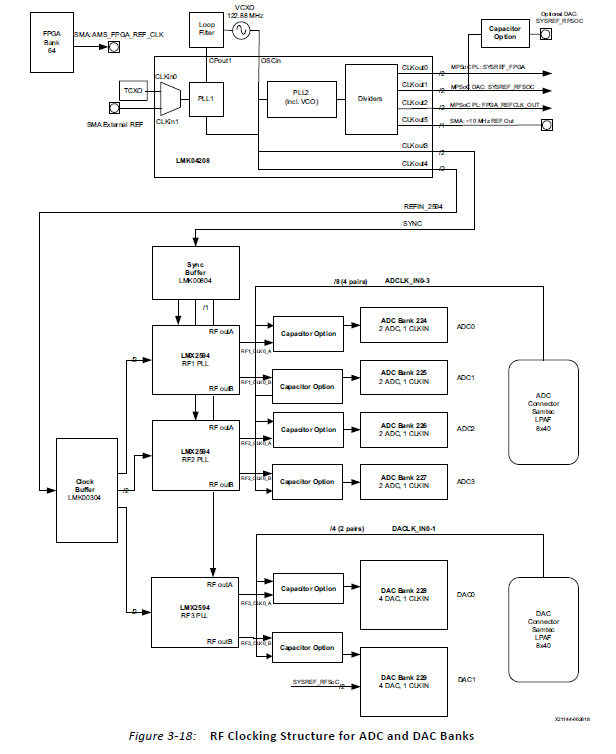
RFSoC의 경우 AMD의 CPU가 내장되어 있는 hardcore방식에 해당한다. ARTIQ의 경우 OpenRISC시리즈를 기반으로 한 mor1kx를 사용하는 것과 대비된다.[[1]](#footnote-1) CPU의 경우 Application Processing Unit(APU), 그리고 Realtime Processing Unit(RPU)로 구성된다. XCZU28DR의 경우 4개의 APU, 그리고 2개의 RPU로 구성된다. APU의 경우 통상적인 CPU로 생각할 수 있으며 ARMv7와는 다르게 64bit architecture이며 기존의 ARMv7과는 다른 exception level을 사용한다. RFSoC에 관한 더 자세한 내용은 해당 문서를 참고 바란다.[[2]](#footnote-2)[[3]](#footnote-3)

## 1.2.ZCU111

RF신호는 RFMC, TTL 신호의 경우 FMC(VITA57.4)으로부터 입출력되게 된다. 그외의 TTL신호의 경우 PMOD로부터도 출력이 가능하나 high impedance가 연결되어 있어 빠른 속도의 신호 전송이 요구되는 경우 사용이 불가능하다. RFMC의 경우에도 DAC IO, ADC IO핀을 통해 TTL신호 입출력이 가능하나 HR bank로 연결되어 있어 SERDES와 같은 기능 사용이 제한된다.

보드 자체에 oscillator및 PLL이 내장되어 있어 RF, 그리고 디지털 클락소스를 만들 수 있다. 내장된 oscillator가 아닌 외부의 클락을 이용할 수도 있으며 이 경우 PLL의 설정을 ZCU111보드 내에서 시리얼 통신을 통해 변경해야 한다. 또한 RF 클락의 주파수를 변경하는 경우에도 마찬가지의 작업을 해야 한다.

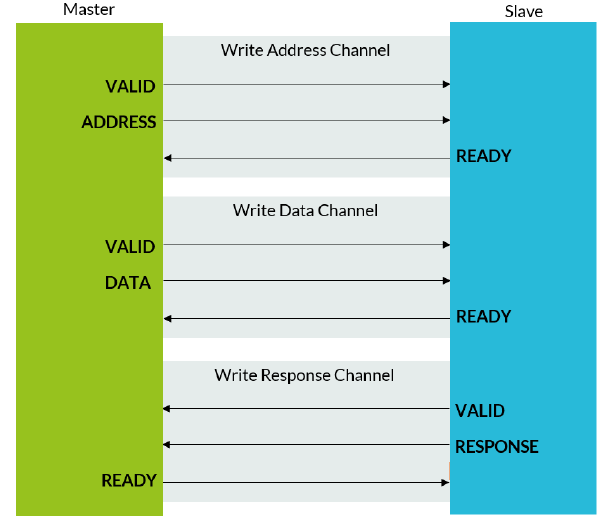
RF클락의 경우 아래와 같은 회로에서 출력이 된다. LMK04028와 LMX2594은 PLL, LMK00304는 클락 버퍼에 해당한다. Xilinx에서 제공하는 펌웨어에서는 LMK04028을 122.88MHz의 oscillator를 입력받아 다시 122.88MHz의 클락을 출력하고 LMX2594에서 곱해진 주파수의 클락을 출력한다. TICS Pro 프로그램[[4]](#footnote-4)을 이용해 GUI상에서 주어진 주파수의 시리얼 통신 데이터를 만들 수 있으며 주어진 시리얼 통신 데이터는 Xilinx에서 주어지는 example code를 이용해 입력이 가능하다.[[5]](#footnote-5)



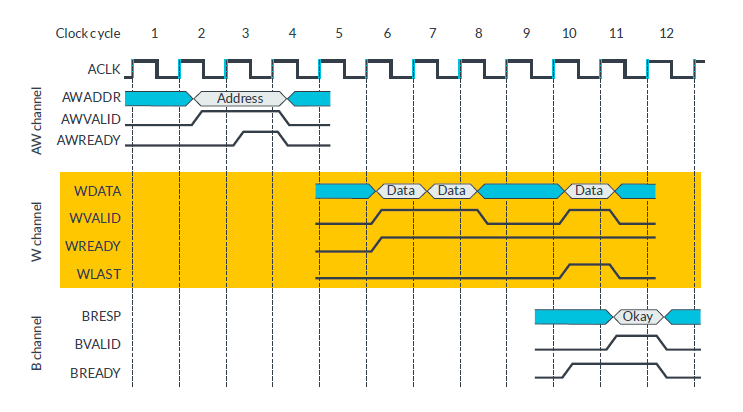
보드와 PC사이에서 이더넷 통신 및 UART통신이 모두 가능하다. 현재 FPGA를 프로그래밍하는 경우와 FPGA로부터 출력 결과를 PC에서 받는 경우에는 시리얼 통신을 수행하며 명령어를 입력은 이더넷을 이용한다.

## 1.3.AXI Bus

Zynq sereis에서 APU, 그리고 RPU를 통틀어 Processing System(PS), 그리고 이를 제외한 부분을 Programmable Logic(PL)이라고 지칭한다. PS와 PL사이에서는 Advanced eXtensible Interface(AXI) 버스를 통해 통신한다. AXI bus는 아래 그림처럼 handshake 방식의 통신 protocol이다. Master로부터 slave로 메모리 및 IO 주소를 전달하는 write address channel(WA), 그리고 slave로 데이터를 전송하는 write data channel(W), 마지막으로 데이터를 전송 결과를 전송하는 write response channel(B)로 구분된다.



각각의 channel은 현재의 데이터가 전송하고자 하는 데이터인지 나타내는 valid signal, 그리고 이러한 데이터를 받을 수 있는지 상태를 나타내는 ready signal이 존재한다. Valid, 그리고 ready signal이 모두 high인 경우에만 데이터 전송이 발생한다. 아래는 데이터 전송 과정 예시를 보여준다. 이외에도 어느 부분의 data가 전송되는지 나타내는 strobe signal, 얼마의 데이터가 전송되는지 나타내는 len signal, 그리고 현재의 데이터가 마지막 데이터 전송임을 나타내는 last signal이 존재한다. 그외에도 qos, user와 같은 signal이 존재하며 해당 사항은 아래의 문서에서 자세히 알 수 있다.[[6]](#footnote-6)



# 2. PL Side Architecture

## 2.1.RTO & GPO

## 2.2.DAC

## 2.3.TTL

## 2.4.TTLx8

## 2.5.TimeController

# 3. PS Side Firmware

## 3.1.Firmware

# 4. Experiment Side Software

## 4.1.DAC

## 4.2.TTL

## 4.3.TTLx8

## 4.4.TimeController

# 5. Project Creation

## 5.1.Vivado Creation

## 5.2.Vitis Creation

1. ARTIQ을 개발한 M-labs의 경우에도 Zynq7000 series의 hardcore 방식의 board가 존재하며 2023년을 기점으로 RFSoC기반의 보드를 개발하는 중이다. [↑](#footnote-ref-1)
2. Crockett, L. H., Northcote, D., &amp; Stewart, R. W. (2023). Software defined radio with Zync UltraScale+ rfsoc. Strathclyde Academic Media. [↑](#footnote-ref-2)
3. An Adaptable Direct RF-Sampling Solution. AMD Adaptive Computing Documentation Portal. (n.d.). <https://docs.xilinx.com/v/u/en-US/wp489-rfsampling-solutions> [↑](#footnote-ref-3)
4. TICSPRO-SW. TICSPRO-SW Application software &amp; framework | TI.com. (n.d.). <https://www.ti.com/tool/TICSPRO-SW#downloads> [↑](#footnote-ref-4)
5. Xilinx 설치 위치 기점으로 Xilinx\Vitis\2020.2\data\embeddedsw\XilinxProcessorIPLib\drivers\rfdc\_v8\_0\examples\xrfdc\_clk.c 을 이용한다.. [↑](#footnote-ref-5)
6. Introduction to Amba Axi4 - arm developer. (n.d.). <https://developer.arm.com/-/media/Arm%20Developer%20Community/PDF/Learn%20the%20Architecture/102202_0100_01_Introduction_to_AMBA_AXI.pdf?revision=369ad681-f926-47b0-81be-42813d39e132> [↑](#footnote-ref-6)