

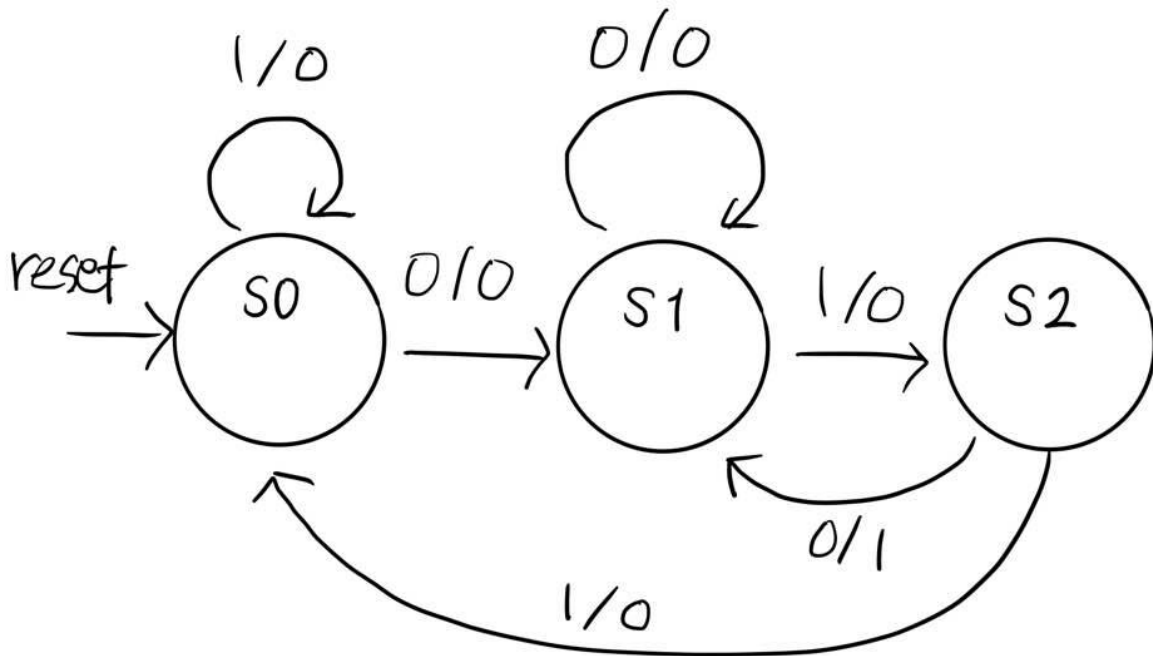
# Logic Design Lab Report: Week 11

2017-18538 황선영

## 1. Introduction

이번 lab에서는 '010' sequence detector를 verilog를 이용하여 implement하고 simulate 했다. '010'의 끝에서 output이 1이 되고, 나머지에서는 output이 0이 된다. Clock의 posedge에서만 state가 바뀌도록 구현했고, Mealy machine으로 구현했다.

## 2. Implementation



먼저 '010' sequence detector의 state transition diagram은 다음과 같다. 이 diagram을 가지고 behavioral description 방식으로 detector를 구현했다.

## 3. Result

Test bench를 가지고 실행하면 incorrect한 결과가 0이면 맞는 결과다.

## 4. Conclusion / Discussion

이번 랩 시간에는 state transition diagram을 직접 그려보고 Verilog를 이용하여 sequence detector를 구현할 수 있었다.