

# Logic Design Lab Report: Week 5

2017-18538 황선영

## 1. Introduction

이번 시간에는 verilog를 이용해 직접 회로를 설계했다. 이번 주 Homework는 'Klingon number system' decoder for 7-segment 를 impliment하는 것이다.

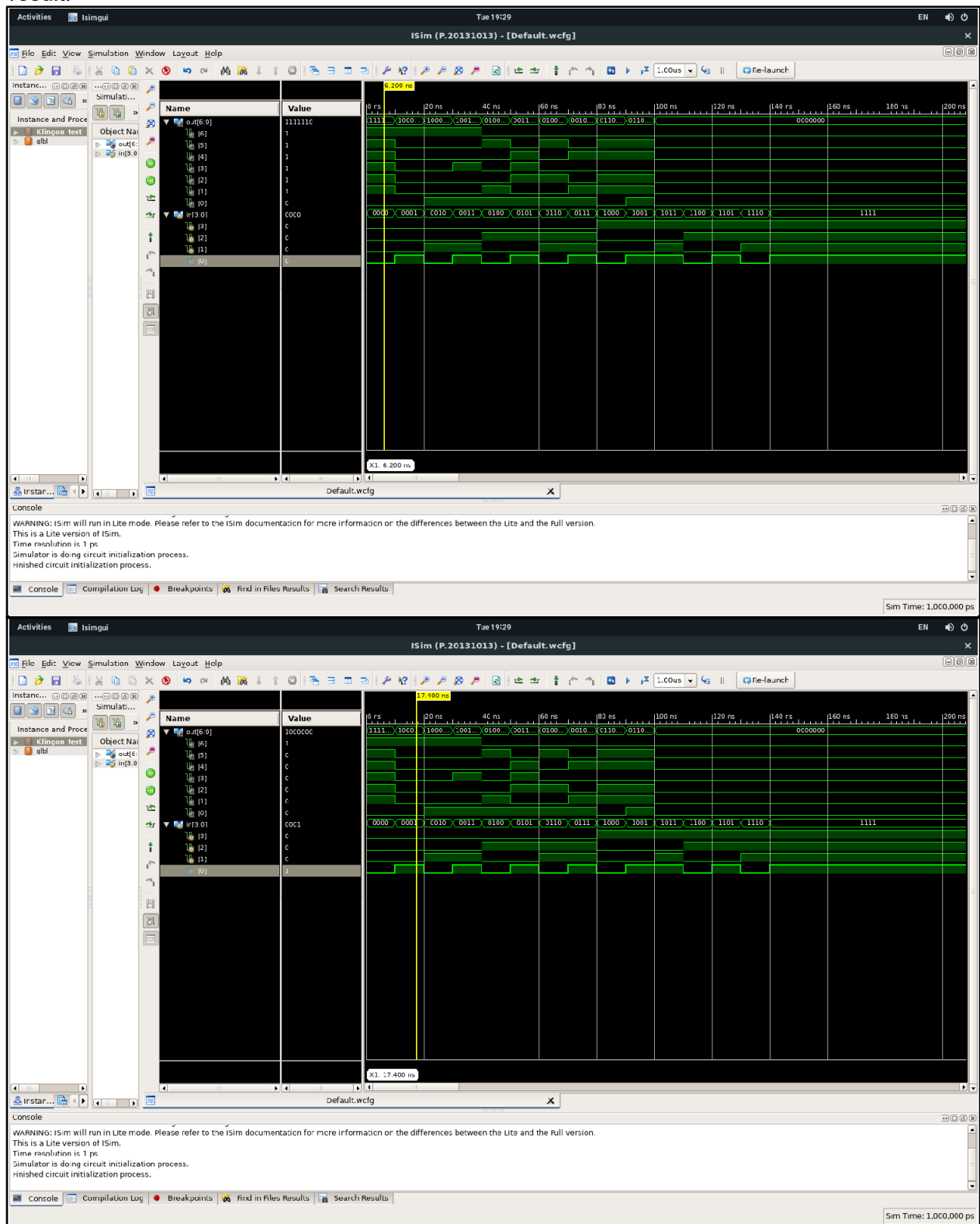
## 2. Implementation

Verilog의 문법에 따라 behavior 방식으로 'Klingon number system' decoder for 7-segment 코드, testbench 코드를 작성했다. 코드를 실행한 후 나오는 결과를 확인했다.

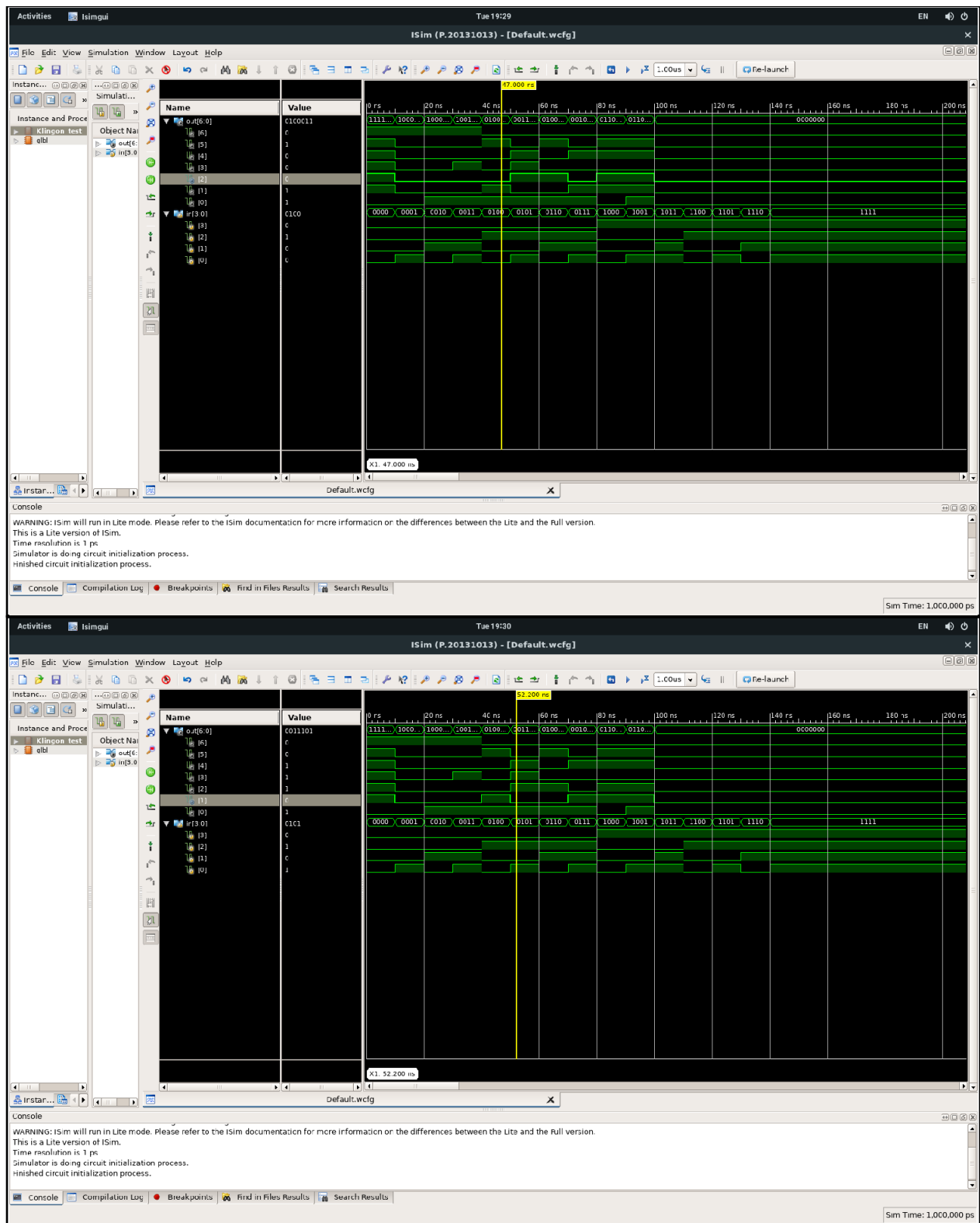
## 3. Result

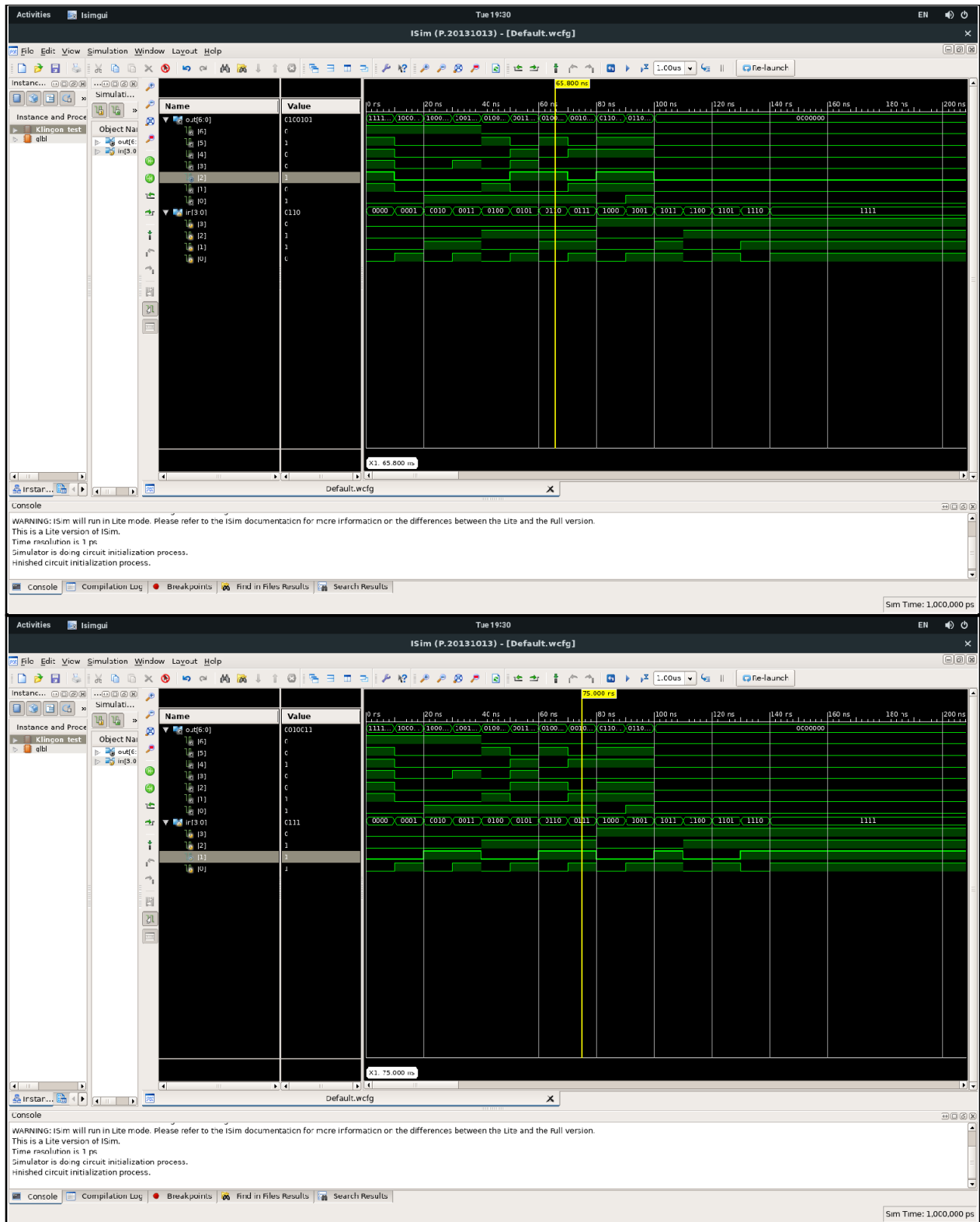
'Klingon number system' decoder for 7-segment 코드 파일, testbench 코드 파일은 리포트와 함께 압축하여 제출하였다.

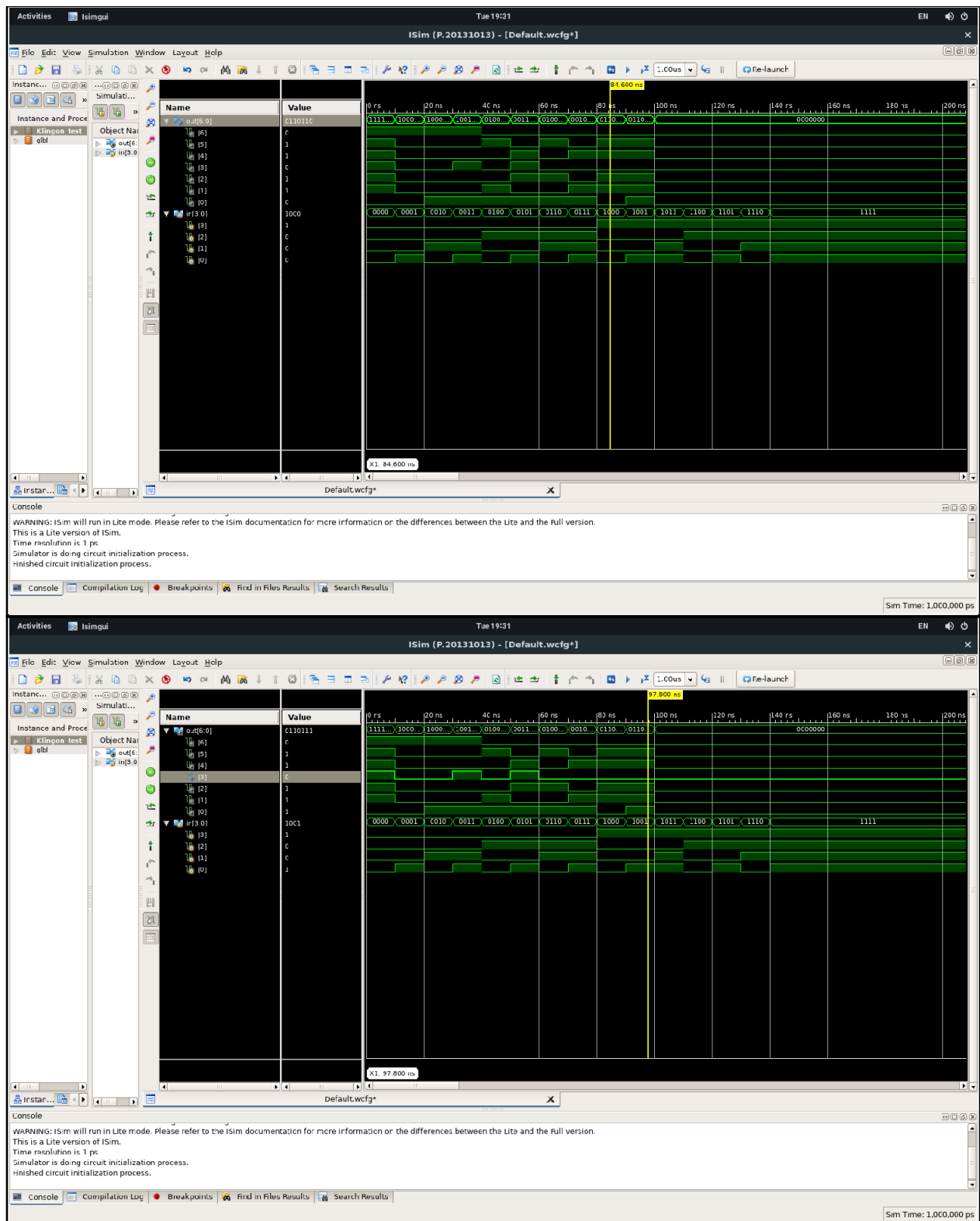
result:

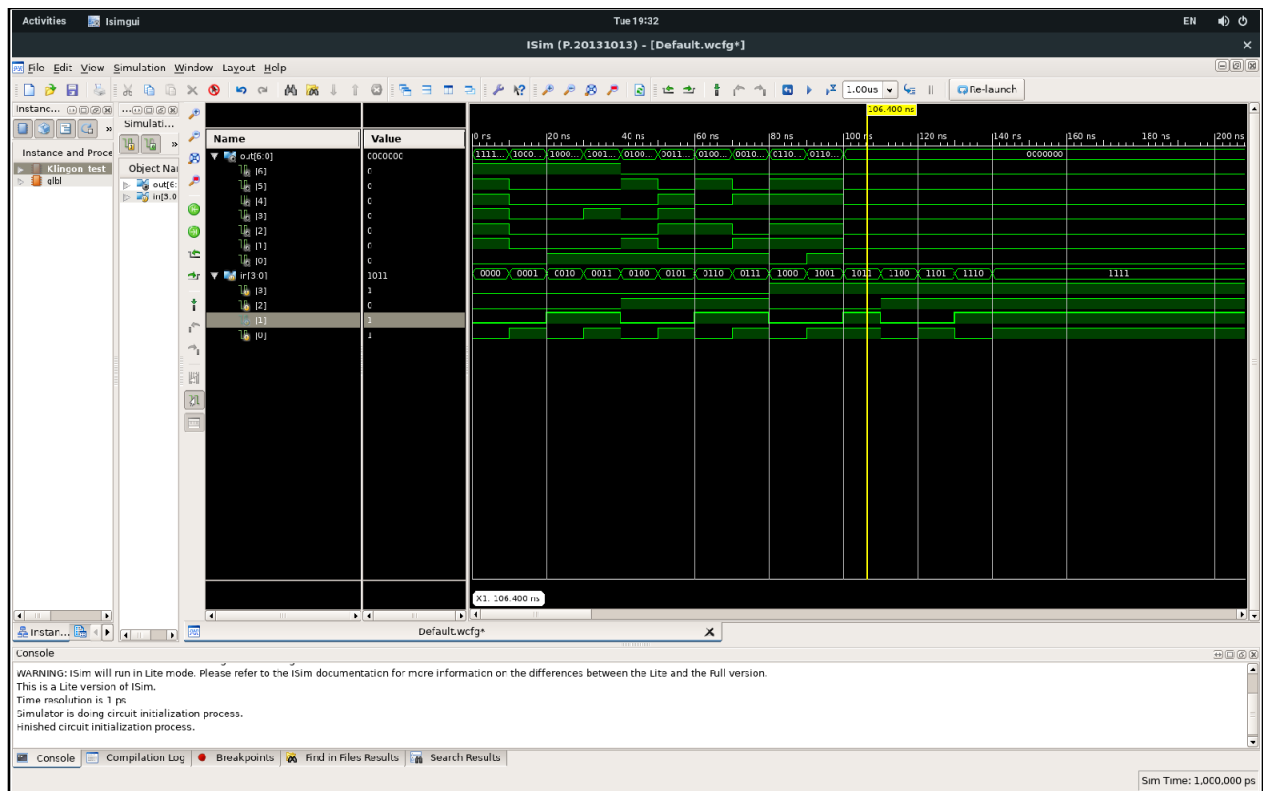




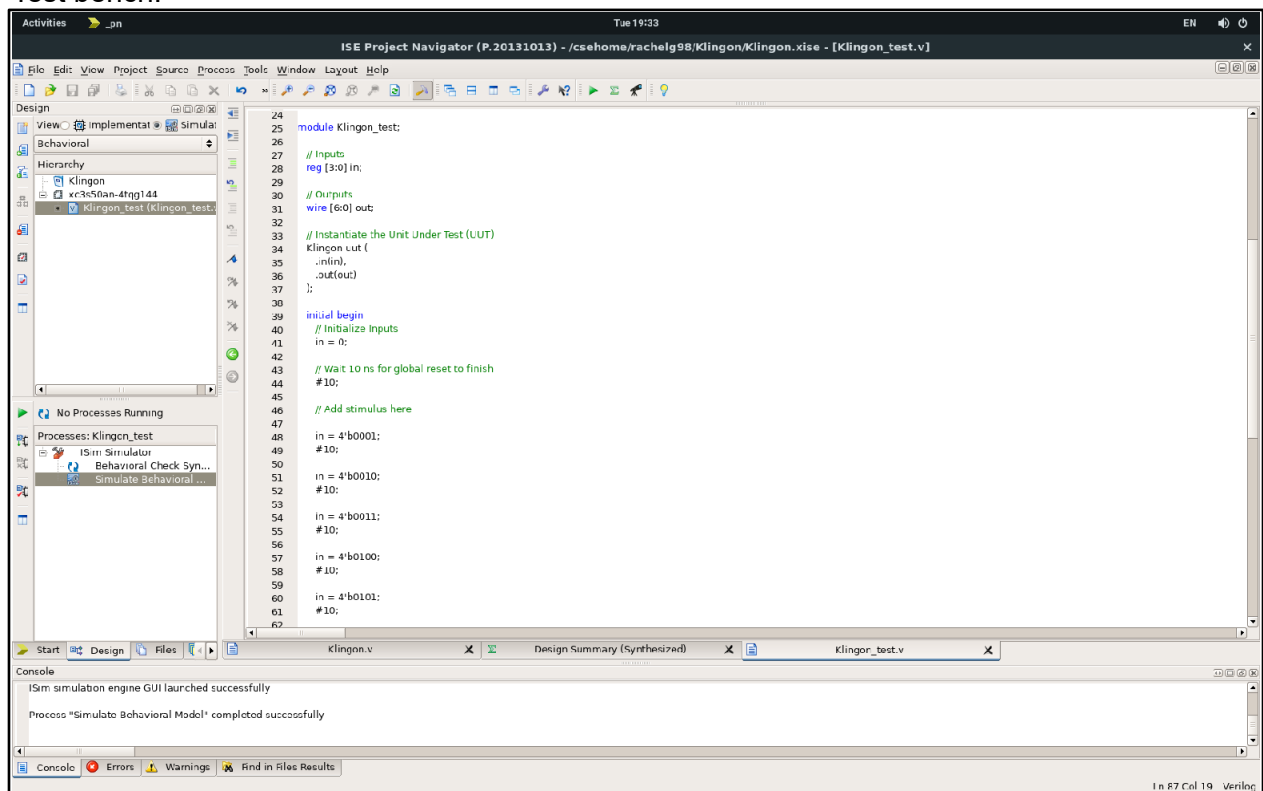


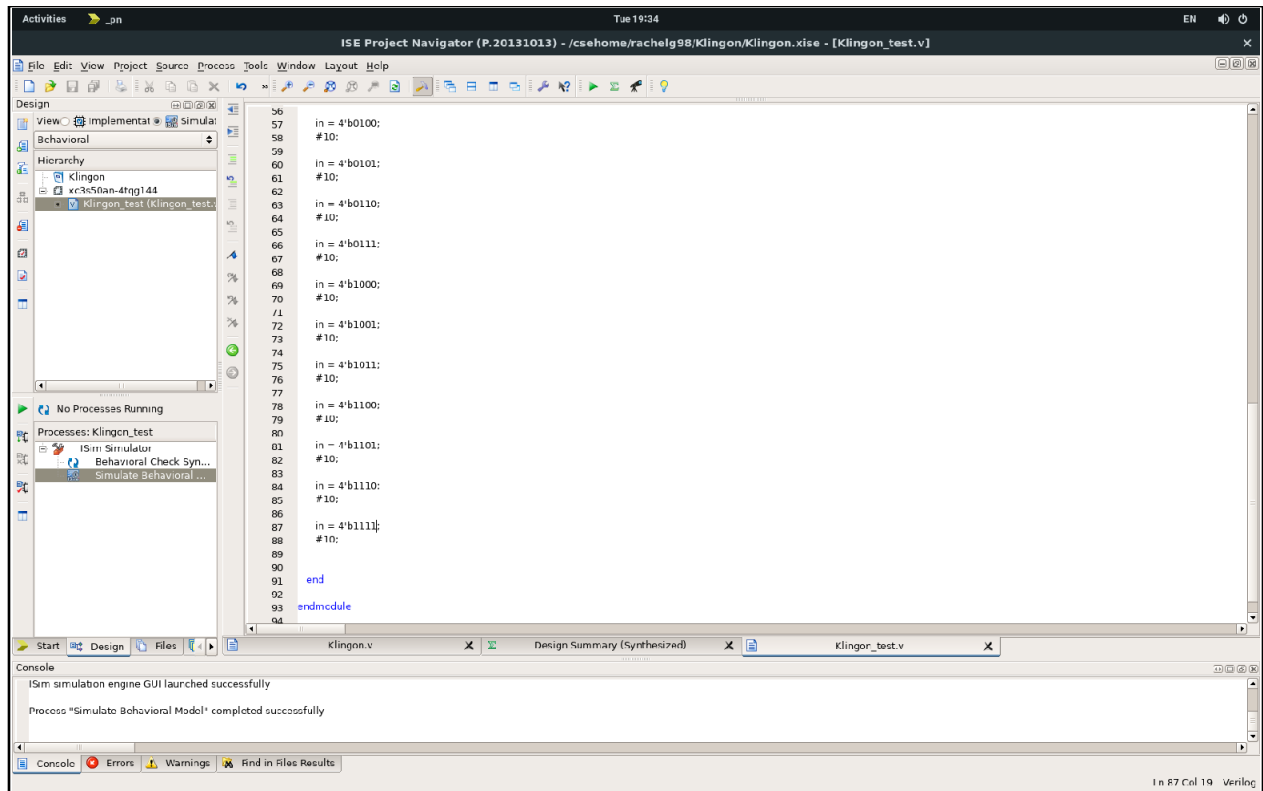




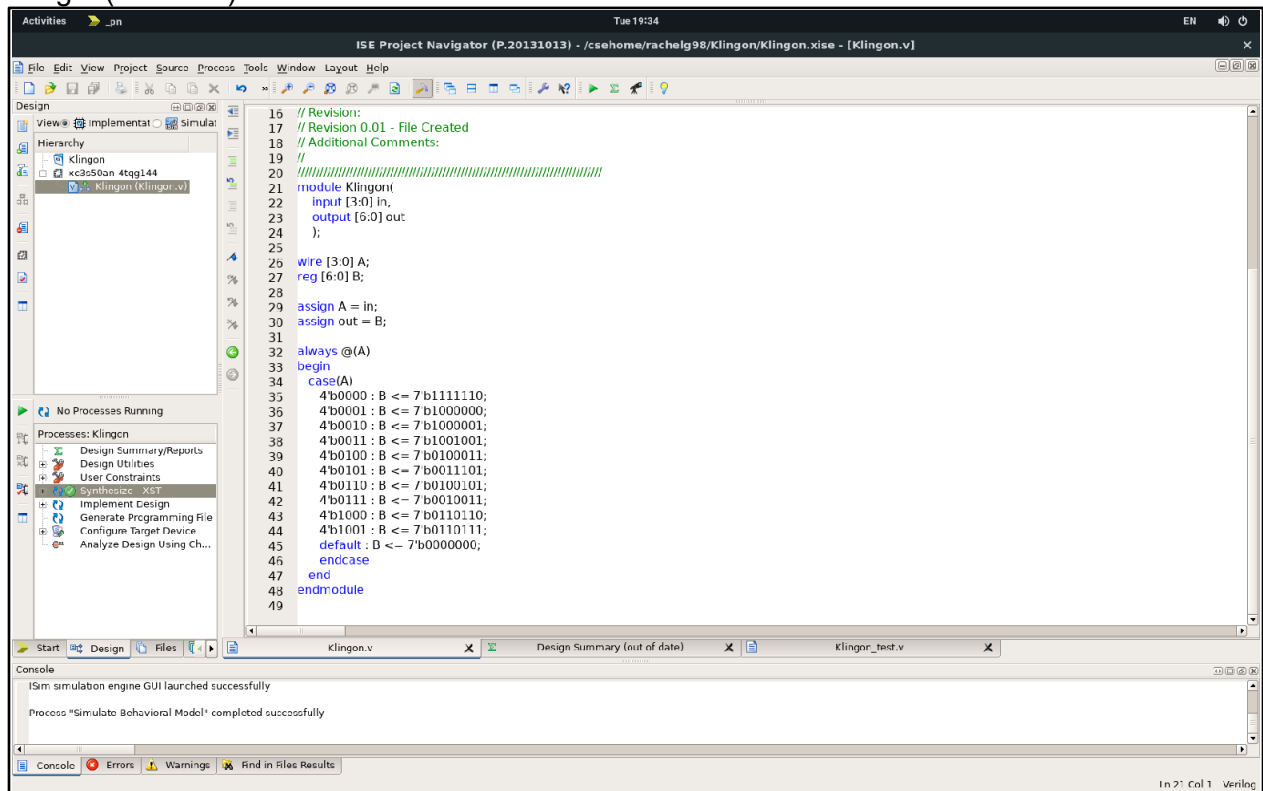


## Test bench:





## klington(behavior):





#### 4. Conclusion/Discussion

두번째로 verilog 를 쓰니까 비교적 쉽게 logic design 을 할 수 있었다.