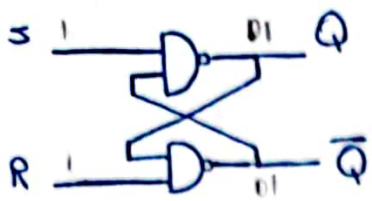
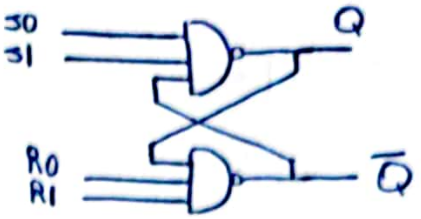
Sobhan Kooshki gahromi 810101496 CA #4 ECE 367

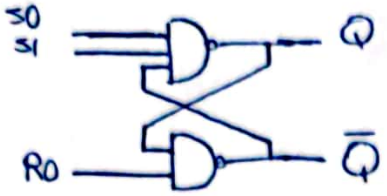
1) a)



2 input NAND

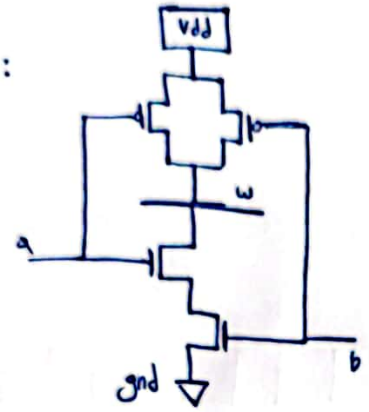


3 input NAND



2,3 input NAND

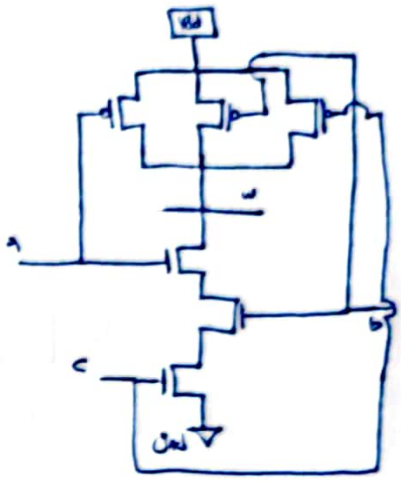
:



to1 → 8Ns

to0 → 8Ns

:



to1 → 12ns

to0 → 12ns

2 input

S	R	Q	Q^+	$\overline{Q}^+$
0	0	0	1	1
0	1	0	1	0
1	0	0	0	1
1	1	0	0	1
0	0	1	1	1
0	1	1	1	0
1	0	1	0	1
1	1	1	1	0

All this states are estable

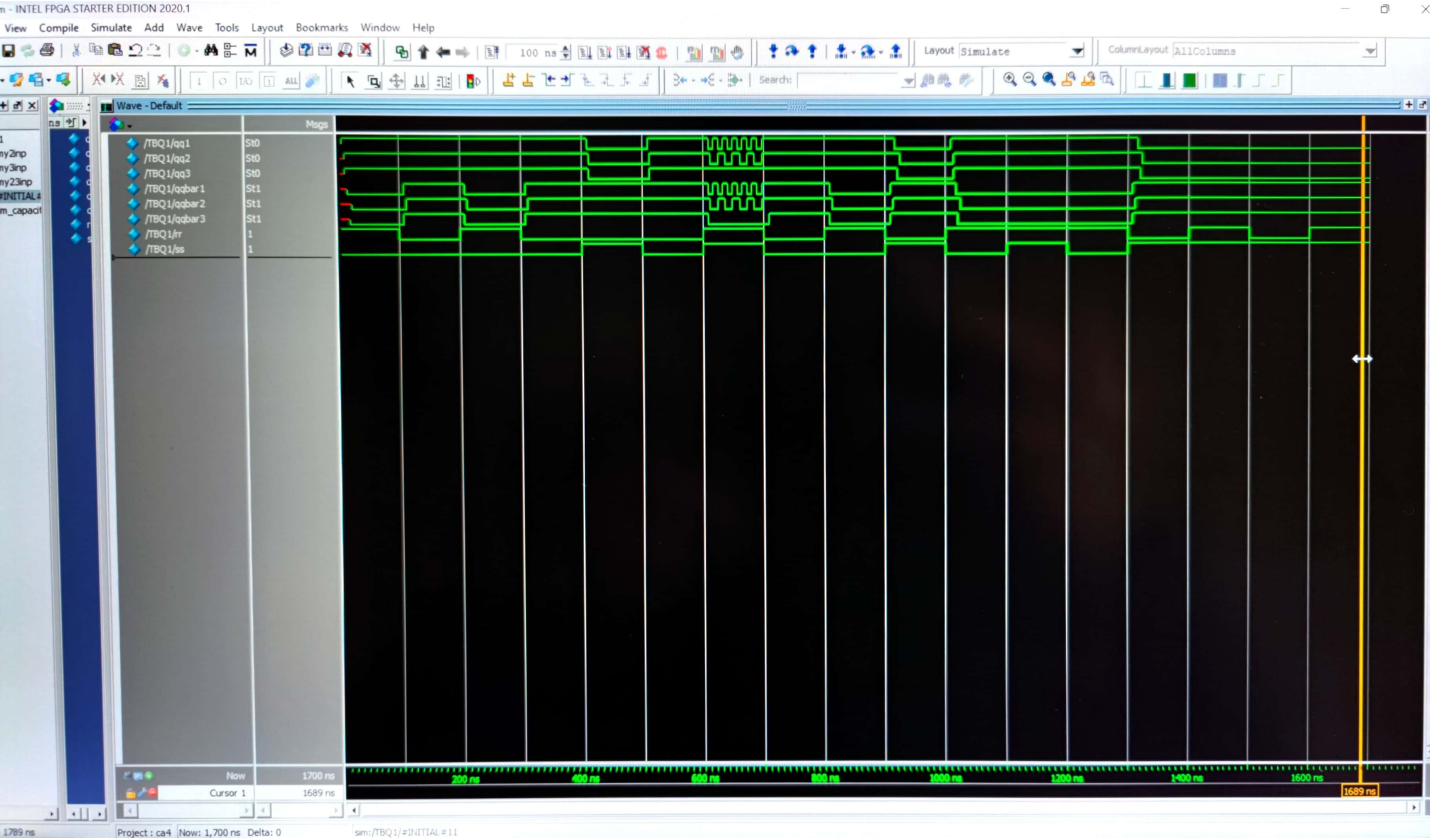
but if when Q , $\overline{Q}$ = 1

S,R → 1 → X

for 3input as same as 2input

* but for diagram 2,3 input because diffrences delay we have estible in all Possistion

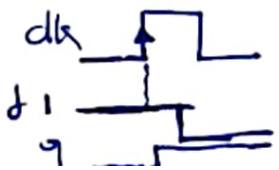
* برای دو ورودی ۰۰ $\overline{Q}$ و Q یکسان شده (مردود) و memory ما از دست می‌رود

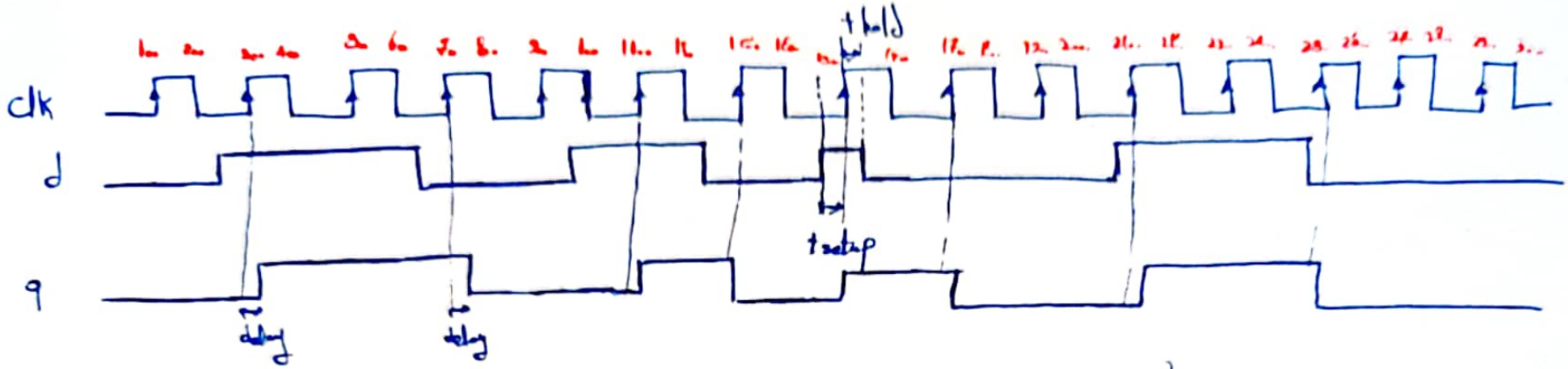

INTEL FPGA STARTER EDITION 2020.1
View Compile Simulate Add Wave Tools Layout Bookmarks Window Help
Wave - Default
Msgs
/TBQ1/qq1 St0
/TBQ1/qq2 St0
/TBQ1/qq3 St0
/TBQ1/qqbar1 St1
/TBQ1/qqbar2 St1
/TBQ1/qqbar3 St1
/TBQ1/rr 1
/TBQ1/ss 1
Now 1700 ns
Cursor 1 1689 ns
200 ns 400 ns 600 ns 800 ns 1000 ns 1200 ns 1400 ns 1600 ns 1689 ns
Project : ca4 Now: 1,700 ns Delta: 0

2) in this question biuld D flip flop circut as same as circut show in pdf.

biuld with 2 & 3 input SR latch and 2 input SR latch

in the waveform we saw that q chnge in rising clock and when we change d between the two rising edge q is not change.



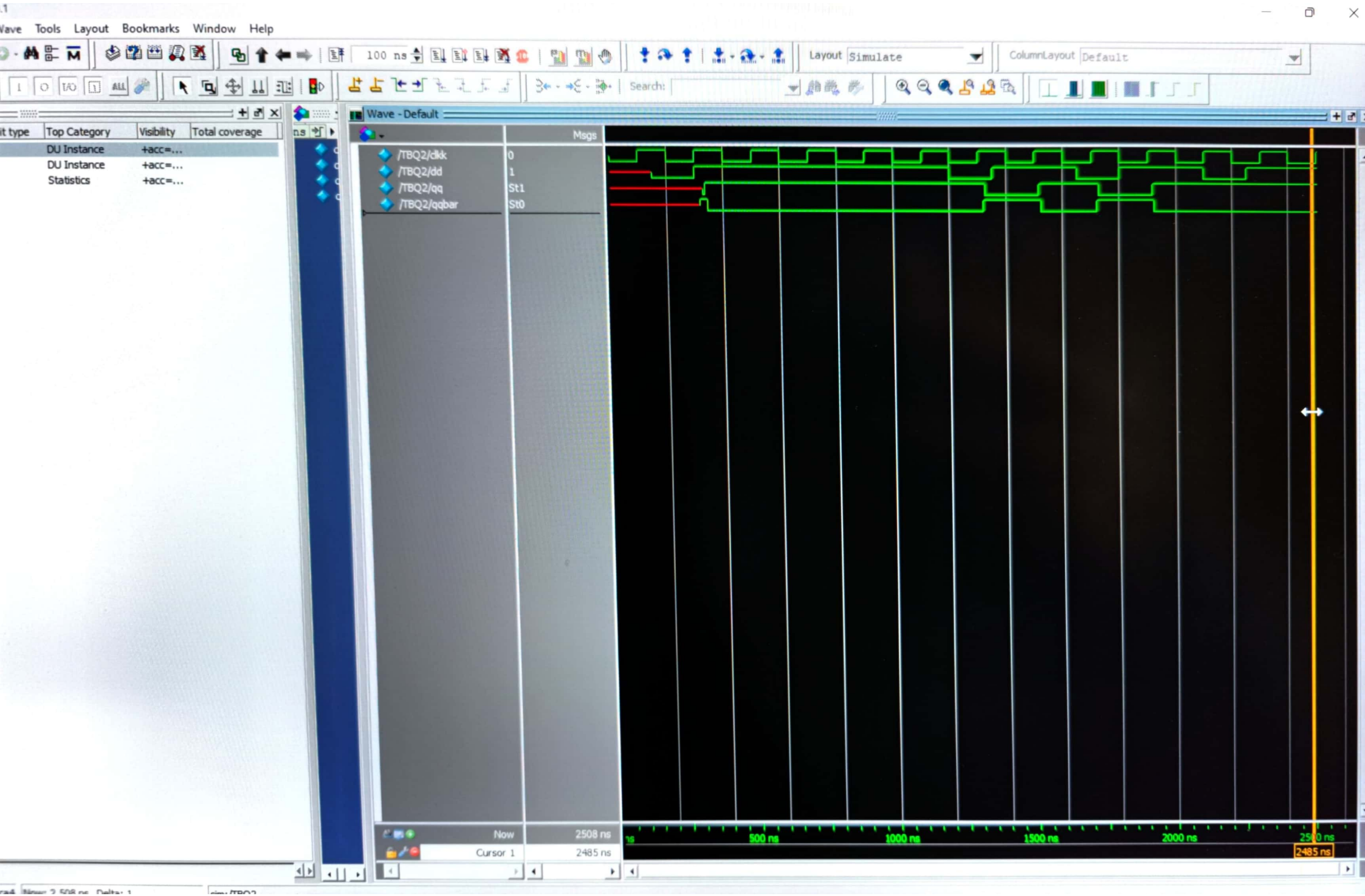


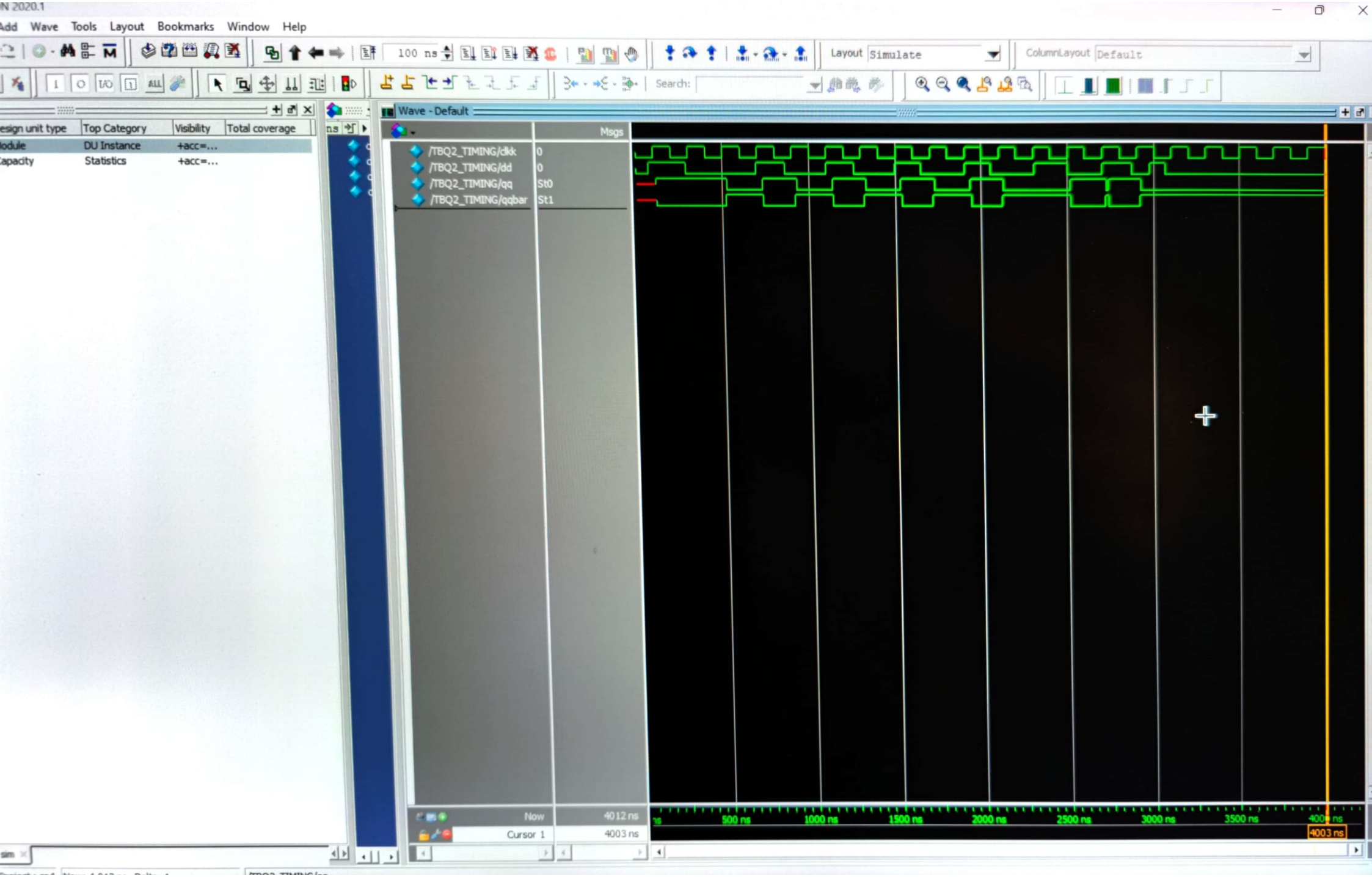
★ این یک نمونه است و با کد اصلی فرق دارد در آنجا از repeat برای d استفاده شده است و random برای دیدن تمام حالت ها.

t-setup ، زمانی که مدار ما لازم دارد که d تاثیر خود را قبل از rising edge ساعت ببیند. t-hold . زمانی که لازم است که d در آن نگه داشته شود تا به فرمی برسد

0 = t-setup 0 = thold ← برای وقتی که d از 1 → 0 می رود

۱۲ = t-setup 0 = thold ← برای وقتی که d از 0 → 1 می رود


Wave Tools Layout Bookmarks Window Help
100 ns
Layout Simulate
ColumnLayout Default
Search:
Top Category
Visibility
Total coverage
DU Instance +acc=...
DU Instance +acc=...
Statistics +acc=...
Wave - Default
Msgs
/TBQ2/clkk 0
/TBQ2/dd 1
/TBQ2/qq St1
/TBQ2/qqbar St0
Now 2508 ns
Cursor 1 2485 ns
500 ns
1000 ns
1500 ns
2000 ns
2485 ns

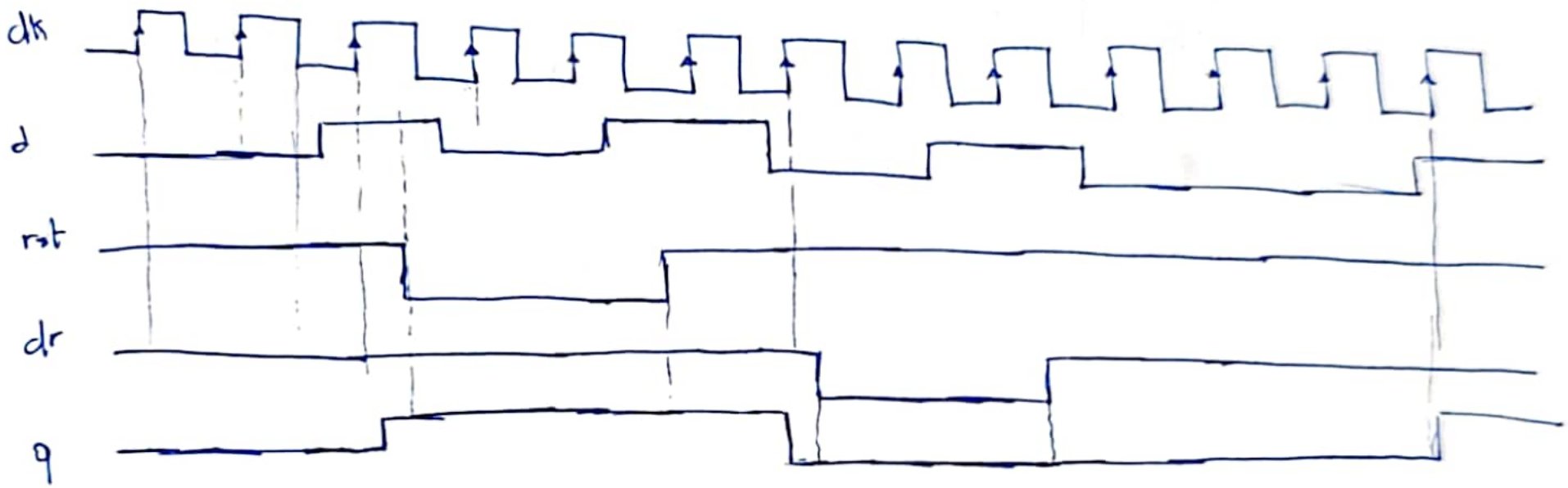

Add Wave Tools Layout Bookmarks Window Help
Layout Simulate
ColumnLayout Default
Search:
Wave - Default
Msgs
/TBQ2_TIMING/clkk 0
/TBQ2_TIMING/dd 0
/TBQ2_TIMING/qq St0
/TBQ2_TIMING/qqbar St1
Now 4012 ns
Cursor 1 4003 ns
500 ns
1000 ns
1500 ns
2000 ns
2500 ns
3000 ns
3500 ns
4003 ns

3) در این سوال به قسمت ۲ یک reset و preset افزوده می‌کنیم. این کار باعث می‌شود که از SR 3input استفاده کنیم

چون input های ما active low هستند وقتی که reset یا preset ۰ شدند فعال می‌شوند. و هر کدام از آن‌ها فعال شدند دیگر

هر چقدر clock و d را عوض کنیم در خروجی تغییر نمی‌بینیم و در حالتی که ۲ تای آن‌ها ۱ هستند مدار ما مانند یک D.flip flip

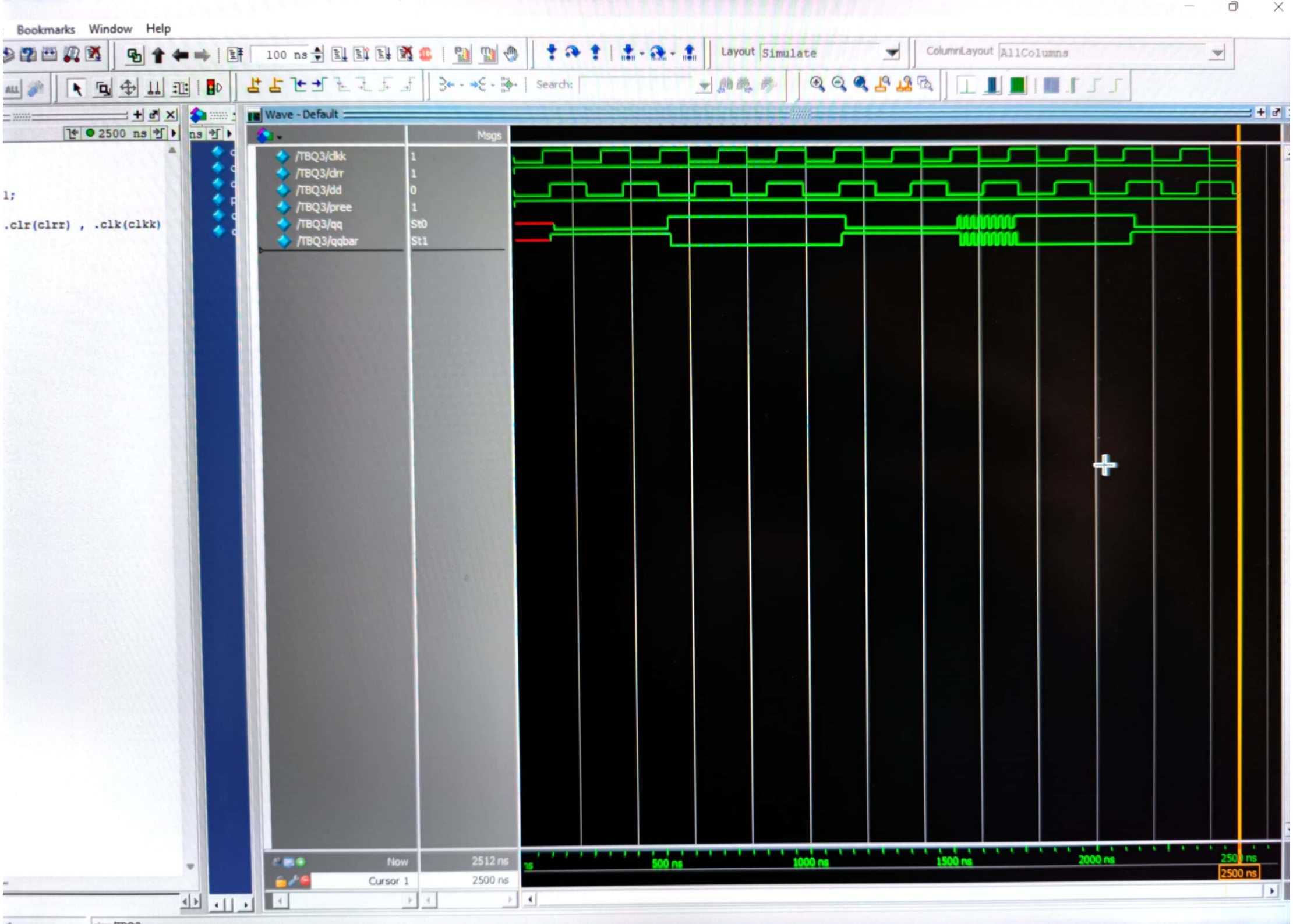
عادی کار می‌کند

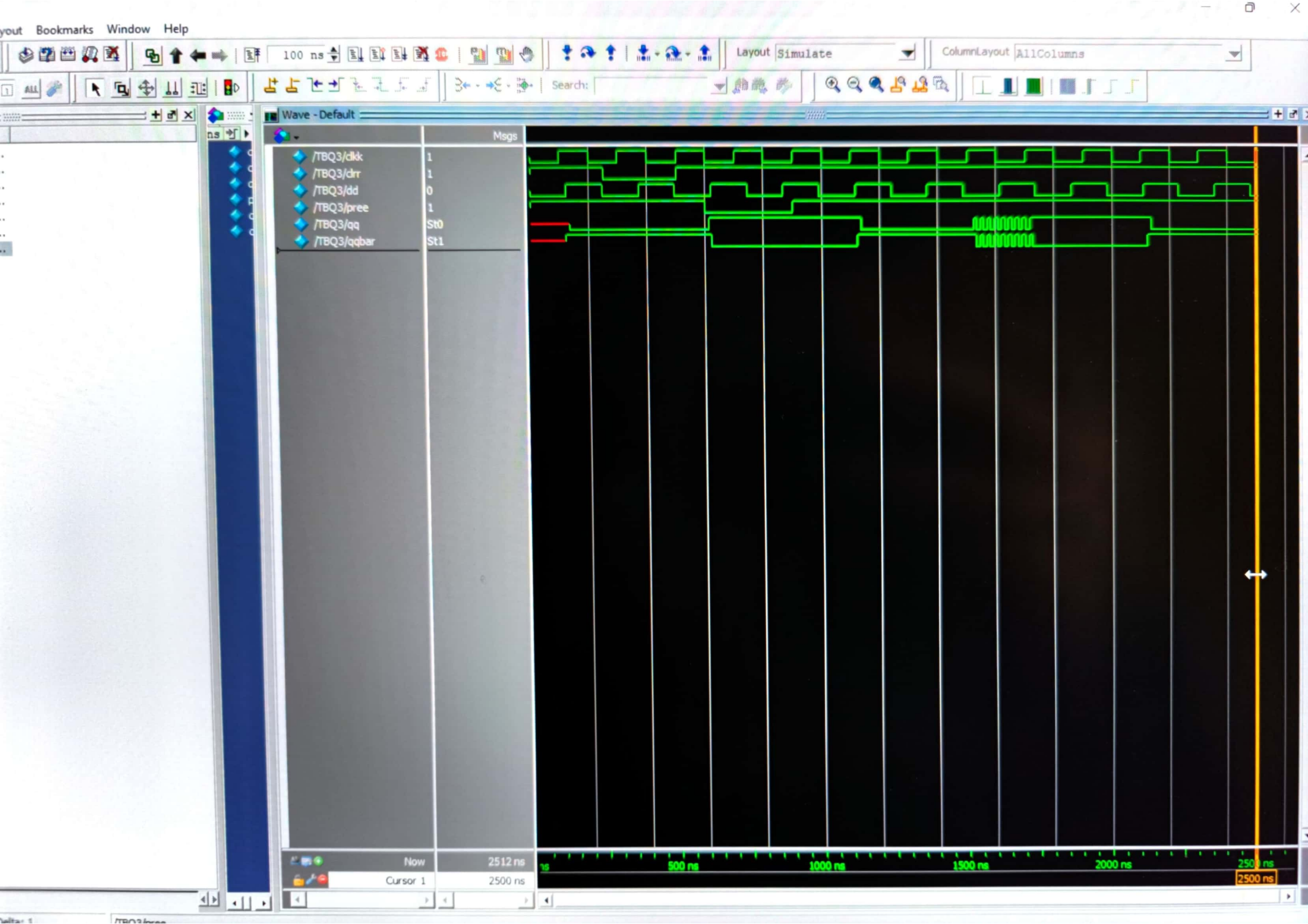


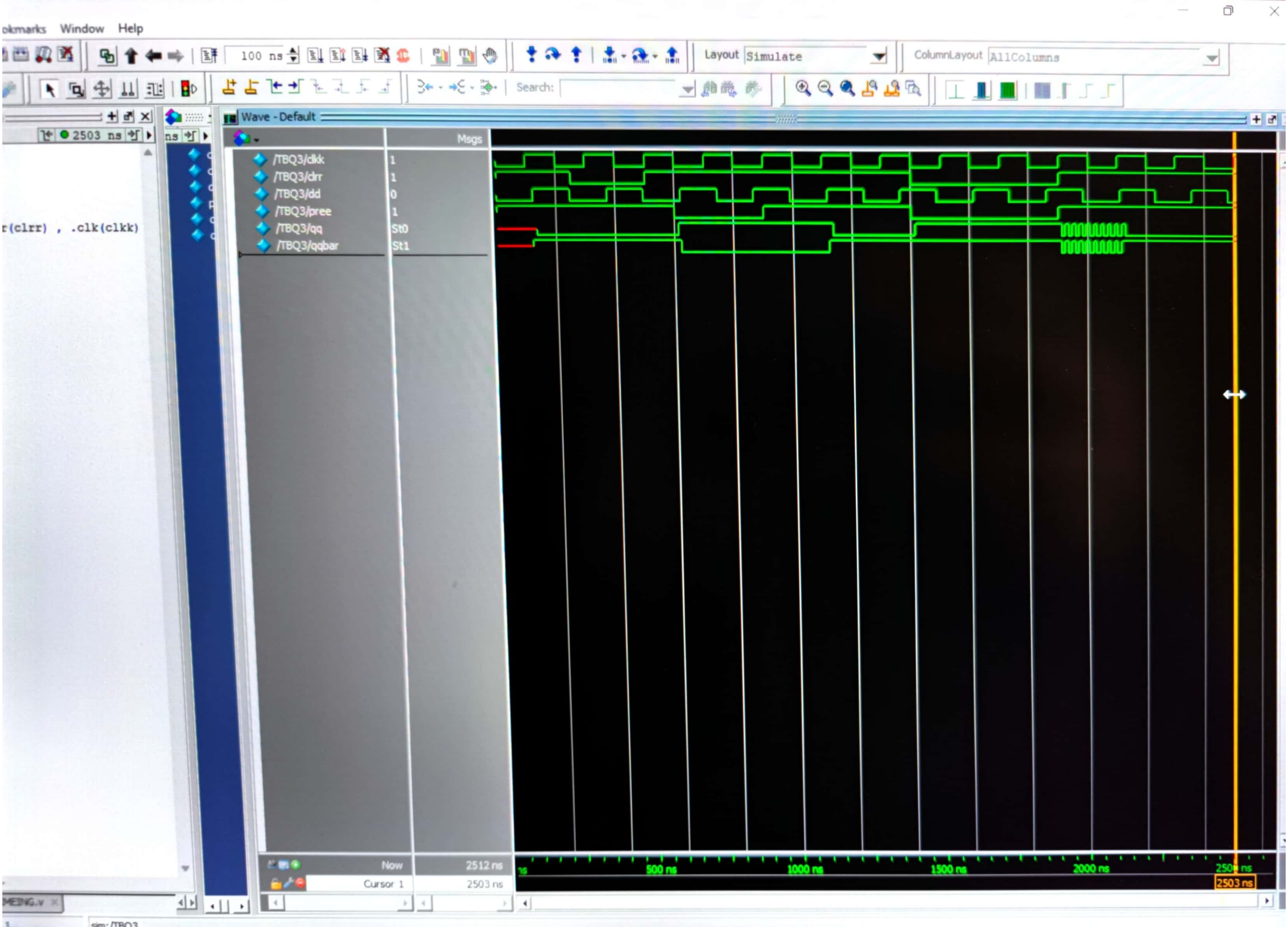
☆ این یک نمونه است و با کد اصلی فرق دارد در اینجا از repeat برای d استفاده شده و در لحظاتی rst، dr را فعال می‌کنیم

اگر هر دوی dr و pre با هم فعال باشند ما در q یک می‌بینیم. حال هر چقدر تغییر ایجاد شود اتفاقی نمی‌افتد

dr و pre هر موقع active شوند طبق محاسبات و شکل موج آن‌ها ۱۲ ns طول می‌کشند تا تأثیر آن‌ها بر خروجی مشخص شود


Bookmarks
Window
Help
100 ns
Layout
Simulate
ColumnLayout
AllColumns
Search:
2500 ns
1;
.clr(clrr) , .clk(clkk)
Wave - Default
Msgs
/TBQ3/clkk
/TBQ3/clrr
/TBQ3/dd
/TBQ3/pree
/TBQ3/qq
/TBQ3/qqbar
1
1
0
1
St0
St1
Now
2512 ns
Cursor 1
2500 ns
500 ns
1000 ns
1500 ns
2000 ns
2500 ns


yout
Bookmarks
Window
Help
100 ns
Layout
Simulate
ColumnLayout
AllColumns
Search:
Wave - Default
Msgs
/TBQ3/dkk
/TBQ3/drr
/TBQ3/dd
/TBQ3/pree
/TBQ3/qq
/TBQ3/qqbar
1
1
0
1
St0
St1
Now
2512 ns
Cursor 1
2500 ns
500 ns
1000 ns
1500 ns
2000 ns
2500 ns


Window
Help
100 ns
Layout
Simulate
ColumnLayout
AllColumns
Search:
2503 ns
(clrr) , .clk(clkk)
Wave - Default
Msgs
/TBQ3/clkk
/TBQ3/clrr
/TBQ3/dd
/TBQ3/pree
/TBQ3/qq
/TBQ3/qqbar
1
1
0
1
St0
St1
Now
2512 ns
Cursor 1
2503 ns
500 ns
1000 ns
1500 ns
2000 ns
2503 ns