



Министерство науки и высшего образования Российской Федерации
Федеральное государственное бюджетное образовательное учреждение
высшего образования
«Московский государственный технический университет
имени Н.Э. Баумана
(национальный исследовательский университет)»
(МГТУ им. Н.Э. Баумана)

ФАКУЛЬТЕТ ИНФОРМАТИКА И СИСТЕМЫ УПРАВЛЕНИЯ

КАФЕДРА КОМПЬЮТЕРНЫЕ СИСТЕМЫ И СЕТИ (ИУ6)

НАПРАВЛЕНИЕ ПОДГОТОВКИ **09.03.01 Информатика и вычислительная техника**

О т ч е т

по лабораторной работе № 4

Название: **Исследование мультиплексоров**

Дисциплина: **Архитектура ЭВМ**

Студент гр. ИУ7-42Б

(Подпись, дата)

С.С. Беляк

(И.О. Фамилия)

Преподаватель

(Подпись, дата)

А.Ю. Попов

(И.О. Фамилия)

2024 год

Цель работы – изучение принципов построения, практического применения и экспериментального исследования мультиплексоров.

Задание 1. Исследование ИС ADG408 или ADG508 (рис.6) в качестве коммутатора MUX 8 – 1 цифровых сигналов:

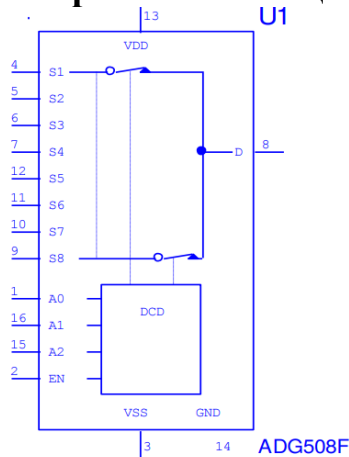
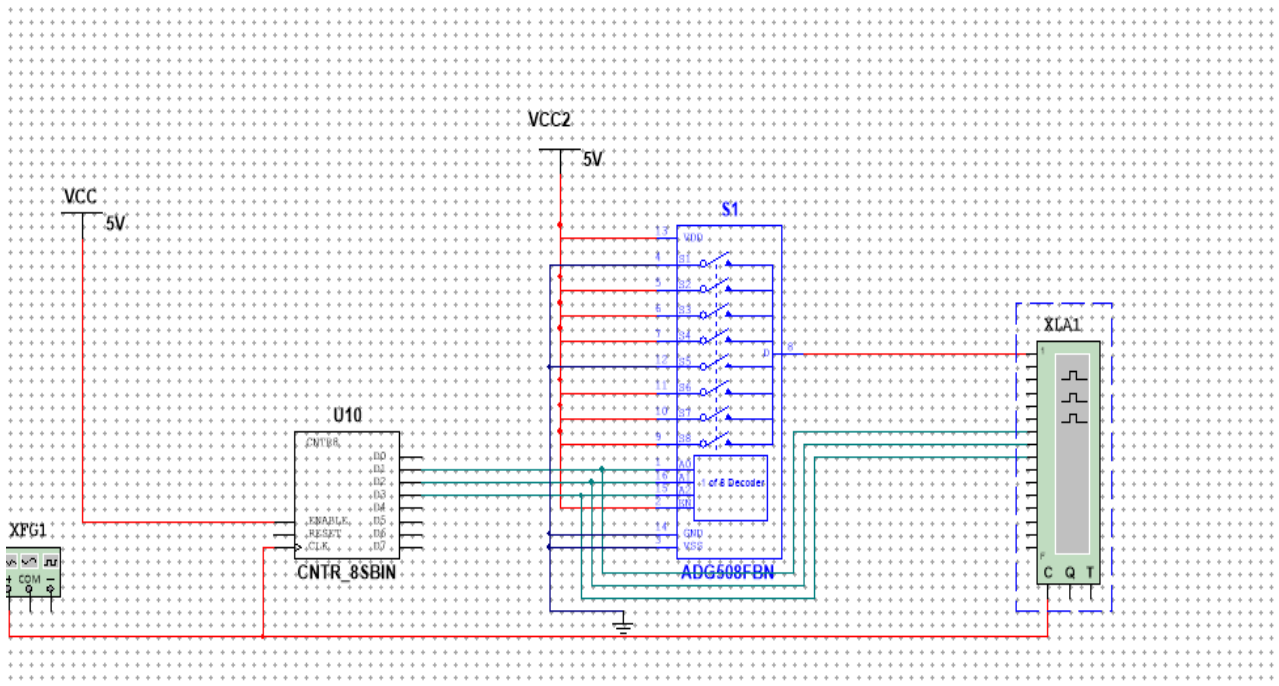


Рис. 6

- на информационные входы D0 ... D7 мультиплексора подать комбинацию сигналов, заданную преподавателем из табл. 2. Логические уровни 0 и 1 задавать источниками напряжения $U=5\text{ В}$ и 0 В (общая);
- на адресные входы A2, A1, A0 подать сигналы Q3, Q2, Q1 соответственно с выходов 4-разрядного двоичного счетчика (младший разряд – Q0). На вход счетчика подать импульсы генератора с частотой 500 кГц.
- снять временную диаграмму сигналов при EN=1 и провести ее анализ. Наблюдение сигналов выполнить на логическом анализаторе.

Вариант 2:

1	0	0	1	1	0	0	1	1	0,2,6,7,8,9,12,14,15
2	0	1	1	1	0	1	1	1	0,4,5,6,7,8,9,10,11,14



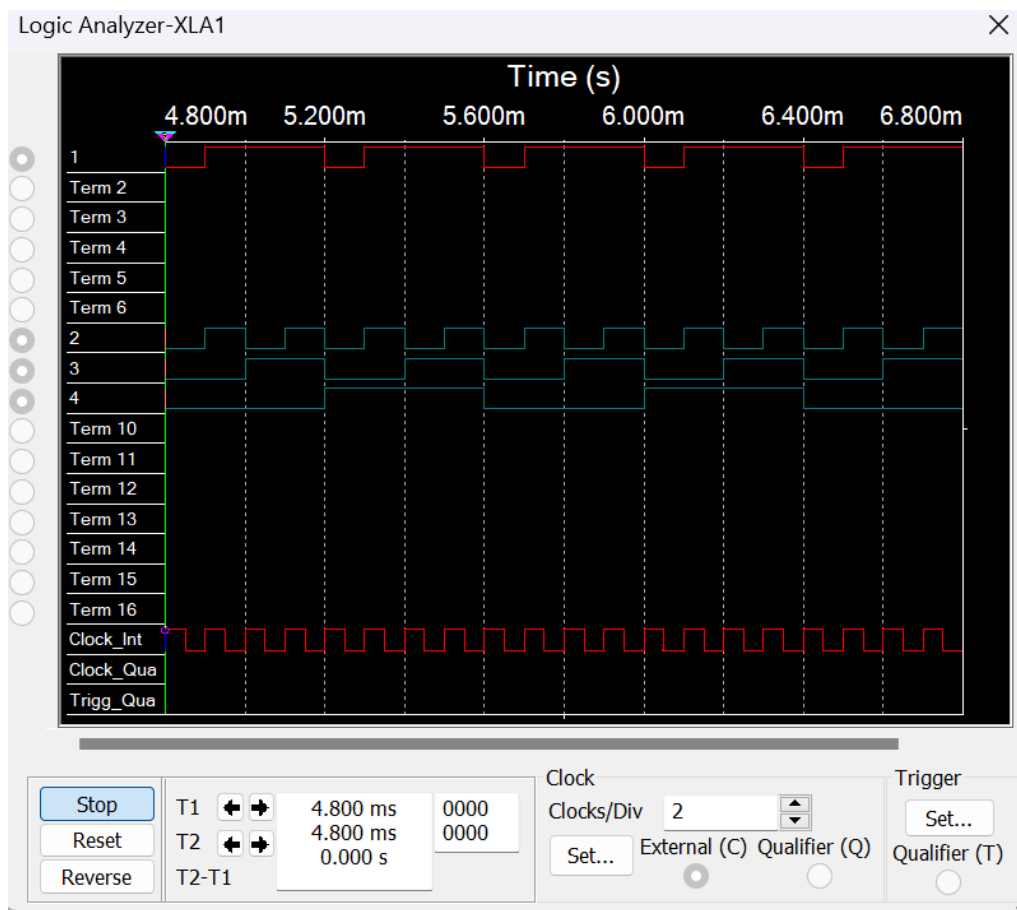
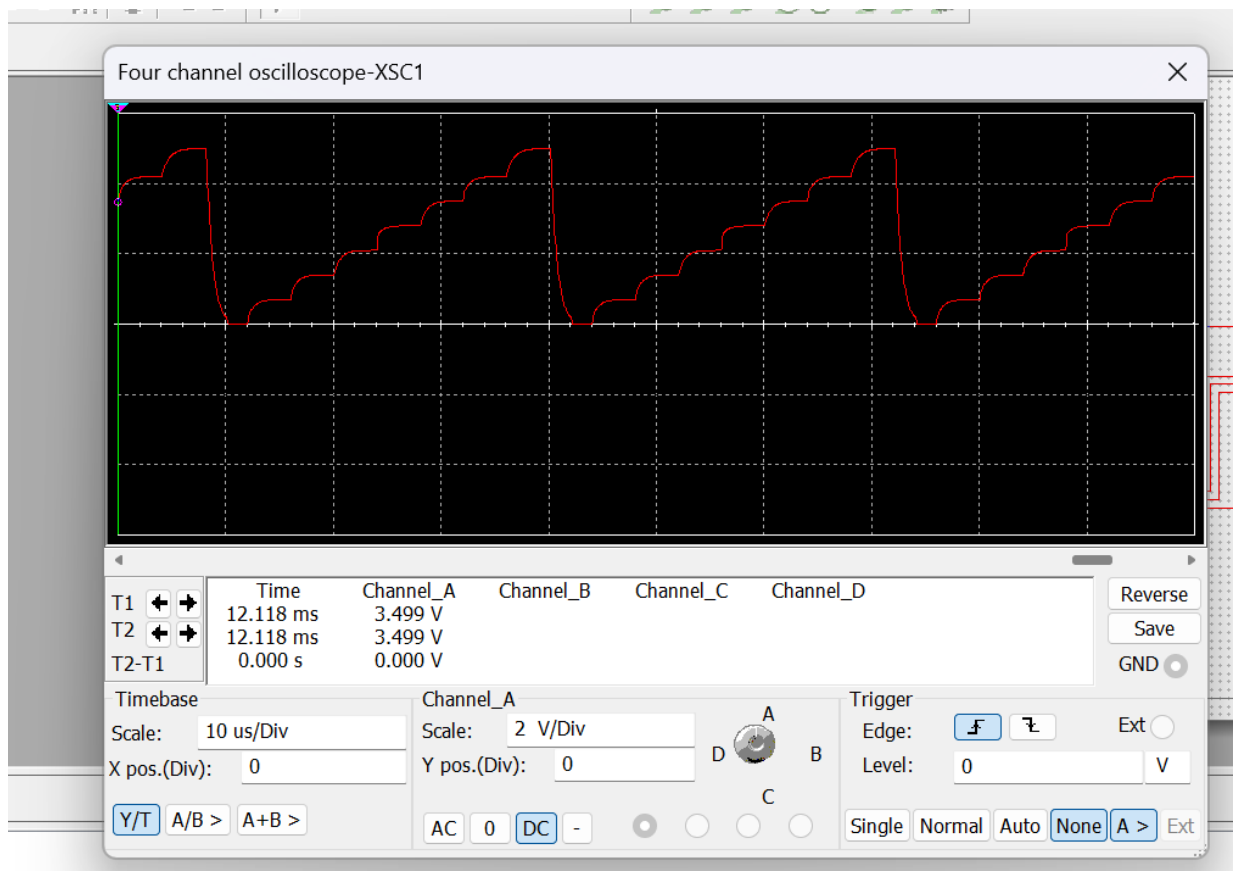
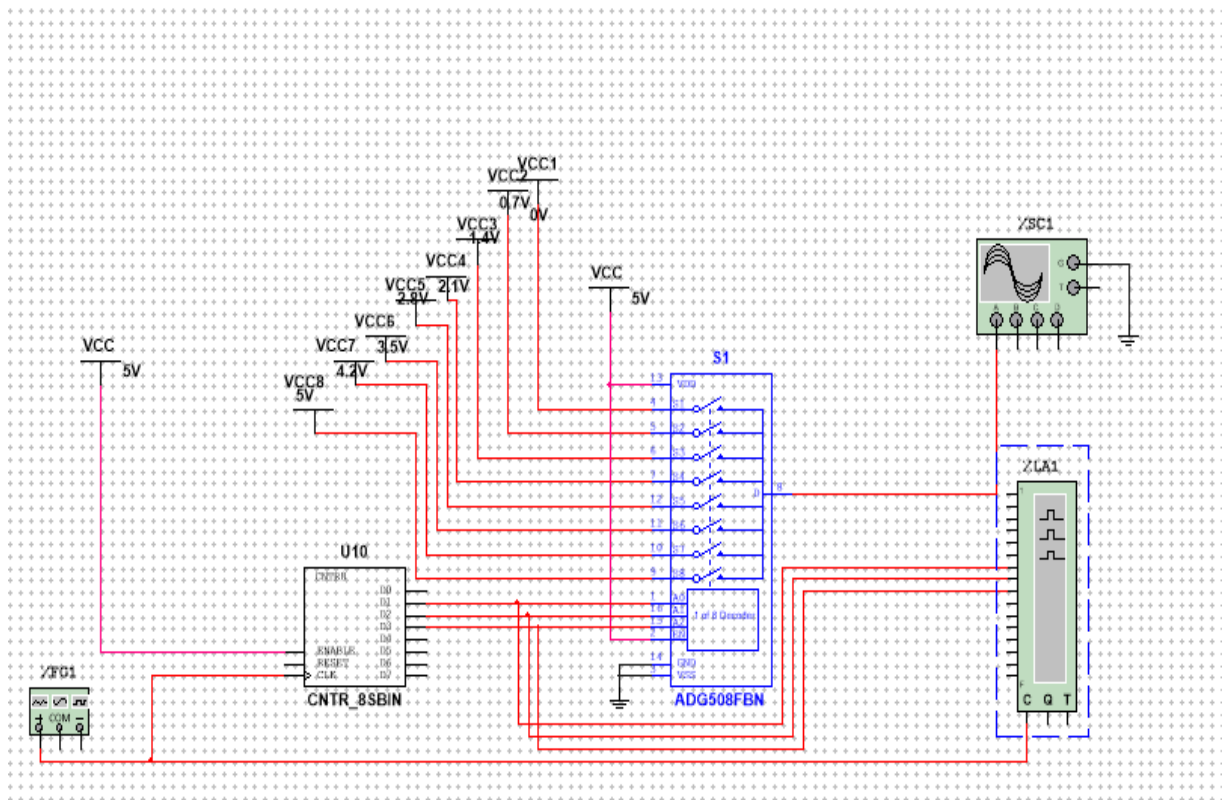
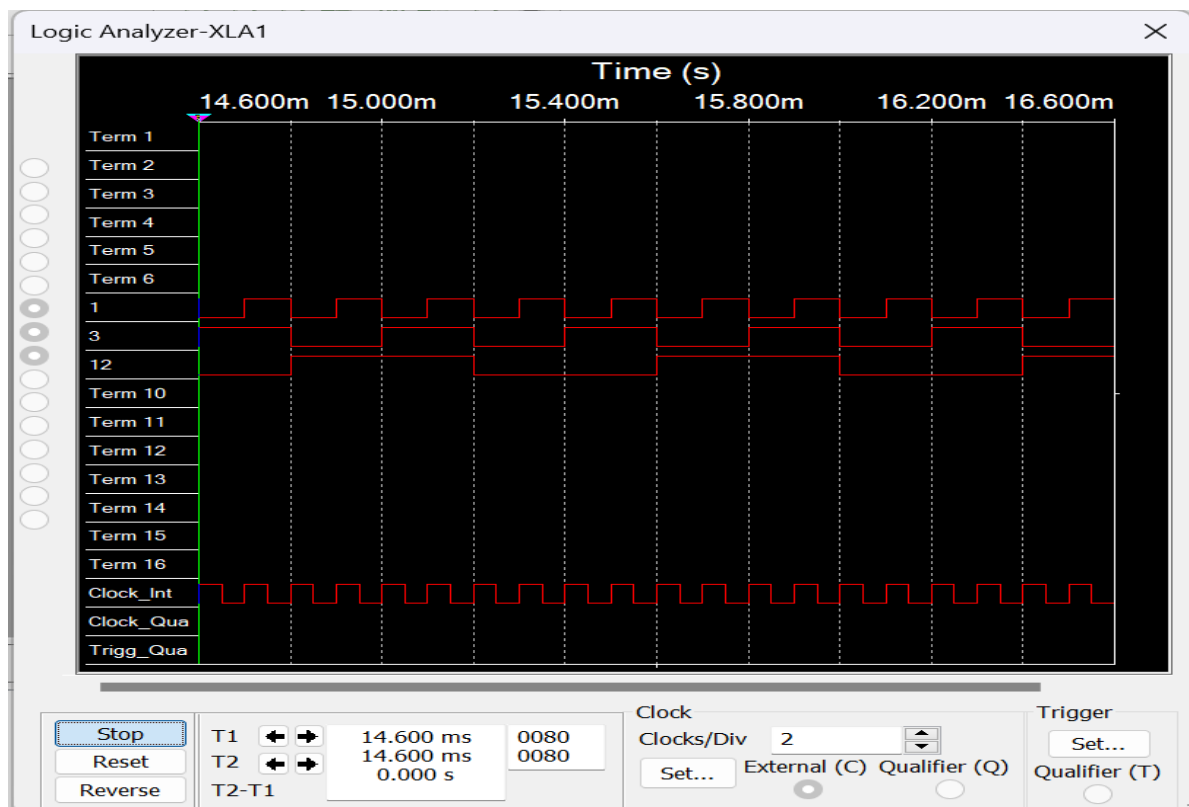


Схема работает следующим образом: На выход идет тот D сигнал, адрес которого пришел на дешифратор. Например, на вход пришло 000, на выходе будет значение S1(0). 010 -> 1. И т.д.

Задание 2. Исследование ИС ADG408 или ADG508 (рис.6) в качестве коммутатора MUX 8 – 1 аналоговых сигналов:

- На информационные входы D0 ...D7 мультиплексора подать дискретные уровни напряжений с источников напряжения UCC (приложение Multisim): 0 В; 0.7 В; 1.4 В; 2.1 В; 2.8 В; 3.5 В; 4.2 В; 5.0 В;
- На адресные входы A2, A1, A0 подать сигналы Q3, Q2, Q1 соответственно с выходов 4-разрядного двоичного счетчика (младший разряд – Q0). На вход счетчика подать импульсы генератора с частотой 500 кГц;
- Снять временную диаграмму сигналов при EN=1 и провести ее анализ. Наблюдение сигналов выполнить на логическом анализаторе, выходного сигнала мультиплексора – на логическом анализаторе и осциллографе. Совместить развертки сигналов, регистрируемых логическим анализатором и осциллографом.





Здесь мы подаем разное напряжение на разные входы, чтобы увидеть, что они выводятся последовательно с увеличением входящего адреса.

Задание 3. Исследование ИС ADG408 или ADG508 (рис.6) как коммутатора MUX8 – 1 цифровых сигналов в качестве формирователя ФАЛ четырех переменных. ФАЛ задается преподавателем из табл. 2.

Вариант 2:

1	0	0	1	1	0	0	1	1	0,2,6,7,8,9,12,14,15
2	0	1	1	1	0	1	1	1	0,4,5,6,7,8,9,10,11,14

Проверить работу формирователя в статическом и динамическом режимах. Снять временную диаграмму сигналов формирователя ФАЛ и провести ее анализ.

No	X3	X2	X1	X0	f	Пр.
0	0	0	0	0	1	D0 = $\sim X0$
1	0	0	0	1	0	
2	0	0	1	0	0	D1 = 0
3	0	0	1	1	0	
4	0	1	0	0	1	D2 = 1
5	0	1	0	1	1	
6	0	1	1	0	1	D3 = 1
7	0	1	1	1	1	
8	1	0	0	0	1	D4 = 1
9	1	0	0	1	1	
10	1	0	1	0	1	D5 = 1
11	1	0	1	1	1	
12	1	1	0	0	0	D6 = 0
13	1	1	0	1	0	
14	1	1	1	0	1	D7 = $\sim X0$
15	1	1	1	1	0	

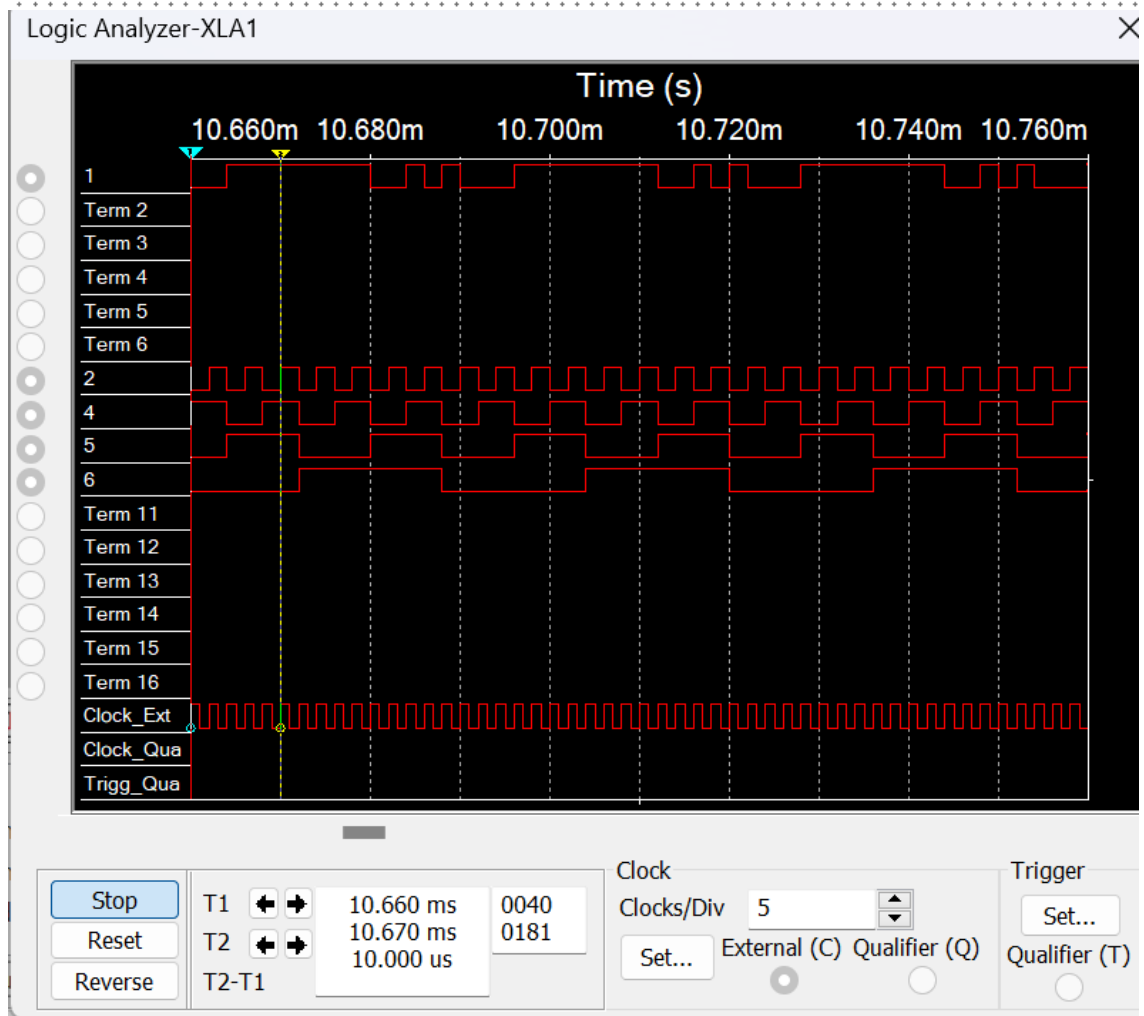
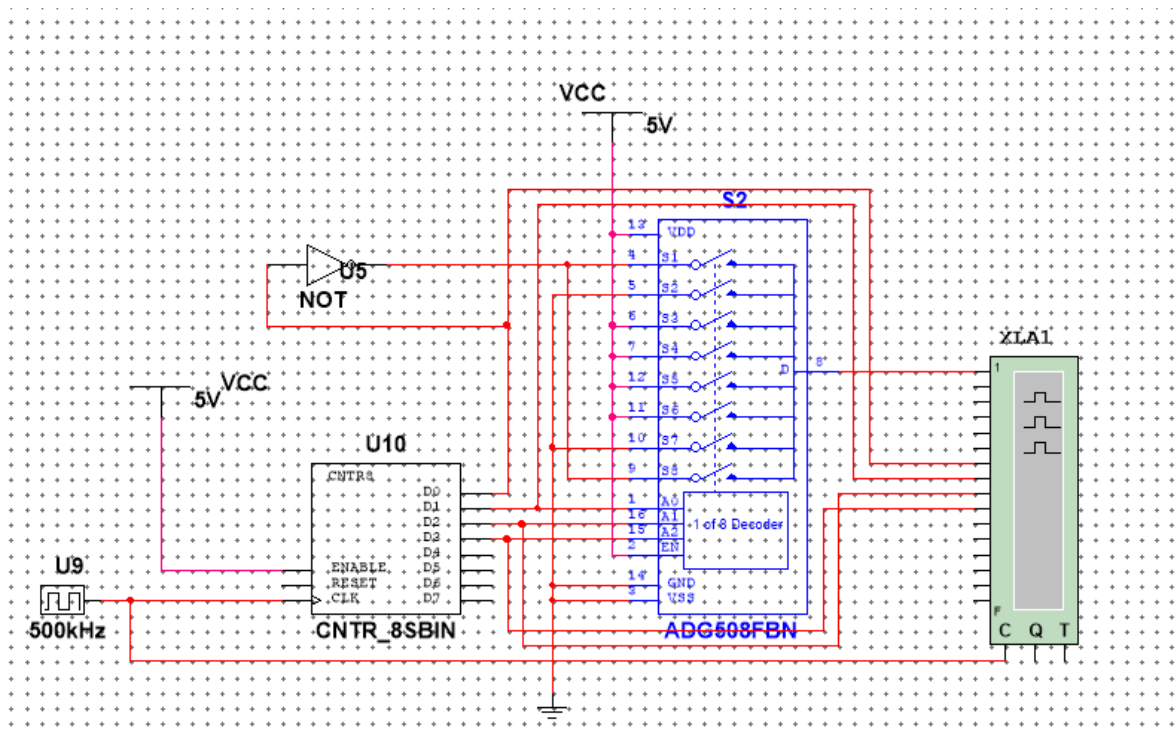


Схема реализует заданную ФАЛ. При подаче на вход набора $x_0 x_1 x_2 x_3$ на выходе будет соответствующее таблице значение. Например, при 0001 на выходе будет 0, при 0100 на выходе будет 1 и т.д.

4. Нарращивание мультиплексора.

Вариант 2: 01110111

1	0	0	1	1	0	0	1	1	0,2,6,7,8,9,12,14,15
2	0	1	1	1	0	1	1	1	0,4,5,6,7,8,9,10,11,14
3	1	0	1	1	1	1	1	1	

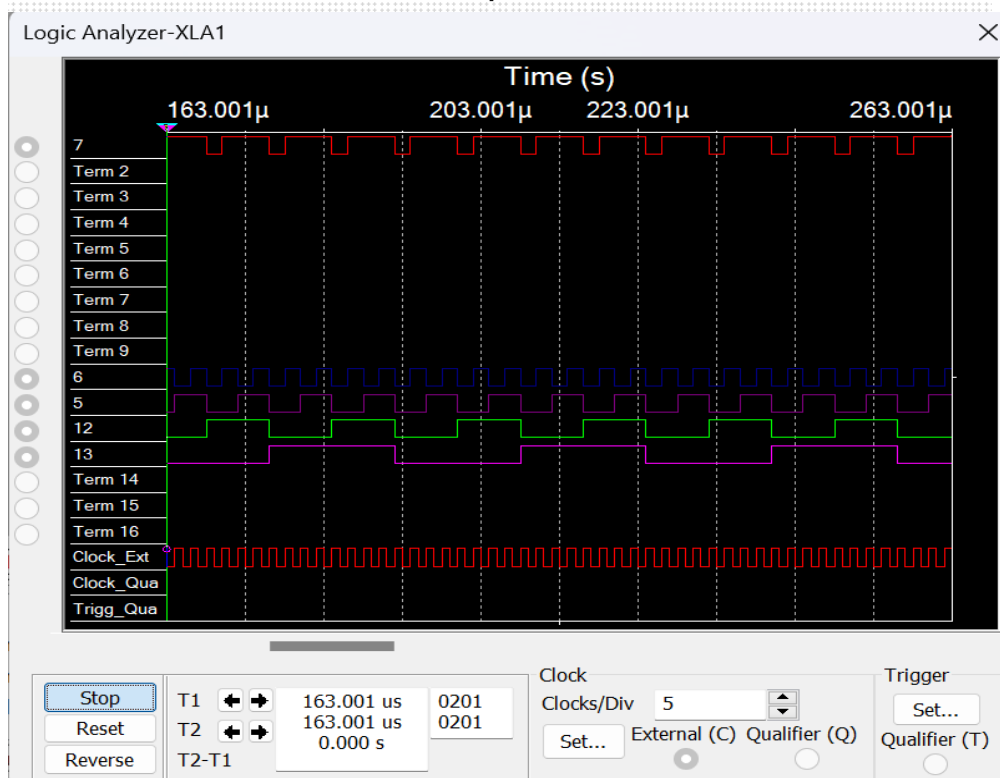
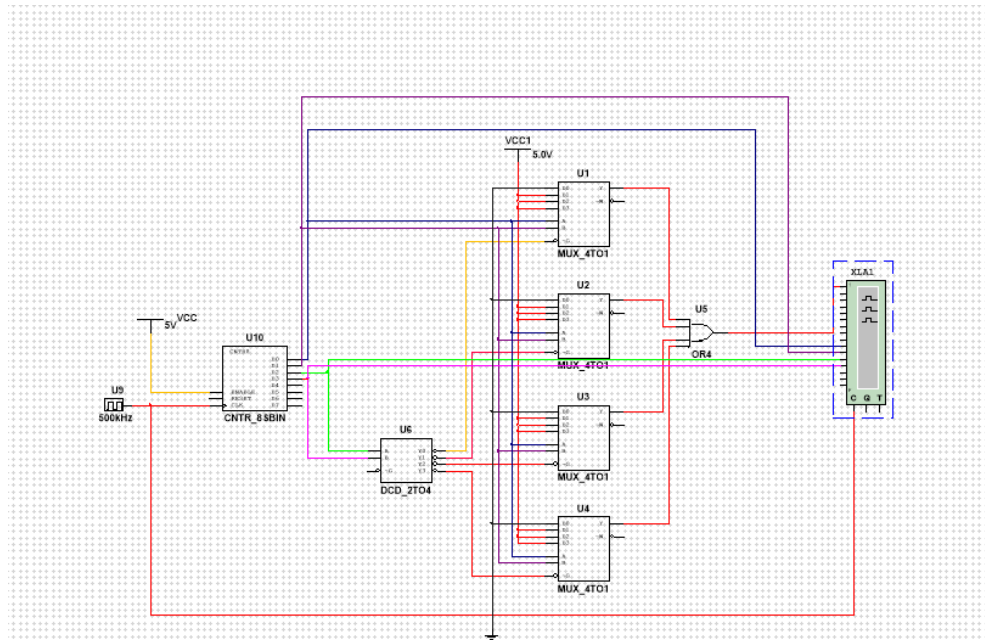


Схема реализует мультиплексор 16-1 из 4х 4-1 и дешифратора. На входе – A0, A1 A2, A3. A0, A1 подается на каждый мультиплексор. A2, A3 подается на дешифратор. Дешифратор по данному адресу включает нужный мультиплексор. Мультиплексор по данному адресу выдает соответствующий сигнал

Вывод: в результате данной лабораторной работы были изучены принципы построения и практического применения, а также экспериментально исследованы мультиплексоры.

Контрольные вопросы

1. Что такое мультиплексор?

Мультиплексор – это функциональный узел, имеющий n адресных входов и $N = 2^n$ информационных входов и выполняющий коммутацию на выход того информационного сигнала, адрес (т.е. номер) которого установлен на адресных входах. Мультиплексор переключает сигнал с одной из N входных линий на один выход.

2. Какую логическую функцию выполняет мультиплексор?

$$Y = EN \bigvee_{j=0}^{2^n-1} D_j m_j(A_{n-1}, A_{n-2}, \dots, A_i, \dots, A_1, A_0)$$

A_i - адресные входы и сигналы

D_j - информационные входы и сигналы

m_j - конъюнкта числа, образованному двоичным кодом сигналов на адресных входах

EN - вход и сигнал разрешения (стробирования)

3. Каково назначение и использование входа разрешения?

Вход EN используется для:

- разрешения работы мультиплексора
- стробирования
- наращивания числа информационных входов

При $EN = 1$, разрешается работа мультиплексора, при $EN = 0$ – работа запрещена.

4. Какие функции может выполнять мультиплексор?

Мультиплексоры широко применяются для построения:

- коммутаторов-селекторов
- постоянных запоминающих устройств емкостью бит
- комбинационных схем, реализующих функции алгебры логики
- преобразователей кодов и других узлов.

5. Какие способы наращивания мультиплексоров?

Существует два способа наращивания коммутируемых каналов:

- по пирамидальной схеме соединения мультиплексоров меньшей размерности
- путем выбора мультиплексора группы информационных входов по адресу (т.е. номеру) мультиплексора с помощью дешифратора адреса мультиплексора группы, а затем выбором информационного сигнала мультиплексором группы по адресу информационного сигнала в группе.

6. Поясните методику синтеза формирователя ФАЛ на мультиплексоре?

Для реализации ФАЛ $n + 1$ переменных на адресные входы мультиплексора подаются n переменных, на информационных входы $n+1$ -ая переменная (или ее инверсия), константы 0 или 1 (в соответствии со значениями ФАЛ)

7. Почему возникают ложные сигналы на выходе мультиплексора? Как их устранить?

Для исключения на выходе ложных сигналов (их вызывают гонки входных сигналов), вход EN используется как стробирующий. Для выделения 18 полезного сигнала на вход EN подается сигнал в интервале времени, свободном от действия ложных сигналов