



Министерство науки и высшего образования Российской Федерации
Федеральное государственное бюджетное образовательное учреждение
высшего образования
«Московский государственный технический университет
имени Н.Э. Баумана
(национальный исследовательский университет)»
(МГТУ им. Н.Э. Баумана)

ФАКУЛЬТЕТ ИНФОРМАТИКА И СИСТЕМЫ УПРАВЛЕНИЯ

КАФЕДРА КОМПЬЮТЕРНЫЕ СИСТЕМЫ И СЕТИ (ИУ6)

НАПРАВЛЕНИЕ ПОДГОТОВКИ **09.03.01 Информатика и вычислительная техника**

О т ч е т

по лабораторной работе № 2

Название: Дешифраторы

Дисциплина: Архитектура ЭВМ

Студент гр. ИУ7-42Б

(Подпись, дата)

С.С. Беляк

(И.О. Фамилия)

Преподаватель

(Подпись, дата)

А.Ю. Попов

(И.О. Фамилия)

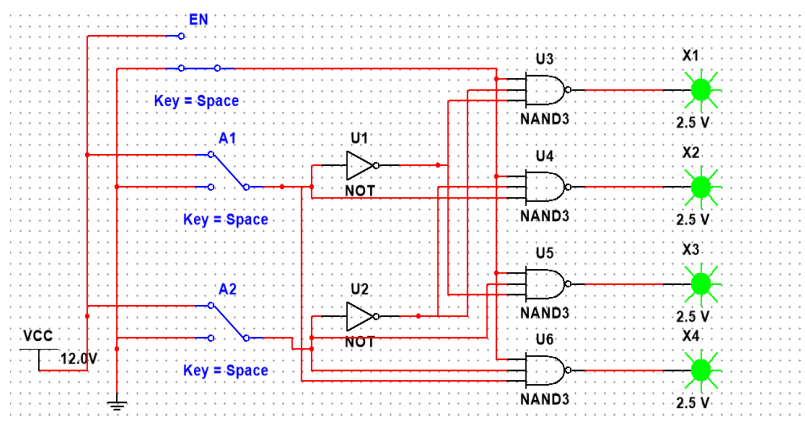
2024 год

Цель работы – изучение принципов построения и методов синтеза дешифраторов; макетирование и экспериментальное исследование дешифраторов.

Дешифратор - комбинационный узел с n входами и N выходами, преобразующий каждый набор двоичных входных сигналов в активный сигнал на выходе, соответствующий этому набору. Количество выходов дешифратора равно числу разрешенных наборов входных сигналов. В дешифраторе с n входами и N выходами $n \leq N \leq 2^n$. Дешифратор, имеющий 2^n выходов, называется полным, при меньшем числе выходов - неполным. Наборам двоичных входных сигналов дешифратора можно поставить в соответствие n -разрядные двоичные числа.

Задание 1. Исследование линейного двухвходового дешифратора с инверсными выходами.

а) собрать линейный стробируемый дешифратор на элементах 3И-НЕ; наборы входных адресных сигналов A_0, A_1 , задать в выходов Q_0, Q_1 четырехразрядного счетчика; подключить световые индикаторы к выходам счетчика и дешифратора;



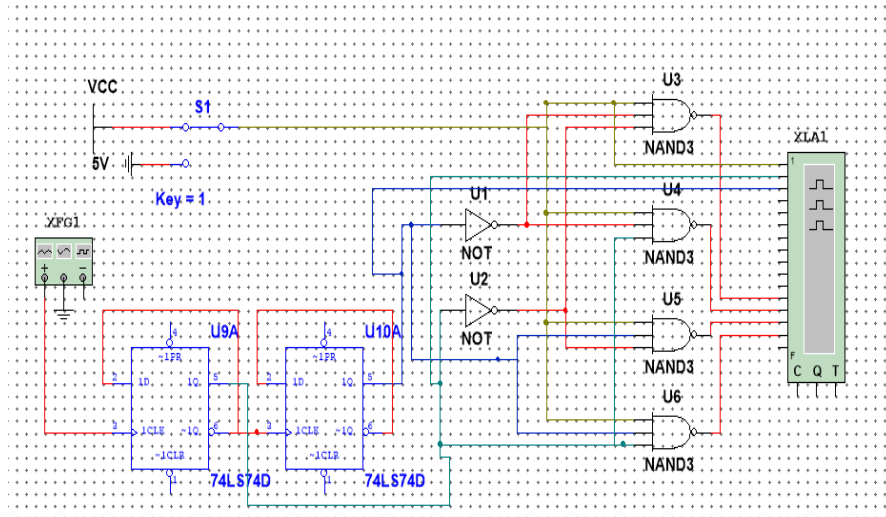
б) подать на вход счетчика сигнал с выхода ключа (Switch) лог. 0 и 1 как генератора одиночных импульсов; изменяя состояние счетчика с помощью ключа, составить таблицу истинности нестробируемого дешифратора (т.е. при $EN=1$);

Таблица истинности для стробирующего дешифратора:

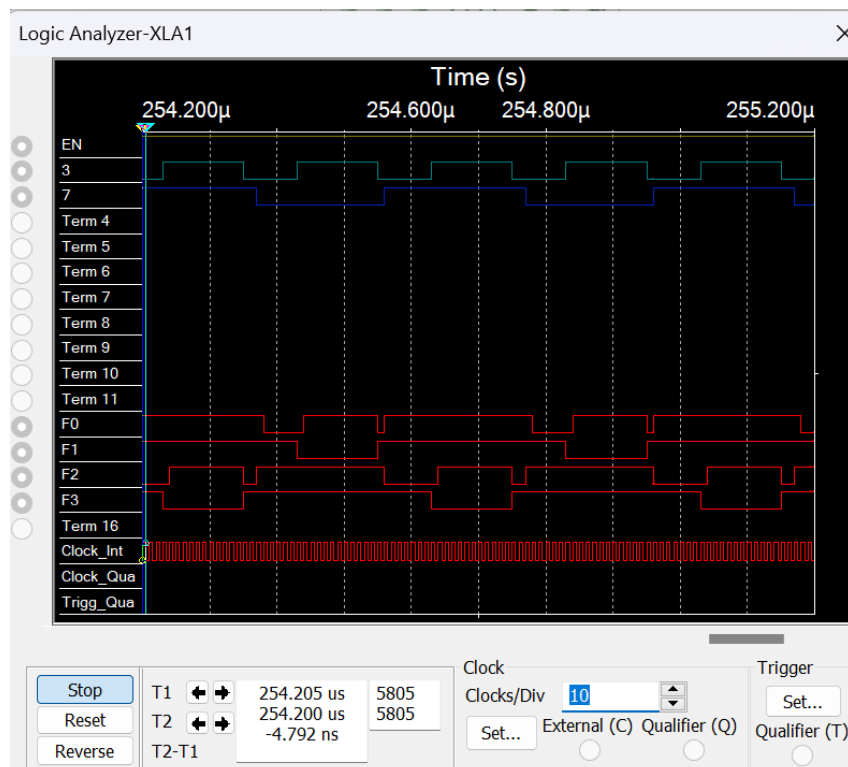
E	A1	A2	F1	F2	F3	F4
0			1	1	1	1
1	0	0	0	1	1	1
1	0	1	1	0	1	1
1	1	0	1	1	0	1
1	1	1	1	1	1	0

в) подать на вход счетчика сигнала генератора и снять временные диаграммы сигналов дешифратора; временные диаграммы здесь и в дальнейшем наблюдать на логическом анализаторе;

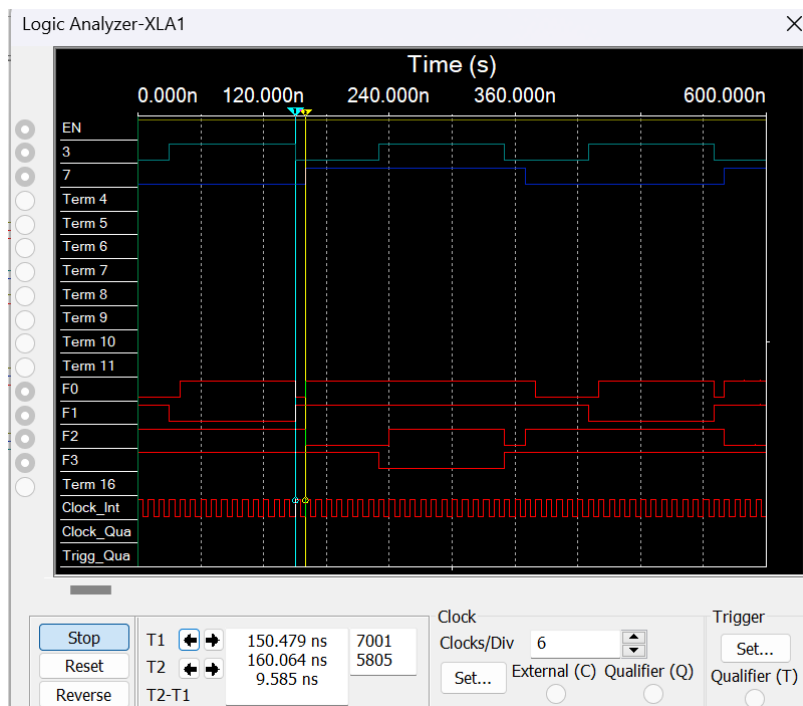
Схема линейного двухвходового дешифратора на элементах 3И-НЕ с генератором:



Временная диаграмма дешифратора с гонкой сигналов:

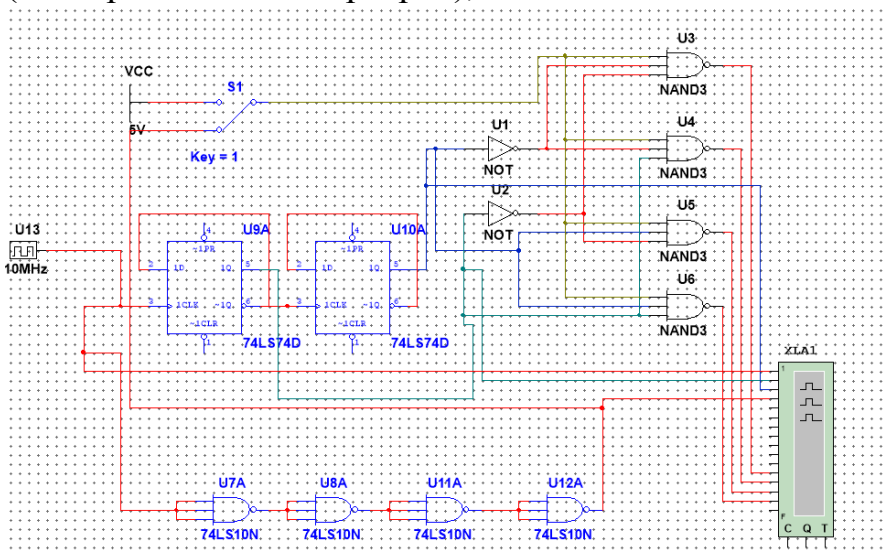


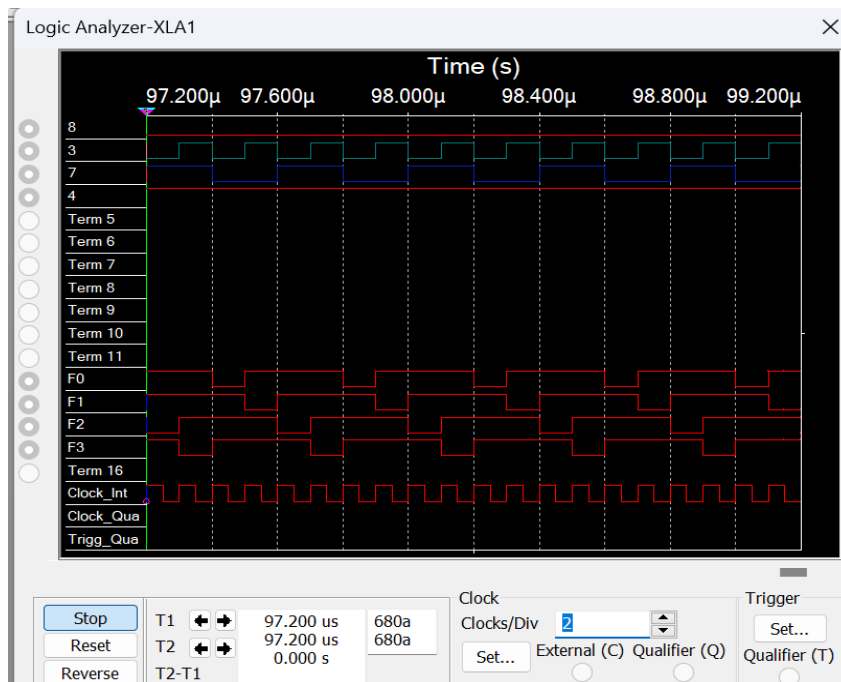
г) определить амплитуду помех, вызванных гонками, на выходах дешифратора;



Из данного измерения видно, что длительность помех равна $1 \cdot 10^{-8}$ с.

д) снять временные диаграммы сигналов стробируемого дешифратора; в качестве стробирующего сигнала использовать инверсный сигнал генератора, задержанный линией задержки логических элементов (повторителей и инверторов);





е) опередить время задержки, необходимое для исключения помех на выходах дешифратора, вызванных гонками.

Время задержки должно превышать суммарную задержку всех элементов в цепи от входа до выхода дешифратора. Это включает в себя задержку NOT и разницу между самым быстрым и самым медленным элементами в цепи ЗИ-НЕ.

Для предотвращения помех на выходах дешифратора необходимо учесть время задержки, равное половине длительности помех, т.е. примерно $0.05 * 10^{-9}$ секунд.

Задание 2. Исследование дешифраторов ИС К155ИД4 (74LS155).

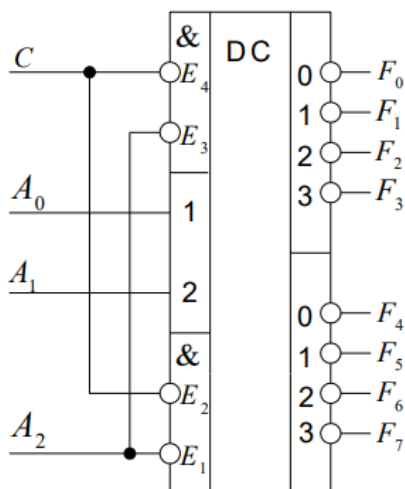
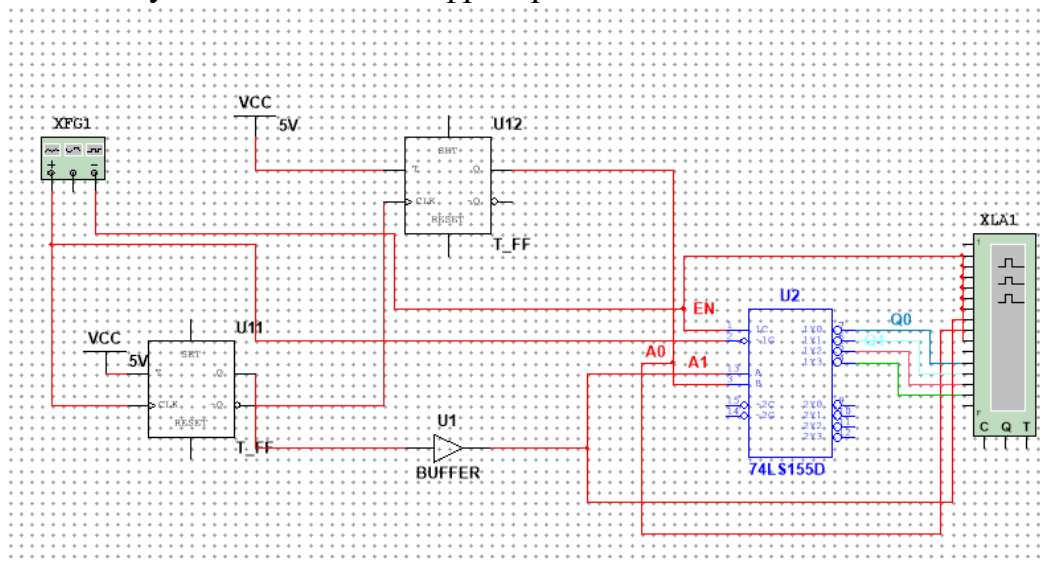


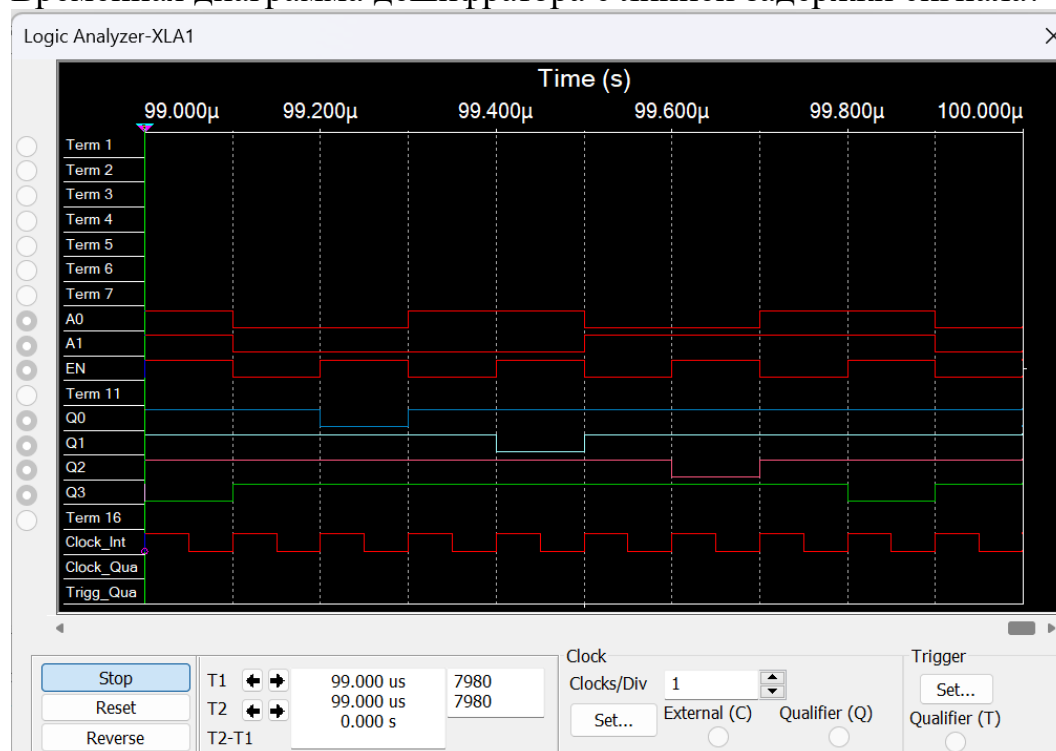
Рис. 8

а) снять временные диаграммы сигналов двухвходового дешифратора, подавая на его адресные входы 1 и 2 сигналы Q0 и Q1 выходов счетчика, а на стробирующие входы E3 и E4 – импульсы генератора, задержанные линией задержки;

Схема двухвходового дешифратора 74LS155D:



Временная диаграмма дешифратора с линией задержки сигнала:

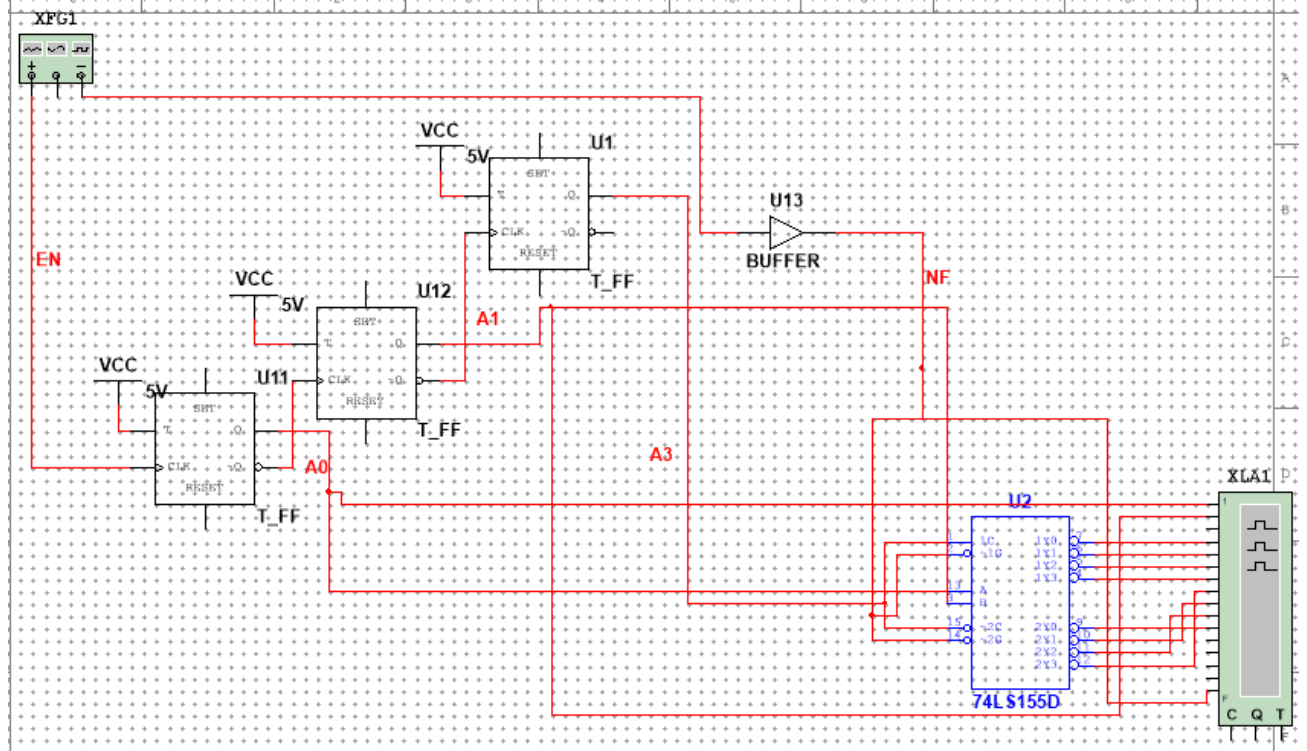


б) определить время задержки стробирующего сигнала, необходимое для исключения помех на выходах дешифратора;

Помехи имеют длительность 0,2 наносекунды. Исходя из этого, можно сделать вывод, что время задержки составляет приблизительно 0,1 наносекунды.

в) собрать схему трехвходового дешифратора на основе дешифратора K155ИД4, задавая входные сигналы A0 A1 A2 с выходов Q0 Q1 Q2 счетчика; снять временные диаграммы сигналов дешифратора и составить по ней таблицу истинности.

Схема трехвходового дешифратора 74LS155D:



Временные диаграммы для трехвходового дешифратора 74LS155D

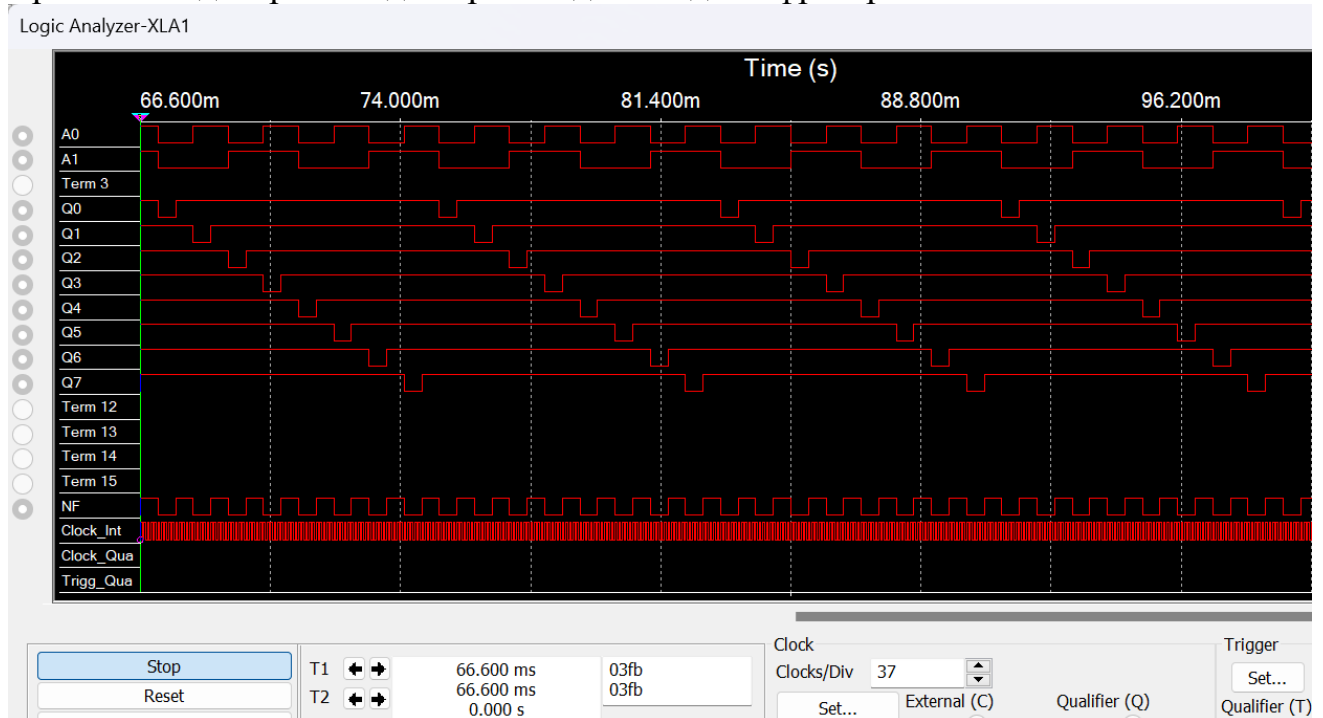
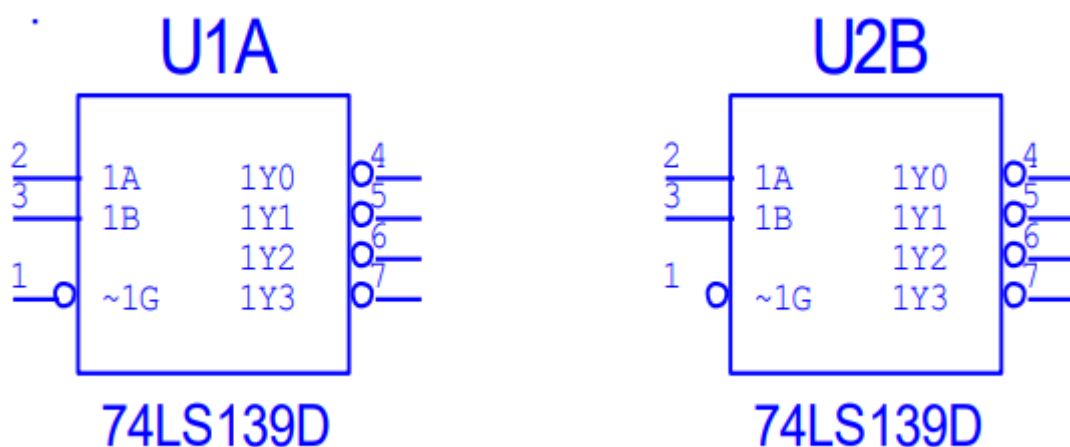


Таблица переходов для трехвходового дешифратора 74LS155D:

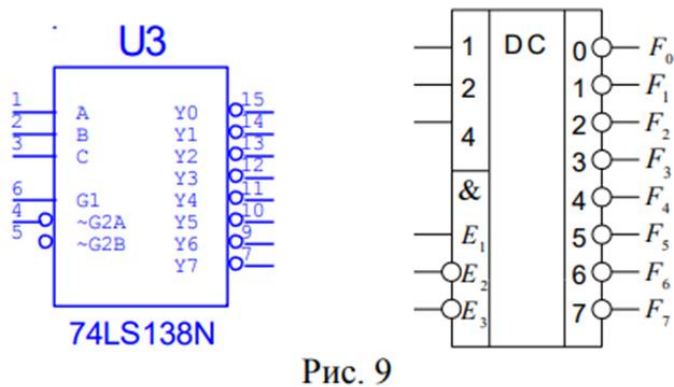
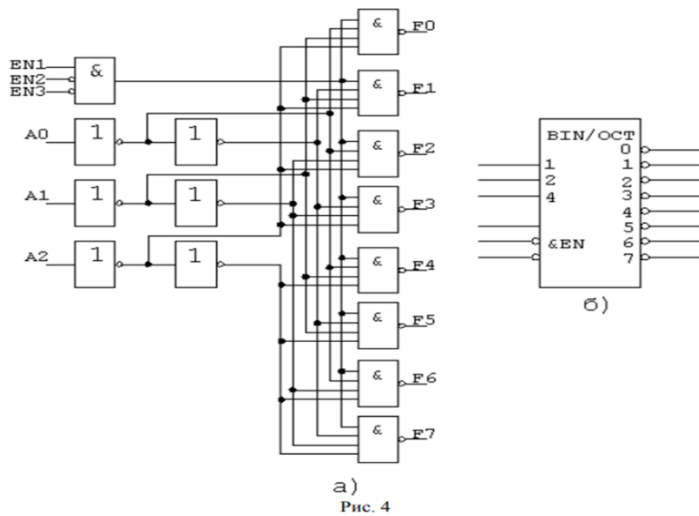
A1	A2	A3	Q0	Q1	Q2	Q3	Q4	Q5	Q6	Q7
0	0	0	1	1	1	1	0	1	1	1
0	0	1	0	1	1	1	1	1	1	1
0	1	0	1	1	1	1	1	1	0	1
0	1	1	1	1	0	1	1	1	1	1
1	0	0	1	1	1	1	1	0	1	1
1	0	1	1	0	1	1	1	1	1	1
1	1	0	1	1	1	1	1	1	1	0
1	1	1	1	1	1	0	1	1	1	1

Задание 3. Исследование дешифраторов ИС КР531ИД14 (74LS139).

ИС 74LS139 содержит два дешифратора DC 2-4 с отдельными адресными входами и разрешения. Входы разрешения – инверсные. Так как каждый дешифратор имеет один вход разрешения, то для образования двух инверсных входов необходимо перед входом разрешения включить двухвходовой ЛЭ. Чтобы на выходе ЛЭ получить функцию конъюнкции $1 \cdot 2$, ЛЭ при наборе 00 входных сигналов должен формировать выходной сигнал 0, а на остальных наборах входных сигналов – 1.

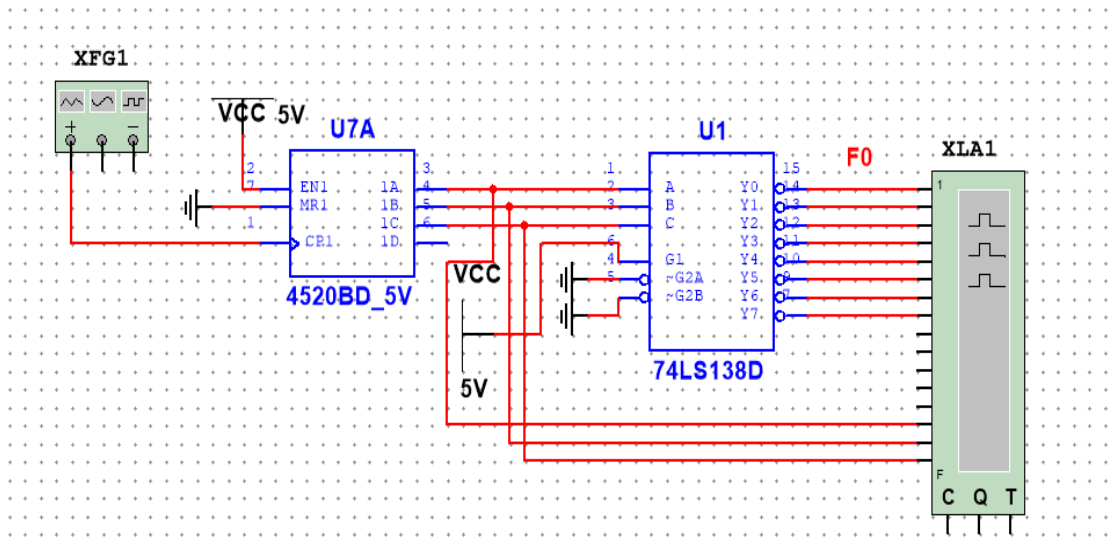


Задание 4. Исследовать работоспособность дешифраторов ИС 533ИД7 (74LS138 – см. U3 на рис.ниже).

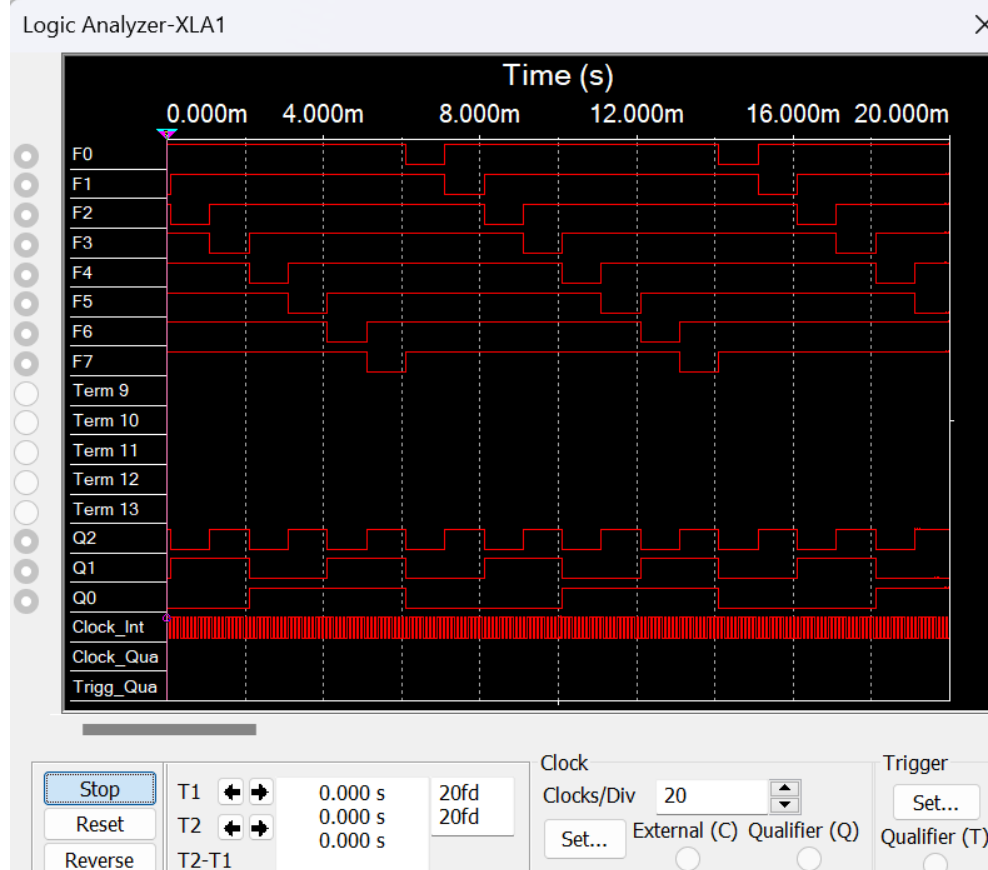


а) снять временные диаграммы сигналов нестробируемого дешифратора DC 3-8 ИС 533ИД7, подавая на его адресные входы 1, 2, 4 сигналы Q_0 Q_1 Q_2 , с выходов счетчика, а на входы разрешения E_1 , E_2 , E_3 – сигналы лог. 1, 0, 0 соответственно;

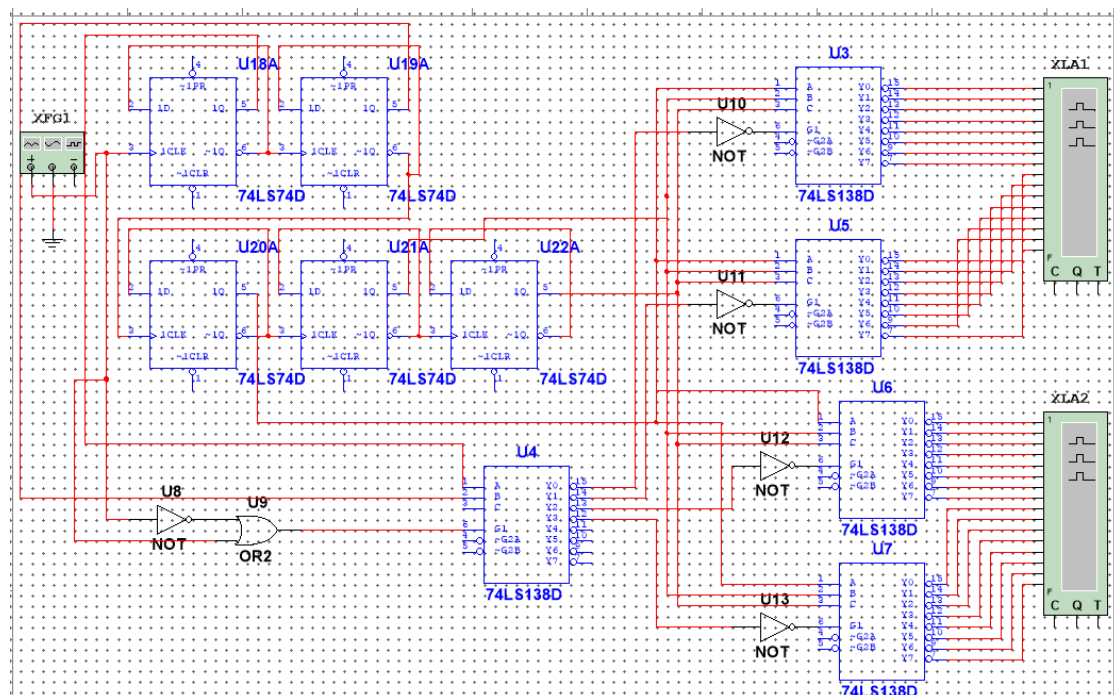
Схема нестробируемого дешифратора DC 3-8 ИС 533ИД7:



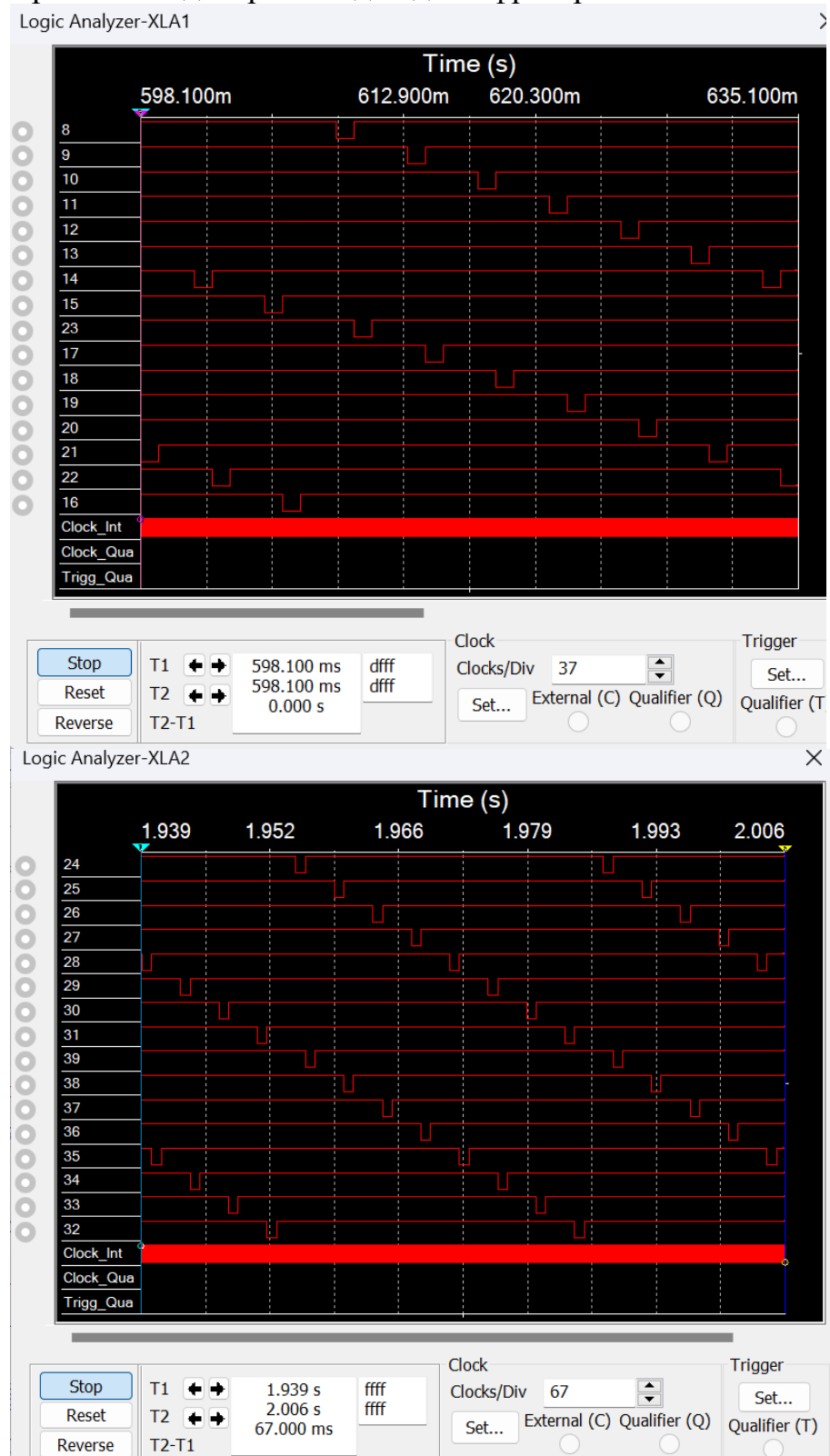
Временные диаграммы для дешифратора DC 3-8 ИС 533ИД7:



б) собрать схему дешифратора DC 5-32 согласно методике наращивания числа входов и снять временные диаграммы сигналов, подавая на его адресные входы сигналы Q0, Q1, Q2, Q3, Q4 с выходов 5-разрядного счетчика, а на входы разрешения – импульсы генератора, задержанные линией задержки макета.



Временные диаграммы для дешифратора DC 5-32:



Вывод: изучены принципы построения и методы синтеза дешифраторов, произведено макетирование и экспериментальное исследование дешифраторов. В ходе работы были составлены таблицы истинности, произведен анализ временных характеристик дешифраторов.

Контрольные вопросы

1. Что называется дешифратором?

Дешифратором называется комбинационный узел с n входами и N выходами, преобразующий каждый набор двоичных входных сигналов в активный сигнал на выходе, соответствующий этому набору.

2. Какой дешифратор называется полным (неполным)?

Дешифратор, имеющий 2^n выходов, называется полным, при меньшем числе выходов - неполным.

3. Определите закон функционирования дешифратора аналитически и таблично.

Функционирование дешифратора $DC\ n - N$ определяется таблицей истинности:

Входы							Выходы					
EN	A_{n-1}	A_{n-2}	A_{n-3}	...	A_1	A_0	F_0	F_1	F_2	...	F_{N-2}	F_{N-1}
0	x	x	x	...	x	x	0	0	0	...	0	0
1	0	0	0	...	0	0	1	0	0	...	0	0
1	0	0	0	...	0	1	0	1	0	...	0	0
1	0	0	0	...	1	0	0	0	1	...	0	0
.
.
.
1	1	1	1	...	1	0	0	0	0	...	1	0
1	1	1	1	...	0	1	0	0	0	...	0	1

Аналитически описать дешифратор можно совокупностью логических функций в СДНФ:

$$F_0 = EN \cdot \bar{A}_{n-1} \cdot \bar{A}_{n-2} \cdot \dots \cdot \bar{A}_i \cdot \bar{A}_1 \cdot \bar{A}_0,$$

$$F_1 = EN \cdot \bar{A}_{n-1} \cdot \bar{A}_{n-2} \cdot \dots \cdot \bar{A}_i \cdot \bar{A}_1 \cdot A_0,$$

$$F_2 = EN \cdot \bar{A}_{n-1} \cdot \bar{A}_{n-2} \cdot \dots \cdot \bar{A}_i \cdot A_1 \cdot \bar{A}_0,$$

.....

$$F_{N-2} = EN \cdot A_{n-1} \cdot A_{n-2} \cdot \dots \cdot A_i \cdot A_1 \cdot \bar{A}_0,$$

$$F_{N-1} = EN \cdot A_{n-1} \cdot A_{n-2} \cdot \dots \cdot A_i \cdot A_1 \cdot A_0,$$

4. Поясните основные способы построения дешифраторов.

Линейный дешифратор строится в соответствии с системой, представленной в предыдущем вопросе, и представляет собой 2^n конъюнктурой или логических элементов ИЛИ- НЕ с n -входами каждый при отсутствии стробирования и с $(n+1)$ входами - при его наличии. Пирамидальный дешифратор строится на основе последовательной (каскадной) реализации выходных функций. На первом этапе реализуются конъюнкции двух переменных. На втором – все конъюнкции трех переменных путем логического умножения каждой ранее полученной конъюнкции двух переменных на переменную. Таким образом, на каждом следующем этапе получают вдвое больше конъюнкции, чем на предыдущем. Пирамидальные дешифраторы независимо от числа их входов строятся на основе только двухвходовых конъюнктурой.

5. Что называется гонками и как устраняются ложные сигналы, вызванные гонками?

Вследствие переходных процессов и временных задержек сигналов в цепях логических элементов могут возникнуть так называемые гонки, приводящие к появлению ложных сигналов на выходах схемы. Основным средством, позволяющим исключить гонки, является стробирование (выделение из информационного сигнала той части, которая свободна от искажений, вызываемых гонками). Стробирующий сигнал на этом входе не должен быть активным во время переходных процессов в дешифраторе.

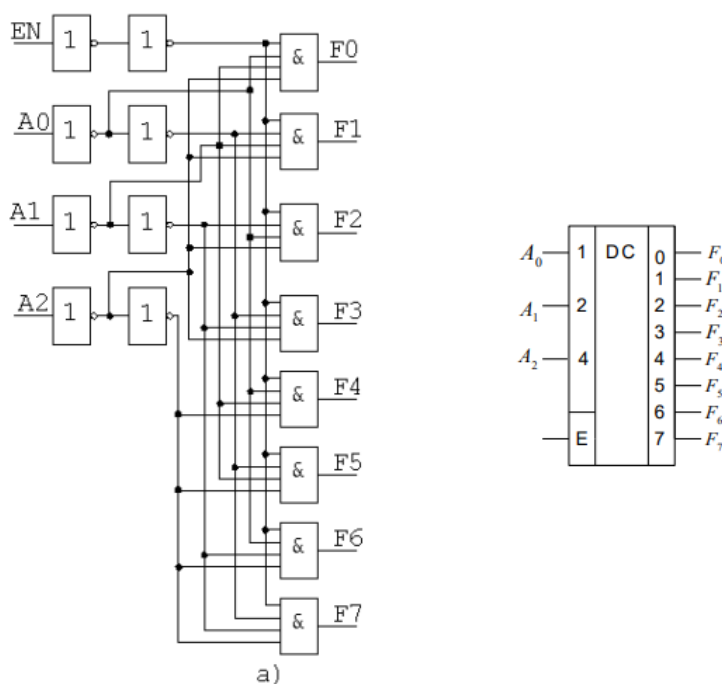


Рис. 1

6. Каковы способы наращивания дешифраторов по количеству входов и выходов и как они реализуются схемотехнически?

Пусть для построения сложного дешифратора DC n - N используются простые дешифраторы DC n_1 - N_1 , причем $n_1 \ll n$, следовательно, и $N_1 \ll N$.

1. Число каскадов равно $K = n/n_1$. Если K – целое число, то во всех каскадах используются полные дешифраторы $DC\ n_1 - N_1$. Если K – правильная или смешанная дробь, то во входном каскаде используется неполный дешифратор $DC\ n_1 - N_1$.
2. Количество простых дешифраторов $DC\ n_1 - N_1$ в выходном каскаде равно N/N_1 , в предвыходном – N/N_1^2 , пред предвыходном – N/N_1^3 и т.д.; во входном каскаде – N/N_1^k . Если N/N_1^k – правильная дробь, то это означает, что во входном каскаде используется неполный простой дешифратор.
3. В выходном каскаде дешифрируются n_1 младших разрядов адреса сложного дешифратора, в предвыходном – следующие n_1 младших разрядов адреса сложного дешифратора и т.д. Во входном каскаде дешифрируется полная или неполная группа старших разрядов адреса. Поэтому n_1 младших разрядов адреса сложного дешифратора подаются параллельно на адресные входы всех дешифраторов выходного каскада, следующие n_1 младших разрядов адреса – на адресные входы всех дешифраторов предвыходного каскада и т.д.; группа старших разрядов адреса подается на адресные входы дешифратора.
4. Выходы дешифраторов предвыходного каскада соединяются с входами разрешения простых дешифраторов выходного каскада, выходы дешифраторов пред предвыходным каскадом – с входами разрешения простых дешифраторов предвыходного каскада и т.д.