



Министерство науки и высшего образования Российской Федерации
Федеральное государственное бюджетное образовательное учреждение
высшего образования
«Московский государственный технический университет
имени Н.Э. Баумана
(национальный исследовательский университет)»
(МГТУ им. Н.Э. Баумана)

ФАКУЛЬТЕТ ИНФОРМАТИКА И СИСТЕМЫ УПРАВЛЕНИЯ

КАФЕДРА КОМПЬЮТЕРНЫЕ СИСТЕМЫ И СЕТИ (ИУ6)

НАПРАВЛЕНИЕ ПОДГОТОВКИ **09.03.01 Информатика и вычислительная техника**

О т ч е т

по лабораторной работе № 1

Название: **Триггеры**

Дисциплина: **Архитектура ЭВМ**

Студент гр. ИУ7-42Б

(Подпись, дата)

С.С. Беляк

(И.О. Фамилия)

Преподаватель

(Подпись, дата)

А.Ю. Попов

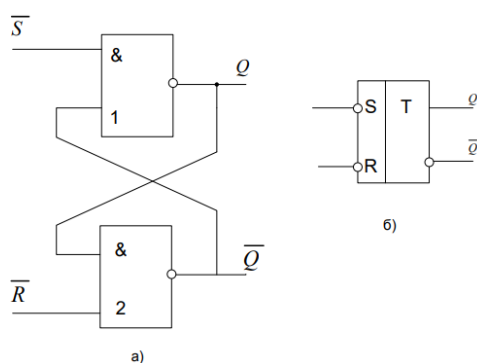
(И.О. Фамилия)

2024 год

Цель работы – изучить схемы асинхронного RS-триггера, который является запоминающей ячейкой всех типов триггеров, синхронных RS- и D-триггеров со статическим управлением записью и DV-триггера с динамическим управлением записью.

Задание 1. Исследование работы асинхронного RS-триггера с инверсными входами в статическом режиме.

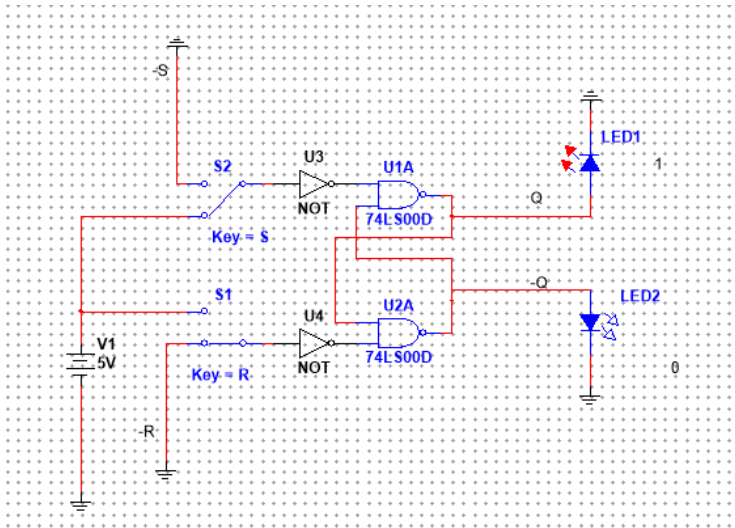
Соберем схему RS-триггера на ЛЭ И-НЕ, к выходам триггера подключим световые индикаторы, задавая через переключатели необходимые сигналы на сигналы на входах через переключатели. Составим таблицу переходов.



R	S	Q(n)	Q (n + 1)	-Q (n + 1)	
0	0	0	0	0	Хранение
0	0	1	1	1	
1	0	0	0	1	Установка нуля
1	0	1	0	1	
0	1	0	1	0	Установка единицы
0	1	1	1	0	
1	1	0	-	-	Запрещенное состояние
1	1	1	-	-	

Асинхронный RS - триггер — это простейший триггер, который используется как запоминающая ячейка.

Он сохраняет одно из устойчивых состояний независимо от многократного изменения информационного сигнала на одном входе при нулевом значении информационного сигнала на другом входе.



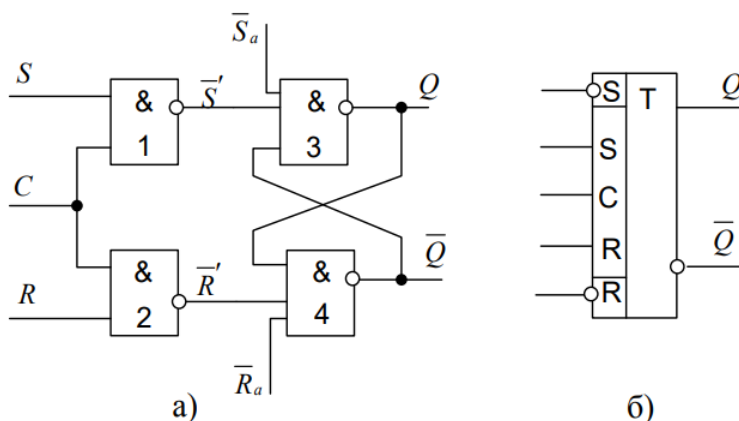
При $S=0$ и $R=1$ триггер устанавливается в состояние "0", а при $S=1$ и $R=0$ - в состояние "1". Если $S=0$ и $R=0$, то в триггере сохраняется предыдущее внутреннее состояние.

При $S=R=1$ состояние триггера является неопределенным. Такая комбинация входных сигналов $S=R=1$ является запрещенной.

Для нормальной работы триггера необходимо выполнение запрещающего условия $SR=0$.

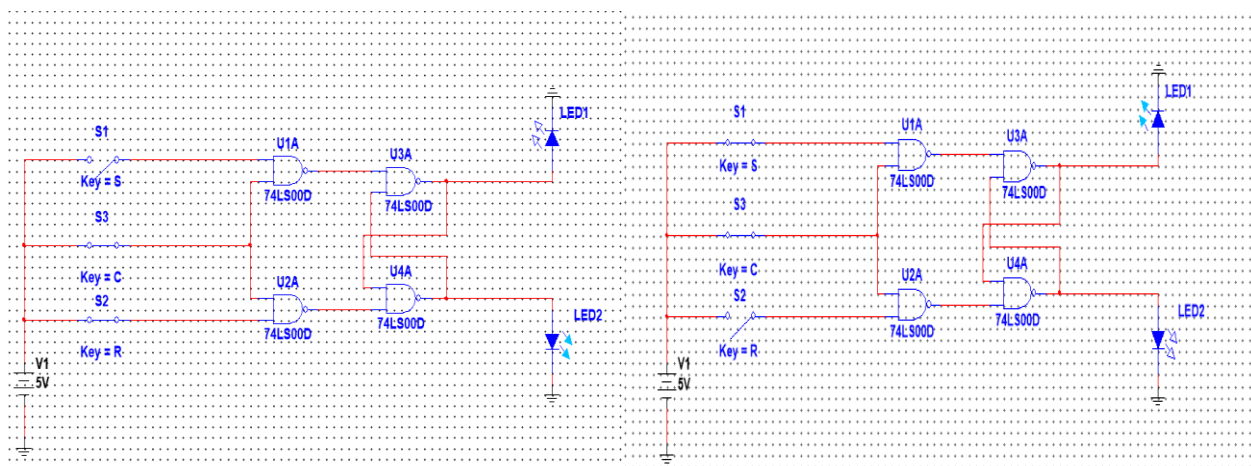
Задание 2. Исследование работы синхронного RS-триггера в статическом режиме. Построим схему RS-триггера с использованием элементов И-НЕ на логических элементах.

Подключим световые индикаторы к выходам триггера, установим необходимые сигналы на входах S , R и C с помощью переключателей, чтобы протестировать триггер и создать таблицу переходов.



Синхронный RS-триггер имеет два информационных входа R и S и вход синхронизации C .

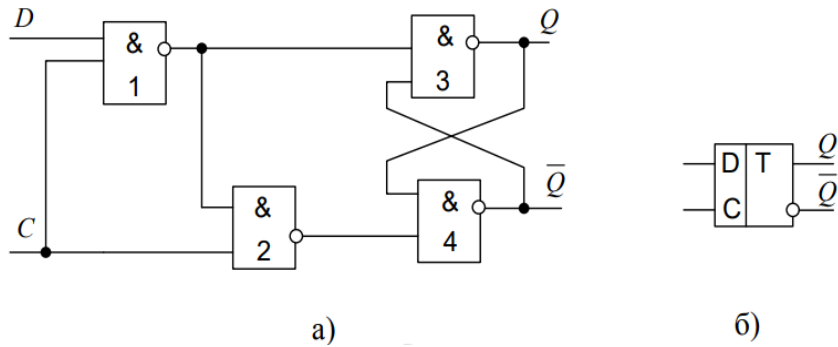
S	R	Q(n)	C	Q (n + 1)	-Q (n + 1)	
0	0	0	0	0	1	Хранение
			1	0	1	
			0	0	1	
0	0	1	0	1	0	
			1	1	0	
			0	1	0	
0	1	0	0	0	1	Установка нуля
			1	0	1	
			0	0	1	
0	1	1	0	1	0	
			1	0	1	
			0	0	1	
1	0	0	0	0	1	Установка единицы
			1	1	0	
			0	1	0	
1	0	1	0	1	0	
			1	1	0	
			0	1	0	
1	1	0	0	-	-	Запрещенное состояние
			1	-	-	
			0	-	-	
1	1	1	0	-	-	
			1	-	-	
			0	-	-	



Синхронный RS - триггер при $C = 0$ сохраняет предыдущее внутреннее состояние. Сигналы по входам S и R переключают синхронный RS-триггер только с поступлением импульса на вход синхронизации C .

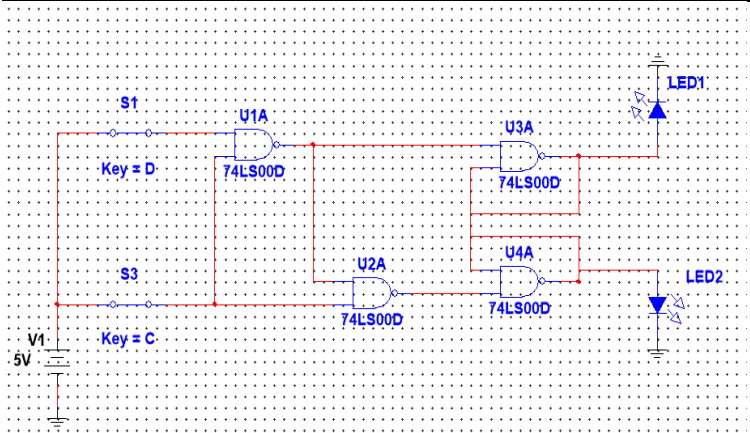
При $C=1$ синхронный триггер переключается как асинхронный. Одновременная подача сигналов $C=S=R= 1$ запрещена. При $S=R=0$ триггер не изменяет своего состояния.

Задание 3. Исследование работы синхронного D-триггера в статическом режиме. Построим схему D-триггера на ЛЭ И-НЕ, протестируем и составим таблицу переходов триггера. В таблице теста каждому набору D и Q будет 10 соответствовать 3 строки: C=0 (момент времени t_n), C=1 (момент времени t_{n+1}) определяется Q_{n+1} и снова при C=0 происходит переход в режим хранения.



D - триггер – элемент задержки сигналов на один такт.

D(n)	C	Q (n + 1)	-Q (n + 1)
0	0	0	1
	1	0	1
	0	0	1
0	0	1	0
	1	0	1
	0	0	1
1	0	0	1
	1	1	0
	0	1	0
1	0	1	0
	1	1	0
	0	1	0



Синхронный D-триггер имеет один информационный вход D, состояние которого с каждым синхронизирующим импульсом передается на выход, т.е. выходные сигналы представляют собой задержанные входные сигналы.

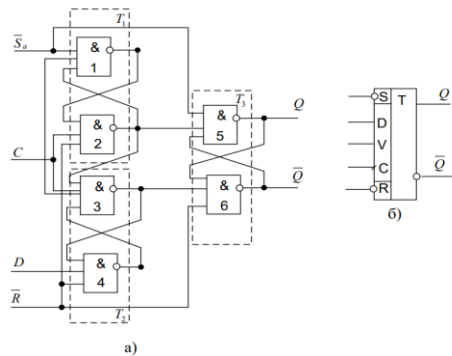
Задание 4. Исследование схемы синхронного D-триггера с динамическим управлением записью в статическом режиме.

Протестируем и составим таблицу переходов триггера. В таблице теста отметим реакцию триггера на изменения сигнала D при C=0 и при C=1, а также способность триггера принимать сигнал D только по перепаду 0/1 сигнала C.

Практическая схема синхронного D-триггера с прямым динамическим входом на ЛЭ И-НЕ приведена на рисунке:

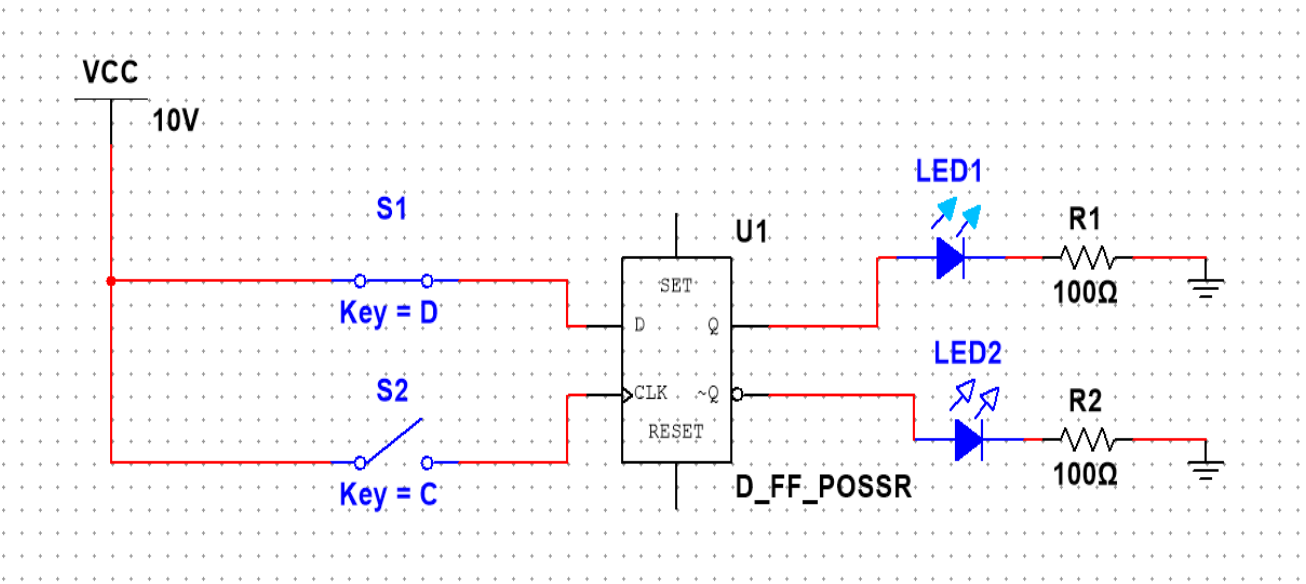
Таблица переходов синхронных D- и T-триггеров

Таблица 4



Время t_n			Время t_{n+1}	
C_n	D_n, T_n	Q_n	Q_{n+1}	
			D-триггер	T-триггер
0	0	0	0	0
0	0	1	1	1
0	1	0	0	0
0	1	1	1	1
1	0	0	0	0
1	0	1	0	1
1	1	0	1	1
1	1	1	1	0

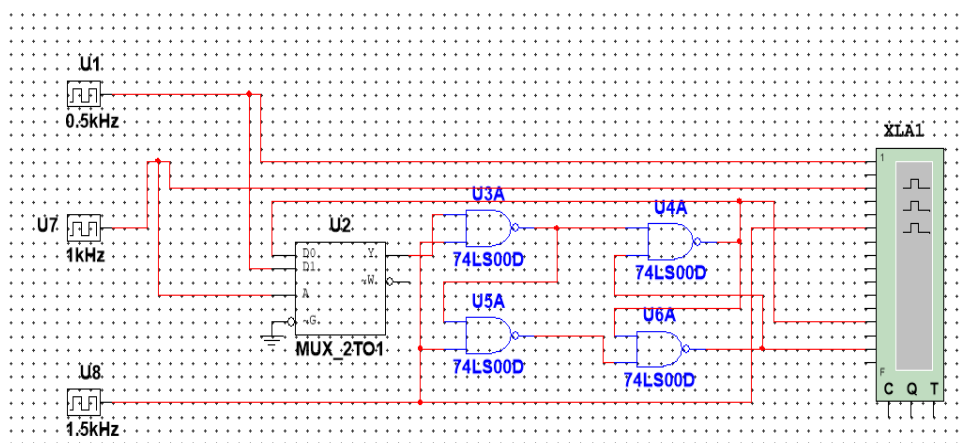
Построим схему D-триггера в динамическом режиме:



Характерной особенностью синхронных триггеров с динамическим управлением записью является то, что прием информационных сигналов и передача на выход принятой информации выполняются в момент изменения синхросигнала на C - входе из "0" в "1" или из "1" в "0", т.е. перепадом синхросигнала.

Синхронный триггер с динамическим управлением записью принимает только те информационные сигналы, которые были на его информационных входах до прихода синхросигнала и после него в течение времени, необходимого для переключения триггера и определяемого переходными процессами в нем.

Построим схему синхронного DV-триггера:



Timing diagram for Logic Analyzer-XLA1. The diagram displays multiple digital signals over a time interval from 1.7562 to 1.7592 seconds. The signals include D, Term 2, V, Term 4, Term 5, C, Term 7, Term 8, Term 9, Term 10, Term 11, Term 12, 6, Term 14, 8, Term 16, Clock_Int, Clock_Que, and Trigg_Que. The signals are represented as red waveforms on a black background. The time axis is marked with vertical dashed lines at 1.7562, 1.7568, 1.7574, 1.7580, 1.7586, and 1.7592 seconds. The signals show various digital transitions, with Clock_Int being a high-frequency periodic signal and the other signals being lower-frequency digital signals.

7

Задание 6. Исследование работы DV-триггера, включенного по схеме TV-триггера.

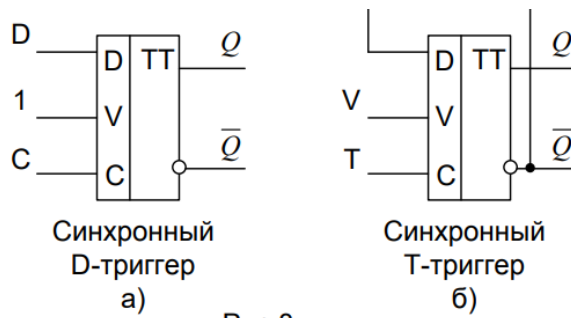
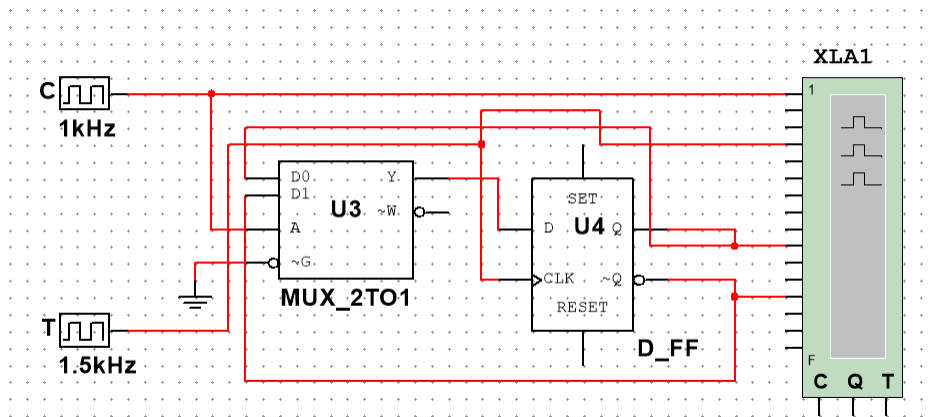
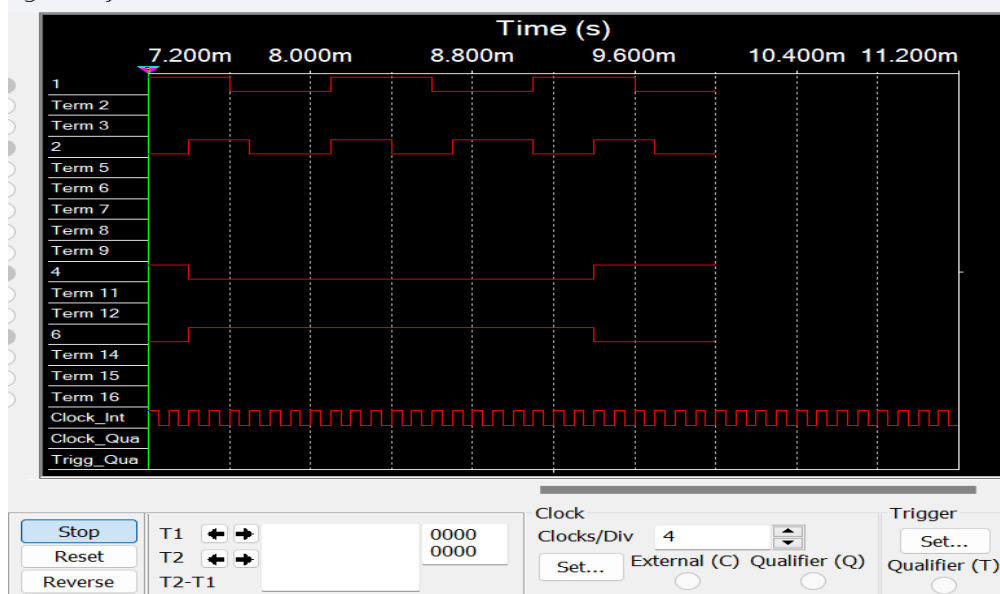


Рис.8



Выведем временные диаграммы:



Контрольные вопросы

1. Что называется триггером?

Триггер является запоминающим элементом с двумя устойчивыми состояниями, которые кодируются цифрами 0 и 1.

2. Какова структурная схема триггера?

Структурную схему триггера можно представить в виде запоминающей ячейки (ЗЯ) и схемы управления (СУ).

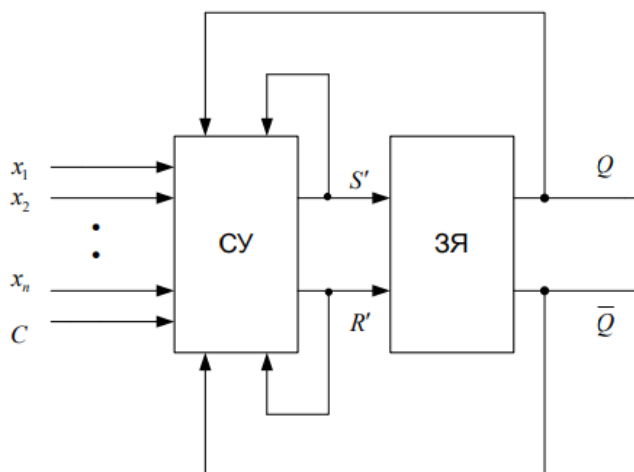


Рис.1

3. По каким основным признакам классифицируют триггеры?

Триггеры классифицируют по следующим основным признакам.

1. По способу организации логических связей, т.е. по виду логического уравнения, характеризующего состояние входов и выходов триггера в момент времени t_n до его срабатывания и в момент t_{n+1} после его срабатывания, различают триггеры:

- с раздельной установкой состояний “0” и “1” (RS-триггеры);
- со счетным входом (Т-триггеры);
- универсальные с раздельной установкой состояний “0” и “1” (JK-триггеры);
- с приемом информации по одному входу (D триггеры);
- универсальные с управляемым приемом информации по одному входу (DV -триггеры);
- комбинированные (например, RST-, JKRS, DRS - триггеры) и т.д.

Разнообразие схем триггеров определяется возможностью изменения организации СУ и способами подключения обратной связи к входам СУ.

2. По способу записи информации различают триггеры:

- асинхронные (не синхронизируемые);
- синхронные (синхронизируемые), или тактируемые.

3. По способу синхронизации различают триггеры: синхронные со статическим управлением записью; синхронные с динамическим управлением записью.

4. По способу передачи информации с входов на выход различают триггеры о одноступенчатым и двухступенчатым запоминанием информации.

4. Каково функциональное назначение входов триггеров?

Функциональное назначение входов триггера указывают на его условном графическом обозначении (УГО) при помощи специальных меток согласно таблице:

Номер п/п	Наименование входов	Обозначение
1	S-вход – вход для раздельной установки триггера в состояние "1" (Set – установка)	S
2	R-вход – вход для раздельной установки триггера в состояние "0" (Reset – сброс, очистка)	R
3	J-вход – вход для установки состояния "1" в универсальном JK-триггере (Jerk – внезапное включение)	J
4	K-вход – вход для установки состояния "0" в универсальном JK-триггере (Kill – внезапное отключение)	K
5	T -вход – счетный вход (Toggle – релаксатор)	T
6	D-вход – информационный вход для установки триггера в состояния "1" или "0" (Data – данные, Delay – задержка)	D
7	V-вход – подготовительный управляющий вход для разрешения приема информации (Valve – клапан, вентиль)	V
8	C-вход - исполнительный управляющий (командный) вход для осуществления приема информации, вход синхронизации (Clock – источник синхросигналов)	C

5. Что такое асинхронный и синхронный триггеры?

Асинхронный RS -триггер — это простейший триггер, который используется как запоминающая ячейка.

Синхронный RS-триггер имеет два информационных входа R и S и вход синхронизации C.

6. Что такое таблица переходов?

Таблица переходов отражает зависимость выходного сигнала триггера в момент времени t_{n+1} от входных сигналов и от состояния триггера в предыдущий момент времени t_n .

7. Как работает асинхронный RS-триггер?

При $S=0$ и $R = 1$ триггер устанавливается в состояние "0", а при $S = 1$ и $R = 0$ в состояние "1". Если $S = 0$ и $R = 0$, то в триггере сохраняется предыдущее внутреннее состояние). При $S=R=1$ состояние триггера является неопределенным (после снятия входных сигналов S и R). Такая комбинация входных сигналов $S=R=1$ является недопустимой (запрещенной). Для нормальной работы триггера необходимо выполнение запрещающего условия $SR= 0$.

8. Как работает синхронный RS -триггер? Какова его таблица переходов?

Синхронный RS - триггер при $C = 0$ сохраняет предыдущее внутреннее состояние, т.е. $Q_{n+1} = Q_n$. Сигналы по входам S и R переключают синхронный RS-триггер только с поступлением импульса на вход синхронизации C.

При $C=1$ синхронный триггер переключается как асинхронный. Одновременная подача сигналов $C=S=R=1$ запрещена. При $S=R=0$ триггер не изменяет своего состояния.

9. Что такое D-триггер?

Синхронный D -триггер имеет один информационный вход D, состояние которого с каждым синхронизирующим импульсом передается на выход, т.е. выходные сигналы представляют собой задержанные входные сигналы. Поэтому D - триггер – элемент задержки (хранения) входных сигналов на один такт.

10. Объясните работу синхронного D-триггера.

Схему синхронного D -триггера можно получить из схемы синхронного RS – триггера, подавая сигнал D на вход S, а сигнал, т.е. с выхода инвертора сигнала D, на вход R. В результате на входах RS-триггера возможны только наборы сигналов $SR = 01$ при $D=0$ или $SR = 10$ при $D=1$, что соответствует записи в триггер логического 0 или 1. Путем логических преобразований инвертор можно исключить и получить схему синхронного D –триггера.

11. Что такое DV –триггер?

Синхронный DV-триггер имеет один информационный вход D и один подготовительный разрешающий вход V для разрешения приема информации.

12. Объясните работу DV-триггера.

При $C=0$ DV-триггер, как и синхронные триггеры всех типов, сохраняет предыдущее внутреннее состояние, т.е. $Q_{n+1}=Q_n$. При $C=1$ и при наличии сигнала $V=1$ разрешения приема информации DV-триггер принимает информационный сигнал, действующий на входе D, т.е. работает как асинхронный DV-триггер. При $C=1$ и $V=0$ DV-триггер сохраняет предыдущее внутреннее состояние, т.е. $Q_{n+1}=Q_n$.

13. Что такое Т-триггер? Какова его таблица переходов?

Т-триггер имеет один информационный вход Т, называемый счетным входом. Асинхронный Т-триггер переходит в противоположное состояние каждый раз при подаче на Т-вход единичного сигнала. Таким образом Т-триггер реализует счет по модулю 2, т.е. $Q_{n+1} = T_n \oplus Q_n = (\bar{T}Q \vee T\bar{Q})_n$.

Синхронный Т-триггер имеет вход С и вход Т. Синхронный Т-триггер переключается в противоположное состояние сигналом С, если на счетном входе Т действует сигнал логической 1.

14. Объясните работу схемы синхронного RS-триггера со статическим управлением.

При $C=0$ триггеры переходят в режим хранения, запоминая последнее состояние.

15. Какова характерная особенность переключения синхронных триггеров с динамическим управлением записью?

Характерной особенностью синхронных триггеров с динамическим управлением записью является то, что прием информационных сигналов и передача на выход принятой информации выполняются в момент изменения синхросигнала на С - входе из "0" в "1" или из "1" в "0", т.е. перепадом синхросигнала.

16. Как работает схема синхронного D -триггера с динамическим управлением записью на основе трех RS -триггеров?

Триггер содержит асинхронные входы Sa и Ra для установки в начальные состояния 1 и 0. Добавив вход V к схеме D-триггера, мы получаем DV-триггер. Временные диаграммы D-триггера соответствуют временным диаграммам DV-триггера при V=1

17. Составьте временные диаграммы работы синхронного D-триггера с динамическим управлением записью.

Выполнено в задании.

18. Какова структура и принцип действия синхронного DV-триггера с динамическим управлением записью?

Синхронный DV-триггер имеет один информационный вход D и один подготовительный разрешающий вход V для разрешения приема

информации. $Q_t = DV + VQ_{t-1} = DVC + (V + C)Q_{t-1}$. При C=0 DV-триггер, как и синхронные триггеры всех типов, сохраняет предыдущее внутреннее состояние,

т.е. $Q_{n+1} = Q_n$. При C=1 и при наличии сигнала V=1 разрешения приема информации DV-триггер принимает информационный сигнал, действующий на входе D, т.е. работает как асинхронный DV-триггер. При C=1 и V=0 DV триггер сохраняет

предыдущее внутреннее состояние, т.е. $Q_{n+1} = Q_n$.

19. Составьте временные диаграммы синхронного DV-триггера.

Выполнено в задании.

20. Объясните режимы работы D-триггера

Синхронный D-триггер работает с одним информационным входом D. С каждым синхронизирующим импульсом состояние этого входа передается на выход, что приводит к задержке выходного сигнала относительно входного сигнала.