



Министерство науки и высшего образования Российской Федерации
Федеральное государственное бюджетное образовательное учреждение
высшего образования
«Московский государственный технический университет
имени Н.Э. Баумана
(национальный исследовательский университет)»
(МГТУ им. Н.Э. Баумана)

ФАКУЛЬТЕТ ИНФОРМАТИКА И СИСТЕМЫ УПРАВЛЕНИЯ

КАФЕДРА КОМПЬЮТЕРНЫЕ СИСТЕМЫ И СЕТИ (ИУ6)

НАПРАВЛЕНИЕ ПОДГОТОВКИ 09.03.01 Информатика и вычислительная техника

О т ч е т
по лабораторной работе № 1

Название: **Разработка СнК на ПЛИС Altera**

Дисциплина: **Архитектура ЭВМ**

Студент гр. ИУ7-52Б

(Подпись, дата)

С.С. Беляк

(И.О. Фамилия)

Преподаватель

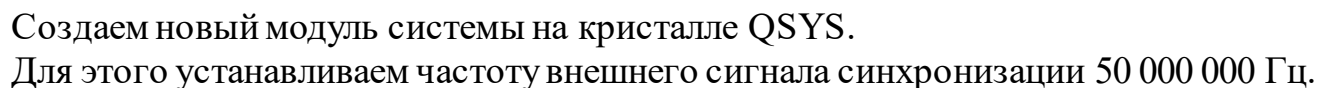
(Подпись, дата)

А.Ю. Попов

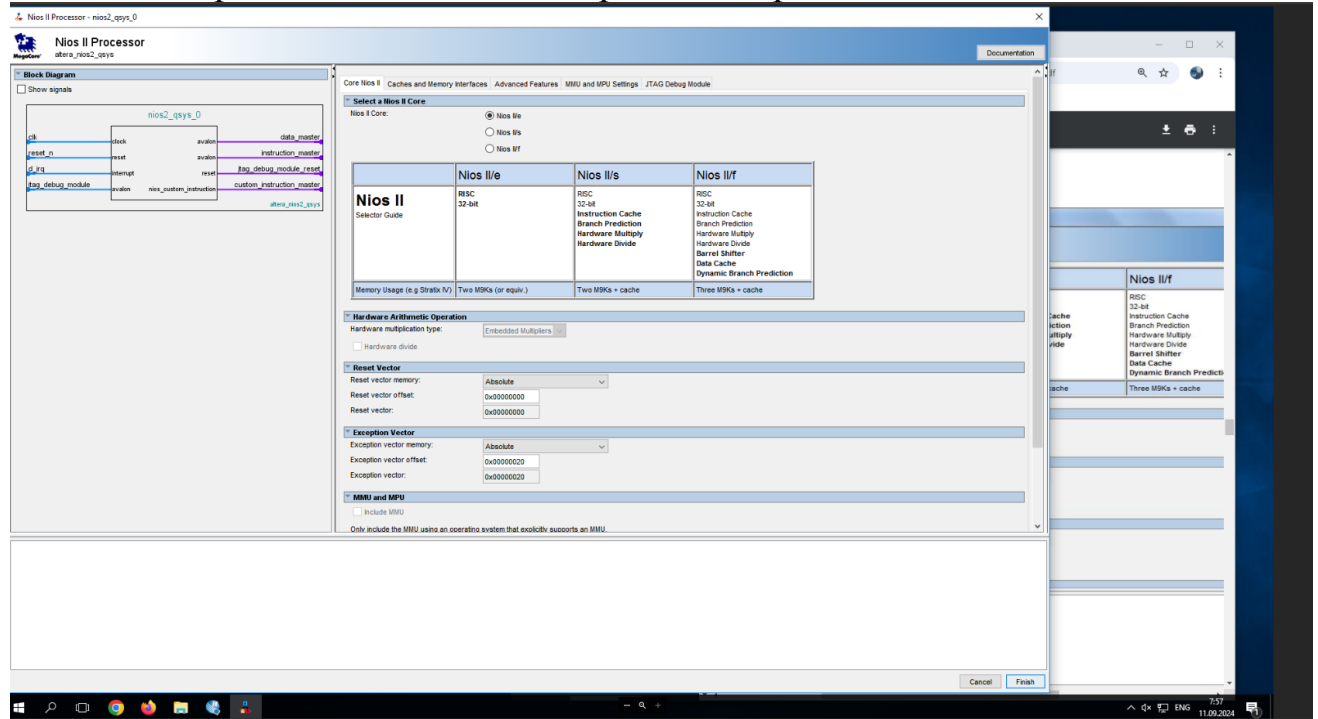
(И.О. Фамилия)

2024 год

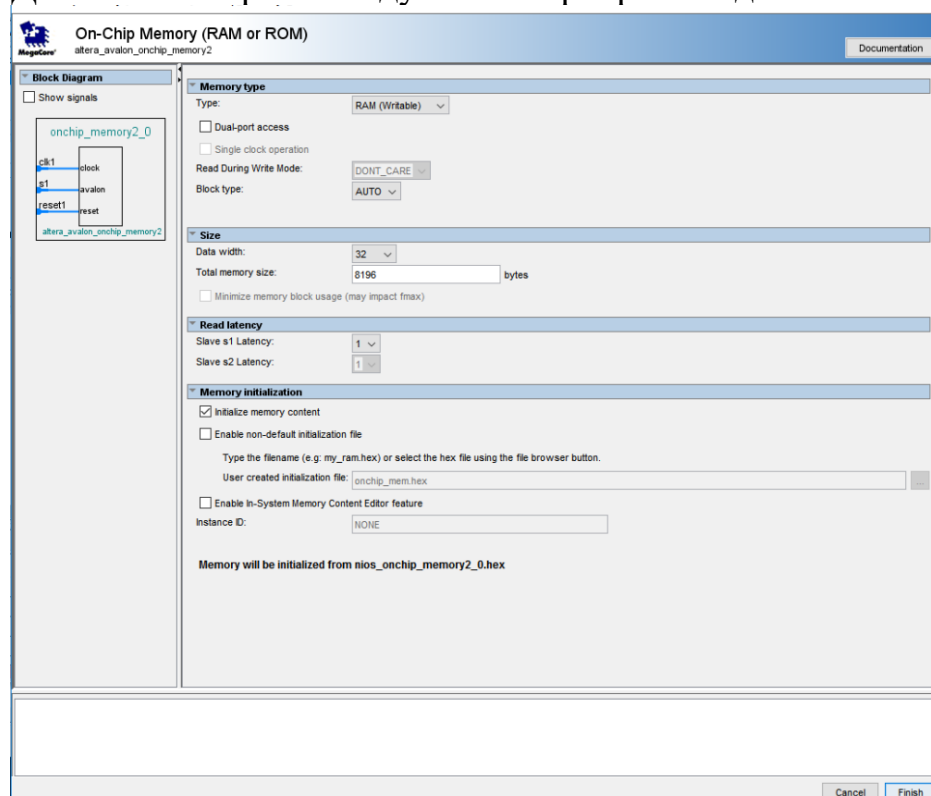
Создаем новый проект в САПР Quartus II 11.0 Web Edition:



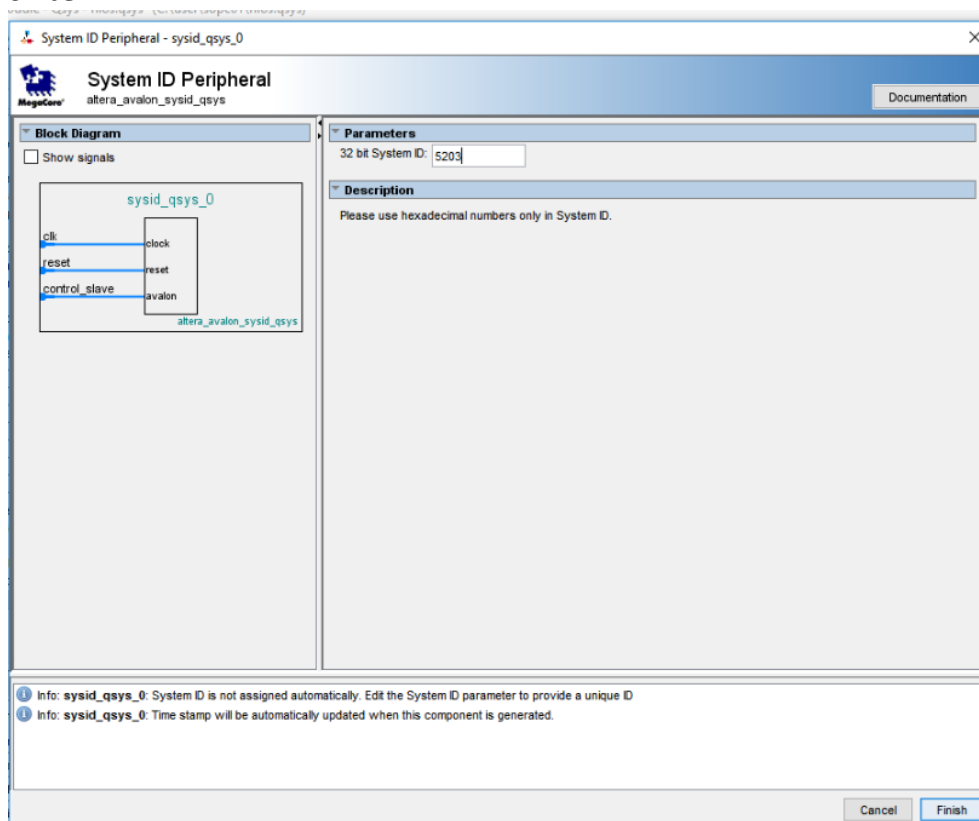
Сохраняем модуль Qsys в файл по пути: c:\user\sorc01\nios.qsys. и добавляем в проект модуль синтезируемого микропроцессорного ядра Nios II. В открывшемся диалоге настройки компонента выбираю тип ядра: Nios II/e.



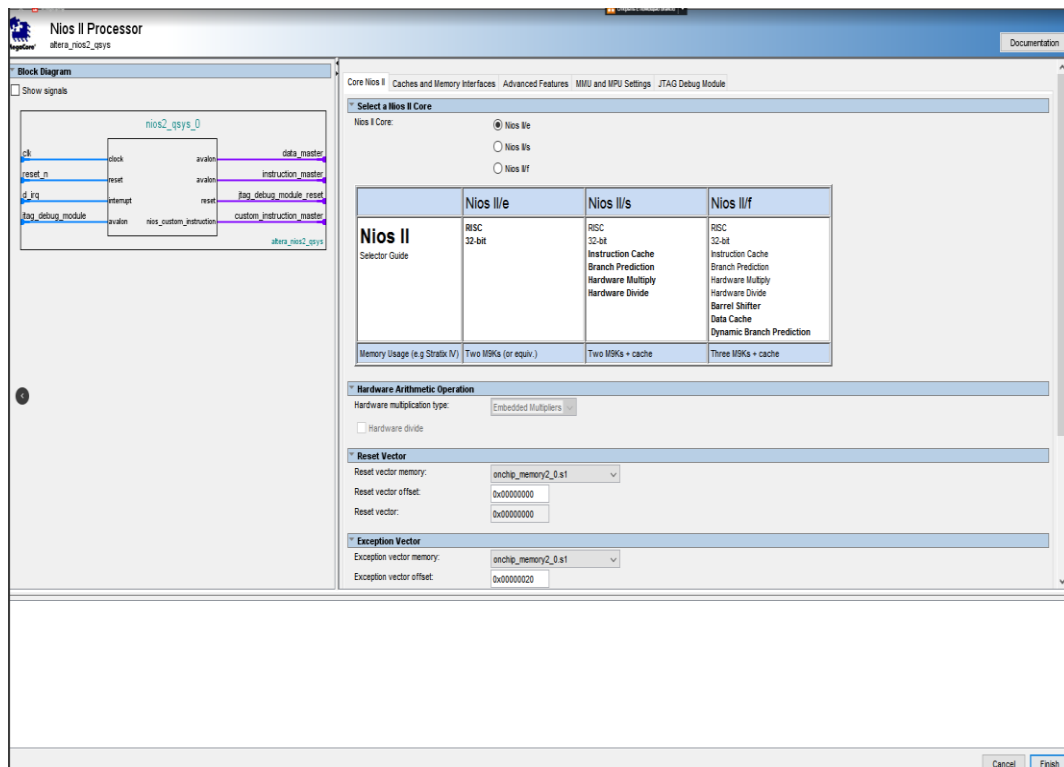
Настраиваем параметры компонента Nios:
Добавляем в проект модуль ОЗУ программ и данных:



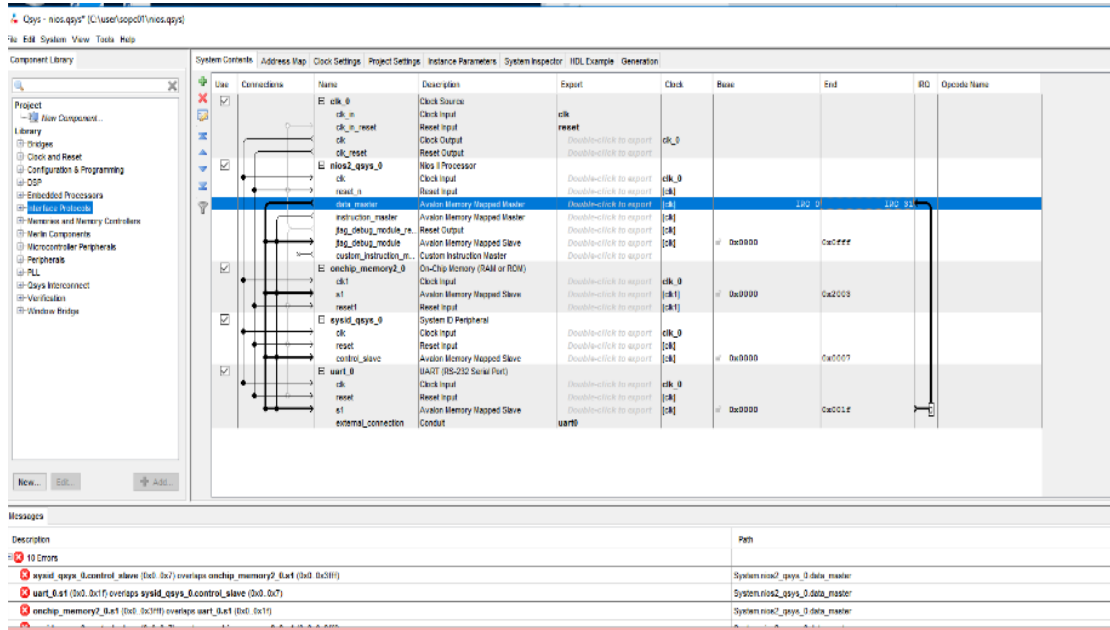
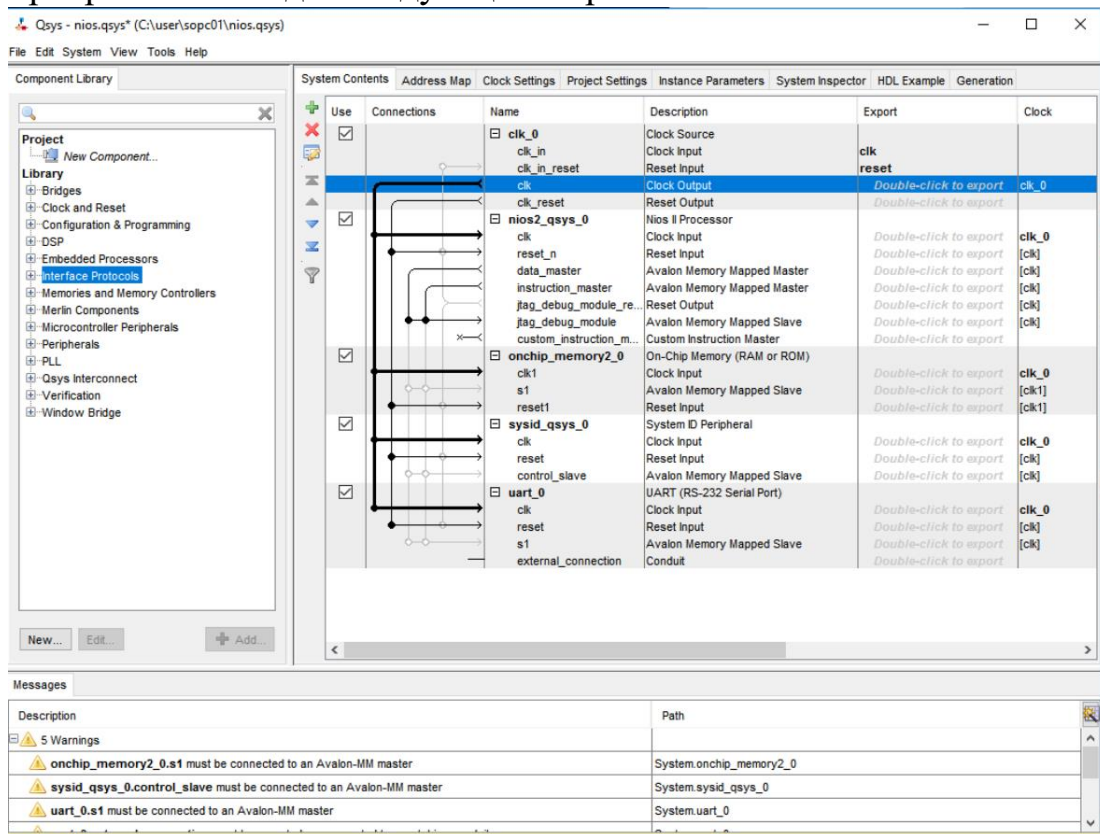
Добавляем компонент Avalon System ID аппаратного идентификатора версии 5203:



Выполняем настройку таблицы прерываний процессора Nios II/e:

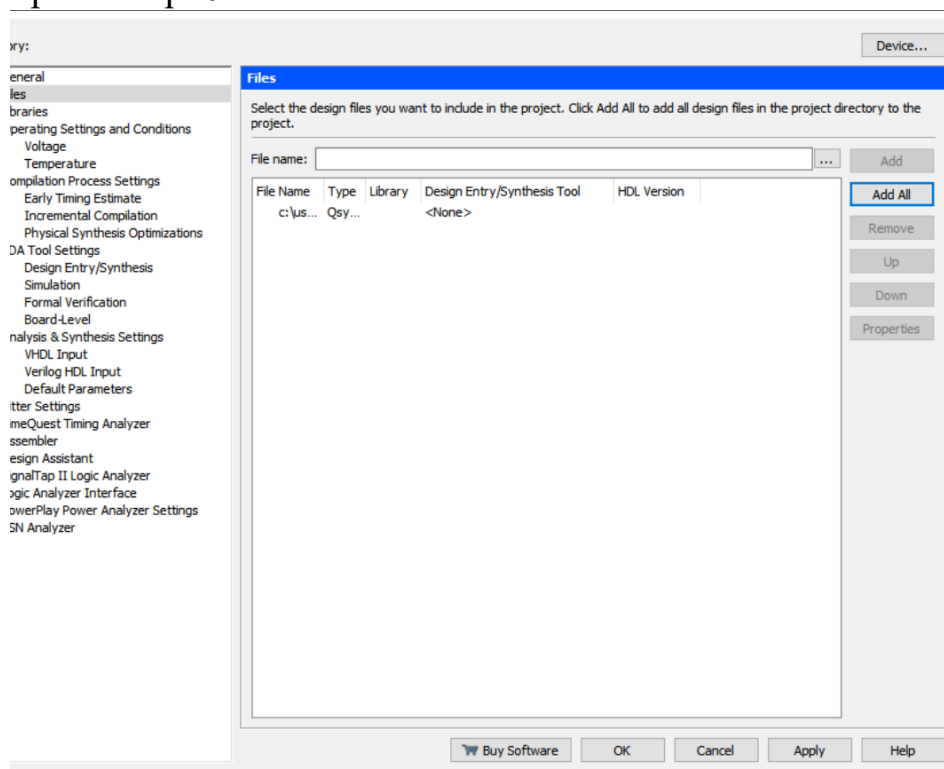


При завершении настройки окна модуля Qsys после назначения базовых адресов программа выглядит следующим образом:



Окно модуля Qsys после назначения базовых адресов.

Сохраняем изменения в модуле Qsys. Добавляем модуль c:\user\sorc01\nios.qsys в проект sorc01.



Назначаем модуль nios.qsys в качестве модуля верхнего уровня. Для этого в окне Project Navigator выбираю вкладку File, выбираю модуль nios.qsys и нажимаю Ctrl-Shift-J. Выполняем синтез проекта. Для этого в меню Processing выбираю Start compilation.

Top View - Wire Bond
Cyclone II - EP2C20F484C7

Node Name	Direction	Location	I/O Bank	VREF Group	Filter Location	I/O Standard	Reserved	Current Strength	Differential Pair
clk_0	Input				PIN_M1	3.3-V LV..default		24mA (default)	
reset_reset_n	Input				PIN_M2	3.3-V LV..default		24mA (default)	
uart0_rxd	Input				PIN_B10	3.3-V LV..default		24mA (default)	
uart0_txd	Output				PIN_A13	3.3-V LV..default		24mA (default)	
<<new node>>									

Модуль Pin Planner:

Назначаем контакты в соответствии с таблицей 1:

Таблица 1. Назначение контактов микросхемы портам проекта

Сигнал	Контакт
clk	L1
reset	R22
uart0_rxd	F14
uart0_txd	G12

Pin Planner - c:/user/sopc01/sopc01 - socp01

File Edit View Processing Tools Window Help

Search altera.com

Report not available

Groups Report

Tasks

Run Anal

Early Pin

Early

Run

Expo

Change \

Show

Show

Show

Show

Show

Show

Named: *

Edit

Node Name Direction Location I/O Bank VREF Group Fitter Location I/O Standard Reserved Current Strength Differential Pair

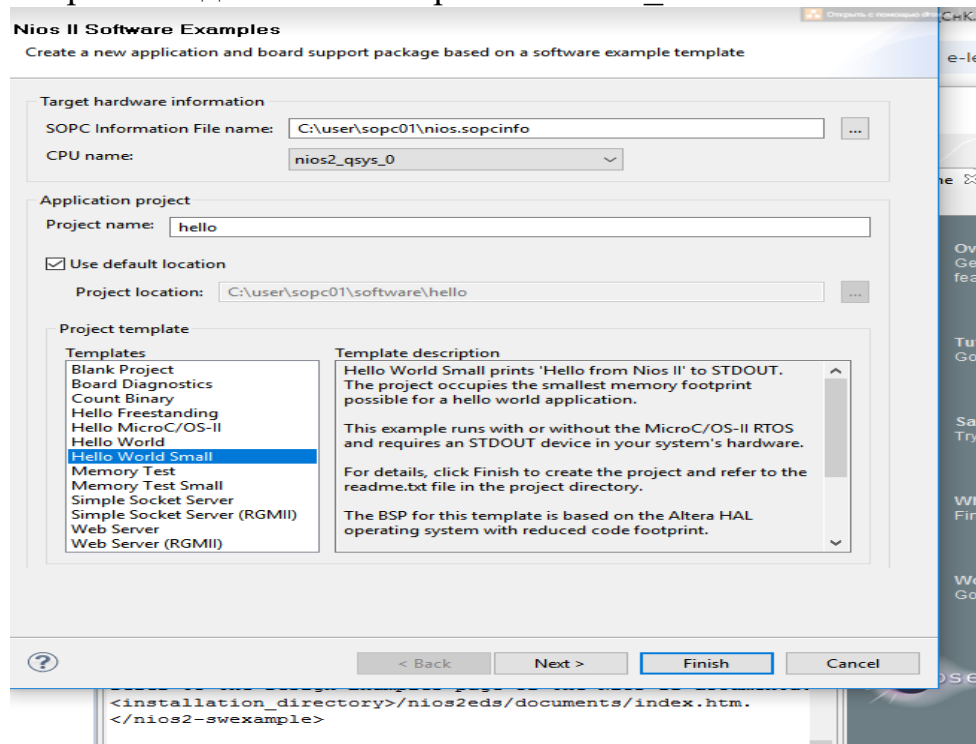
clk	Input	PIN_L1	2	B2_N1	PIN_M1	3.3-V LV...default	24mA (default)	
reset	Input	PIN_R22	6	B6_N0	PIN_M2	3.3-V LV...default	24mA (default)	
uart0_rxd	Input	PIN_F14	4	B4_N1	PIN_B10	3.3-V LV...default	24mA (default)	
uart0_txd	Output	PIN_G12	4	B4_N1	PIN_A13	3.3-V LV...default	24mA (default)	
<<new node>>								

Filter: Pins: all

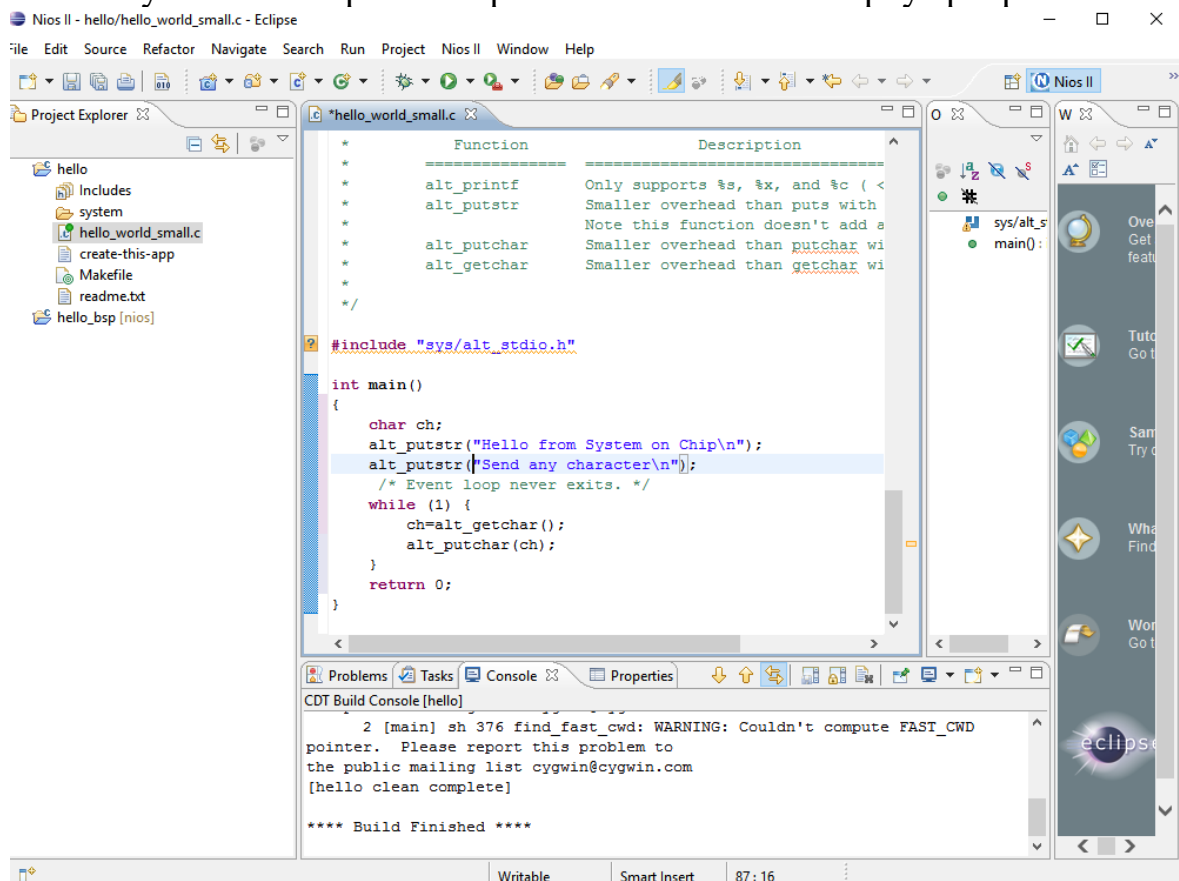
0% 00:00:00

Выполняем синтез проекта и получаем сообщение об успехе.

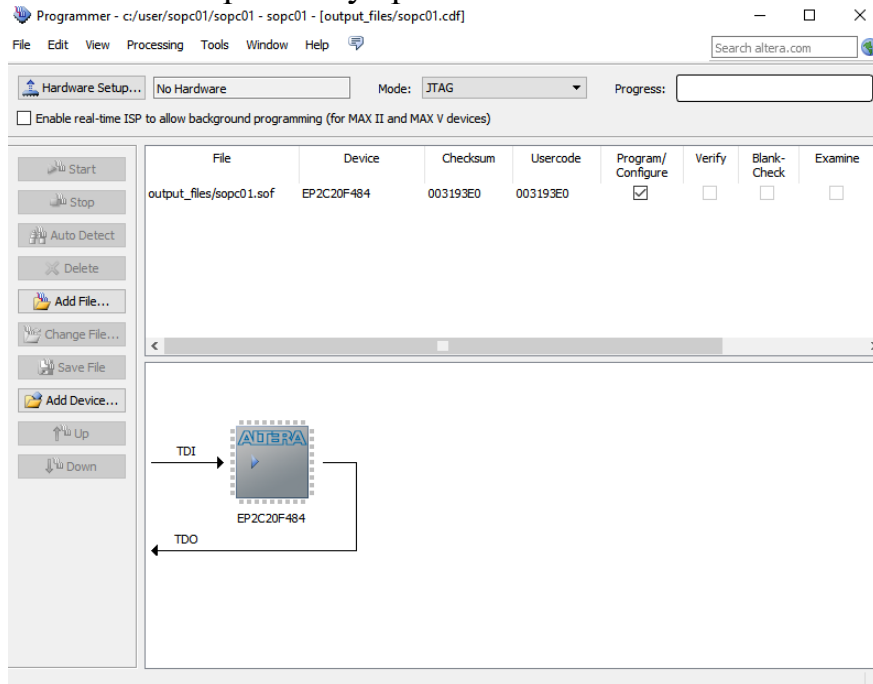
Создаем программный проект Nios2. Запускаем Nios II Software Build Tools for Eclipse. Создаем шаблон проекта “Hello_world”.



Добавляем в код файла hello_world_small.c код эхо-программы приема-передачи по интерфейсу RS232. Создаем образ ОС HAL с драйверами устройств, используемых в аппаратном проекте. Выполняем сборку программного проекта.

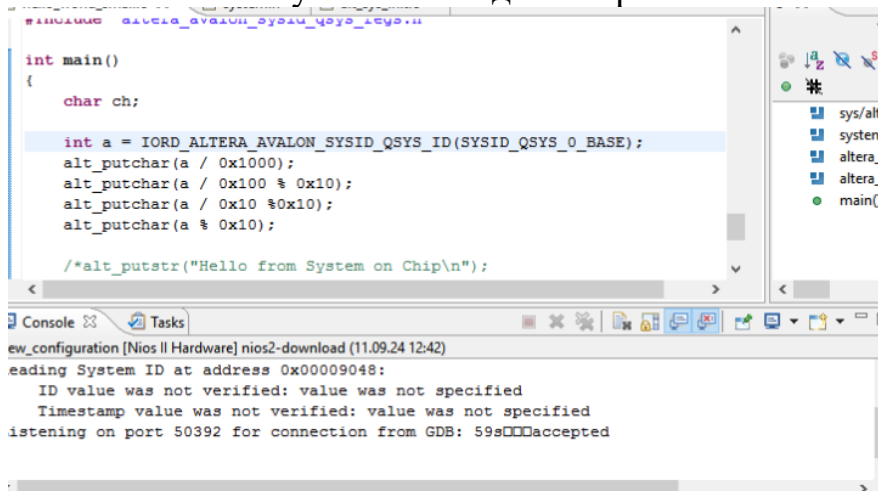


Выполняем прошивку проекта в ПЛИС:



Окно модуля программирования ПЛИС.

Дорабатываем код программного проекта: добавляем строки, передающие по UART значение SystemID в виде четырех байт символов в ASCII формате.



Выполняем верификацию проекта с использованием программы терминала. Получаем верные значения.



Вывод

Мы изучили основы построения микропроцессорных систем на ПЛИС. Ознакомились с принципами построения систем на кристалле (СНК) на основе ПЛИС, получили навыки проектирования СНК в САПР Altera Quartus II, выполнили проектирование и верификацию системы с использованием отладочного комплекта Altera DE1Board.