

آزمایش شماره ۲

طراحی یک **ثبات انتقال** یا **shift register ۸ بیتی** با ۴ حالت کاری که به شرح زیر طبق مد کاری ورودی عمل می‌کند، مدنظر است. مدار یک ورودی فعال کننده داشته و در صورت عدم فعال بودن آن، هیچ کاری انجام نمی‌شود. اما در صورت فعال بودن، با توجه به **clk** ورودی و مد کاری یکی از موارد زیر انجام می‌گردد:

(۱) Parallel load، ورود داده ۸ بیتی به درون ثبات

(۲) Shift left ۲ بیتی، ۲ بیت داده سریالی از سمت راست وارد می‌شود.

(۳) Shift right یک بیتی، یک بیت از سمت چپ وارد می‌شود.

(۴) Rotate to left به اندازه ۳ بیت

برای تست عملکرد، یک **تست‌بنچ** مناسب نیز بنویسید که اجرای مدهای متفاوت را نشان دهد.

نکته: ثبات انتقال به صورت پایه یک ثبات است و همیشه مقداری را در خود ذخیره دارد. در طرح بالا، مقدار خروجی ثبات با محتویات آن یکسان است و عملیات خواسته شده بر روی محتویات ثبات انجام می‌شود.

مواردی که بایستی ارسال شوند:

(۱) کدهای VHDL (از ارسال فایل‌های نامربوط جداً خودداری شود)

(۲) تصاویر کافی از شکل موج‌های تولیدی که درستی چهار عملیات خواسته شده و همچنین عدم انجام عملیات را با توجه به مقدار فعال کننده ورودی نشان دهد.

(اگر در انجام و ارسال موارد خواسته شده در آزمایش‌ها هر نوع "**کپی غیر مجاز**" تشخیص داده شود، منجر به از دست دادن کل نمره خواهد شد.)

موفق و پیروز باشید.

قلی زاده