

(১০) ১ থেকে ১০ পর্যন্ত যোগ করার একটি Assembly program  
শিখ (Write a Assembly Program for Summation  
of 1 to 10) [PGCB SAE-2019]

**Program:**

```
MOV CX,63H
MOV AX,01H
MOV BX,02
SUM: ADD AX,BX
ADD BX,01H
LOOP SUM
HLT
```

(১১) An AL Program to read two digits such that second digit is; less than the first digit, computes and display their difference ( without using variables ).

```
.MODEL SMALL
STACK 100H

.DATA
PROMPT_1 DB 'Enter the First digit : $'
PROMPT_2 DB 'Enter the Second digit : $'
PROMPT_3 DB 'Difference of First and Second
digit : $'

.CODE
MAIN PROC
MOV AX, @DATA
MOV DS, AX

LEA DX, PROMPT_1
MOV AH, 9
INT 21H

MOV AH, 1
INT 21H

MOV BL, AL
SUB BL, 30H

MOV AH, 2
MOV DL, 0DH
INT 21H

MOV DL, 0AH
INT 21H

LEA DX, PROMPT_2
MOV AH, 9
```

```
INT 21H
MOV AH, 1
INT 21H

MOV BH, AL
SUB BH, 30H

MOV AH, 2
MOV DL, 0DH
INT 21H

MOV DL, 0AH
INT 21H

LEA DX, PROMPT_3
MOV AH, 9
INT 21H
SUB BL, BH
ADD BL, 30H
MOV AH, 2
MOV DL, BL
INT 21H

MOV AH, 4CH
INT 21H
MAIN ENDP
END MAIN
```

(১২) নিচের জেডা কি Assembly program এর সীমাবদ্ধ  
অসম কি (Given an assembly code, what are its  
limitation)?

[beq a, b, c  
bne x, y, z] [BUET MSc- 2019]

**Ans: Branch Limitation:**

- A. A conditional branch (BEQ, BNE) uses an I-type Instruction
  - i. Allows a 16-bit immediate operand
  - ii.  $2^{16} = 64$  K Location too small
- B. Notice that most branches don't go very far away (back to the beginning of a loop, etc.)
- i. Use PC-relative addresses for branches
  - a. Immediate operand is a displacement in 4-Byte words from the next instruction. May be positive (forward branches) or negative (backwards branches)

**Computer Organization and Architecture**

**Syllabus: BPSC CS:** Fundamentals of computer design. Processor and ALU design. Control design: Hardware control and micro-programmed control. Caches Memory organization. Exceptions System organization Bus and hazards I/O subsystem and I/O processor. Parallel processing: Concept, pipeline processors. Interrupts systolic arrays and fault-tolerant computers.

**NTRA CS:** Instruction sets, Addressing modes; Types of Instruction; Computer System: Computer Arithmetic: Memory Organization, Caching, Input-Output Organization: Central Processing Unit, Control Units, Fundamentals of parallel and distributed processing.]

**Computer Architecture & Organization**

প্রশ্ন ১: Computer Architecture & Organization বলতে কি বুাৰ?

**উত্তৰ:** Computer Architecture: সাধাৰণ শৰ্তে, একটি কম্পিউটাৰ সিস্টেমের আৰ্কিটেকচাৰকে টুলস অথবা এ্ট্ৰিবিট এৰ ভাট্টাক্ষন হিসেবে বিবেচনা কৰা হয়। যা কিমা ব্যবহাৰকাৰীদেৱে কাছে ইলেক্ট্ৰোকশন সেটস, ভেটোৰ জন্য ব্যবহৃত বিট সংখ্যা, এছেসিং স্টেকনিক্স ইত্যাদি হিসেবে দৃশ্যমান বা পৰিচিত।

**Computer Organization:** তবে কম্পিউটাৰ সিস্টেমের অৰ্গানাইজেশন বলতে বুৰাৰ, সিস্টেমটি মেভাৰে গঠিত ঘাটে ঐ সকল ক্যাটগোৰিক টুলস ভলো ব্যবহৃত হয়েছে। আৰ কম্পিউটাৰ অৰ্গানাইজেশনেৰ ভলো ভলো লিখুন।

প্রশ্ন ২: কম্পিউটাৰ সিস্টেম এৰ Basic Operational concept কোৱা লিখুন?

**উত্তৰ:** কম্পিউটাৰ সিস্টেম এৰ Basic Operational concept ভলো নিচে দৃশ্যে ধৰা হৈলো:

- i. কম্পিউটাৰ সিস্টেমেৰ প্ৰয়ামুৰ্তি execute কৰা, ইলেক্ট্ৰোকশনেৰ সিকুয়েল নিৰ্বাহ কৰা। এই ইলেক্ট্ৰোকশন ভলো কম্পিউটাৰ মেমোৰিতে স্টোৰ হয়।
- ii. এই ইলেক্ট্ৰোকশন ভলো ভেটো প্ৰেসেৰ কৰতে execute হয়, মেভোৰি কিছু ইনপুট ভিজাইসেৰ মাধ্যমে কম্পিউটাৰেৰ মেমোৰিতে পোত কৰা আছে।
- iii. ভেটো প্ৰেসেৰ পৰ, ফলাফল মেমোৰিতে সংৰক্ষণ কৰা হয় ভবিষ্যতেৰ কাজেৰ জন্য কিছু আটপুট পোতোৰ মাধ্যমে ব্যবহাৰেৰ জন্য ফলাফল হিসেবে প্ৰক্ৰিণ কৰা হয়।
- iv. একটি ইলেক্ট্ৰোকশন কাৰ্যকৰ কৰা জন্য, এৱিবেষ্টিক শজিক ইউনিট এবং কন্ট্ৰোল ইউনিট ভাড়াও প্ৰেসেৰেৰ মধ্যে কিছু সংৰক্ষক ৱেজিস্টাৰ ধাকে সামৰিকভাৱে ভেটো এবং কিছু বিশেষ ফাশন ৱেজিস্টাৰ স্টোৰ কৰাৰ জন্য।
- v. বিশেষ ফাশন ৱেজিস্টাৰ বলতে প্ৰয়াম কাউটাৰ, ইলেক্ট্ৰোকশন ৱেজিস্টাৰ, মেমোৰি এছেস ভেজিস্টাৰ এবং মেমোৰি ও মেমোৰি ভাটি ভেজিস্টাৰকৰে বুৰানো হয়েছে।
- vi. সিপিইউ এৰ মধ্যে প্ৰয়াম কাউটাৰ হচ্ছে সকলেয়ে ভৱত্তপুর্ণ ৱেজিস্টাৰ।
- vii. প্ৰয়াম কাউটাৰ ইলেক্ট্ৰোকশনেৰ নিৰ্বাহ মনিটো্ৰ কৰে। কোন ইলেক্ট্ৰোকশন এক্সিকিউট হচ্ছে প্ৰয়াম কাউটাৰ তা সংৰক্ষণ কৰে এবং পৱৰ্তী ইলেক্ট্ৰোকশন কি হবে তা Track কৰে।
- viii. ইলেক্ট্ৰোকশন ৱেজিস্টাৰ (IR) ফলাফল নিৰ্বাহকৃত ইলেক্ট্ৰোকশনকে হোল্ড কৰে।
- ix. ইলেক্ট্ৰোকশন ৱেজিস্টাৰেৰ (IR) কন্ট্ৰোল ইউনিট Available ধাকে, যা কিমা টাইপ সিগনালকে কন্ট্ৰোল কৰে।
- x. MAR এবং MDR ভেজিস্টাৰ মেইন মেমোৰি এবং প্ৰেসেৰেৰ মধ্যে ভাটি ট্ৰান্সফাৰ নিয়ন্ত্ৰণে ব্যবহৃত হয়।

- xi. মেইন মেমোৰি থেকে যে ভাটি ট্ৰান্সফাৰ হচ্ছে বা মেইন মেমোৰিৰ আসছে MAR তাৰ এড্ৰেস হোল্ড কৰে।
- xii. মেইন মেমোৰি এৰ এড্ৰেস গোৰ্ড থেকে যে ভাটি রাইট অথবা বিট হবে MDR তা হোল্ড কৰে।

প্রশ্ন ৩: কম্পিউটাৰ আৰ্কিটেকচাৰ এবং কম্পিউটাৰ অৰ্গানাইজেশনেৰ মধ্যে পৰিকল্পনা কোৱা লিখুন।

**উত্তৰ:** কম্পিউটাৰ আৰ্কিটেকচাৰ এবং কম্পিউটাৰ অৰ্গানাইজেশনেৰ মধ্যে পৰিকল্পনা কোৱা ভলো নিয়ন্ত্ৰণ:

কম্পিউটাৰ আৰ্কিটেকচাৰ	কম্পিউটাৰ অৰ্গানাইজেশন
একটি কম্পিউটাৰেৰ কি কৰা	একটি কম্পিউটাৰ কিভাবে কাজ কৰে কম্পিউটাৰ অৰ্গানাইজেশন তা বৰ্ণনা কৰে।
কম্পিউটাৰ আৰ্কিটেকচাৰ	কম্পিউটাৰ অৰ্গানাইজেশন কম্পিউটাৰ সিস্টেমেৰ ফাশনাল ব্যবহাৰ প্ৰদান কৰে।
কম্পিউটাৰ আৰ্কিটেকচাৰ এৰ ডিজাইন উচ্চ পৰ্যায়েৰ হয়ে থাকে।	কম্পিউটাৰ অৰ্গানাইজেশনেৰ ডিজাইন নিম্ন পৰ্যায়েৰ হয়ে থাকে।
কম্পিউটাৰ আৰ্কিটেকচাৰেৰ মূল বিষয় হাৰ্ডওয়্যার পার্টস সমূহ।	কম্পিউটাৰ অৰ্গানাইজেশনেৰ মূল বিষয় ইহাৰ কাৰ্যক্ষমতা।
কম্পিউটাৰ সিস্টেমেৰ কেন্দ্ৰে প্ৰথমে কম্পিউটাৰেৰ আৰ্কিটেকচাৰ ডিজাইন ফাইনাল হলে তাৰ পৰে কম্পিউটাৰ অৰ্গানাইজেশন ডিজাইন কৰা হয়।	কম্পিউটাৰ আৰ্কিটেকচাৰেৰ মধ্যে কম্পিউটাৰ অৰ্গানাইজেশনকে কম্পেন্যান্ট সমূহেৰ মধ্যে কানেকশন তৈৰি কৰে।
কম্পিউটাৰ আৰ্কিটেকচাৰেৰ সফটওয়্যারেৰ মধ্যে ইন্টাৰফেসেৰ হিসেবে কাজ কৰে।	কম্পিউটাৰ আৰ্কিটেকচাৰেৰ মধ্যে ইন্টাৰফেসেৰ মধ্যে কানেকশন তৈৰি কৰে।
কম্পিউটাৰ আৰ্কিটেকচাৰকে ইলেক্ট্ৰোকশন সেট আৰ্কিটেকচাৰ ও বলা হয়।	কম্পিউটাৰ আৰ্কিটেকচাৰকে বেশিৰভাগ সময় মাইক্ৰো আৰ্কিটেকচাৰ ও বলা হয়।
কম্পিউটাৰ আৰ্কিটেকচাৰ	কম্পিউটাৰ অৰ্গানাইজেশন ফিজিক্যাল কম্পেন্যান্টেৰ সাথে জড়িত। (যেমন: সার্কিট ডিজাইন, অ্যাডাৰ, সিগনালস, প্ৰেসেৰেৰ ইত্যাদি।)

প্রশ্ন ৪: কম্পিউটাৰ আৰ্কিটেকচাৰ এৰ জোনারেল সিস্টেম আৰ্কিটেকচাৰ এৰ শ্ৰেণীবিভাগ আলোচনা কৰন।

**উত্তৰ:** কম্পিউটাৰ আৰ্কিটেকচাৰেৰ মধ্যে জোনারেল সিস্টেম আৰ্কিটেকচাৰকে প্ৰধানত দুটি ইউনিটে ভাগ কৰা হয়েছে। যেমন:

- i. Store Program Control Concept.
- ii. Flynn's Classification of Computers.

**Store Program Control Concept:** Store Program Control Concept টাৰ্মিতি কম্পিউটাৰ মেমোৰিৰ মধ্যে ইলেক্ট্ৰোকশন স্ট্ৰকচাৰেৰ জন্য সিকুয়েল (কৰ্ম অনুসৰে) বা মেমোৰি থেকে মেমোৰি বিভিন্ন task এ তাৰ পাৰফৰম এনাবল কৰাৰ জন্য বেফাৰ কৰা হয়। ১০৪০ এৰ লক্ষণেৰ শেষেৰ দিকে জন তন নিউট্যান এই ধৰণৰ উপজাপন কৰেছিলেন একটি মেইন মেমোৰি ডিজাইনেৰ মধ্যে বাইনাৰি নামৰ ফৰমাটে একটি প্ৰোগ্ৰাম বেলুক্তিকভাৱে স্ট্ৰোৰত হওয়াৰ প্ৰস্তাৱ কৰেছিলেন যাতে কৱে কম্পিউটাৰ বা ইলেক্ট্ৰোকশন মতিক্ষিণত হতে পাৰে যা ইন্টাৰমিডিয়েট মনিপুলেশনাল ৱেজিস্টাৰ দ্বাৰা নিৰ্বাচিত হয়। ১৯৪০ সালেৰ দিকে নামে ENIAC (Electronic Numerical Integrator and Computer) প্ৰথম কম্পিউটিং সিস্টেমে ডিজাইন কৰা হয়েছিলো। যা Stored Program Concept এৰ উপৰ ভিত্তি কৰে তৈৰি এবং যা প্ৰেসেৰ মেইন মেমোৰি ব্যবহাৰ কৰতো।

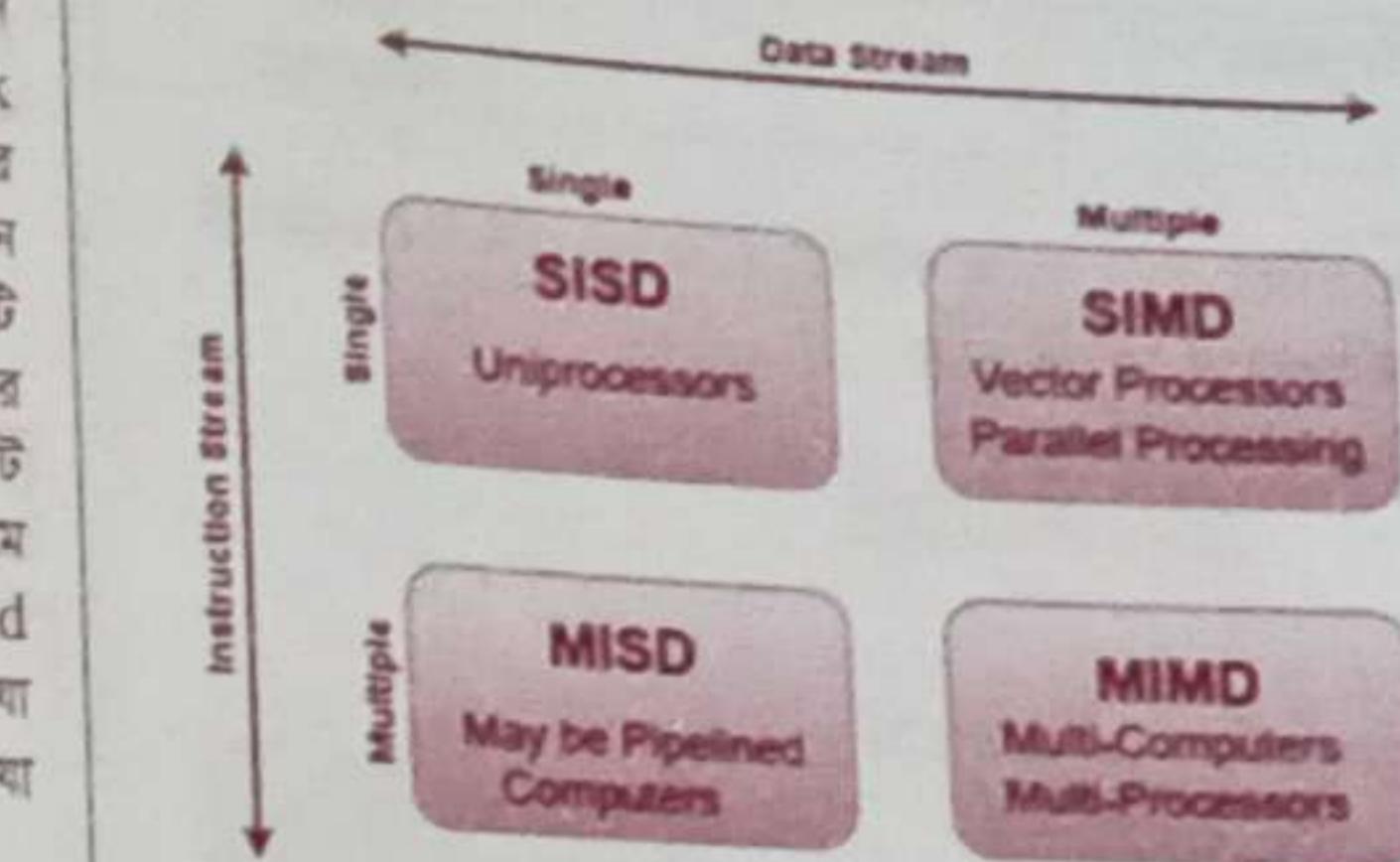


Figure: Flynn's Classification of Computers

প্রশ্ন ৫: কম্পিউটাৰ ৱেজিস্টাৰ কাৰে বলে? বিভিন্ন প্ৰকাৰ ৱেজিস্টাৰ এৰ নাম, সিল, বিট সংখ্যা এবং ফাংশন (কাৰ্জ) লিখুন।

**উত্তৰ:** কম্পিউটাৰ ৱেজিস্টাৰ: ৱেজিস্টাৰ হচ্ছে একপ্ৰকাৰ কম্পিউটাৰ মেমোৰি যা CPU দ্বাৰা তাৎক্ষনিক ব্যবহাৰ হচ্ছে তা ত্ৰুট হৈল, সংৰক্ষণ, ভেটো এবং ইলেক্ট্ৰোকশন এৰ কাজে ব্যবহৃত হয়। CPU দ্বাৰা ব্যবহৃত ৱেজিস্টাৰ ভলো প্ৰেসেৰ ৱেজিস্টাৰ হিসেবে ব্যবহৃত হয়। একটি প্ৰেসেৰ ৱেজিস্টাৰ একটি ইলেক্ট্ৰোকশন, একটি ভেটোৰেজ এছেস অথবা মেইনে ভেটো হোল্ড কৰে রাখতে পাৰে। বিভিন্ন প্ৰকাৰ ৱেজিস্টাৰ এৰ নাম, সিল, বিট সংখ্যা এবং ফাংশন (কাৰ্জ) নিচে তৈৰি কৰিবল আকাৰে দেখানো হৈলো:

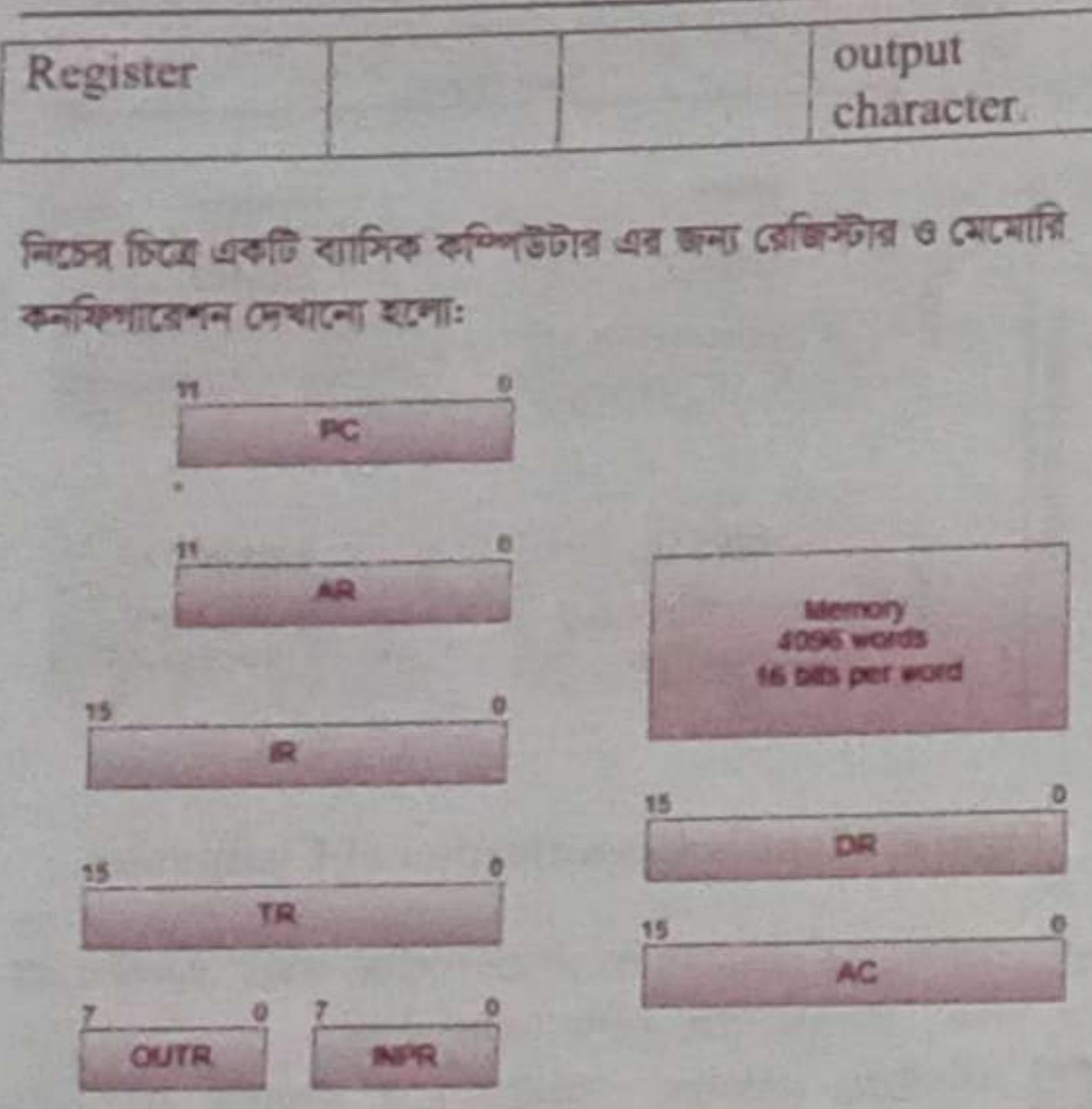
Register (ৱেজিস্টাৰ)	Symbol (সিল)	Number of bits (বিট সংখ্যা)	Function (কাৰ্জ)
Data Register	DR	16	Holds Memory operand.
Address Register	AR	12	Hold address for the memory.
Accumulator	AC	16	Processor Register.
Instruction Register	IR	16	Holds Instruction code.
Program Counter	PC	12	Holds address of the instruction.
Temporary Register	TR	16	Holds temporary data.
Input Register	INPR	8	Carries input character.
Output	OUTR	8	Carries

Figure: Store Program Control Concept

**Flynn's Classification of Computers:** একইসঙ্গে এক বা দোধিক ইলেক্ট্ৰোকশন এবং ভাটি আইটেম ম্যানিপুলেট কৰাৰ উপৰ ভিত্তি কৱে একটি কম্পিউটাৰ সিস্টেম অৰ্গানাইজেশন সম্পর্কে M.J. Flynn কৰা ইলেক্ট্ৰোকশন এৰ প্ৰয়ামে তিনি Flynn's Classification of Computers নামে পৰিচিত। যে প্ৰাবে তিনি তাহিলেন যে, মেমোৰিৰ মধ্যে ছাপিত একটি ইলেক্ট্ৰোকশন স্টীম থেকে ইলেক্ট্ৰোকশন সিকুয়েল রিড কৰে এবং প্ৰেসেৰেৰ মধ্যে ছাপিত একটি ভেটো স্টীম থেকে অপাৰেশন ভেটোৰ উপৰ পাৰফৰ্ম কৰে।

**Flynn's Classification of Computers** কে আৰাৰ প্ৰধানত কৃটি হৈলো তাৰ হৈলো। যেমন:

- i. Single instruction stream, single data stream (SISD)
- ii. Single instruction stream, multiple data stream (SIMD)
- iii. Multiple instruction stream, single data stream (MISD)

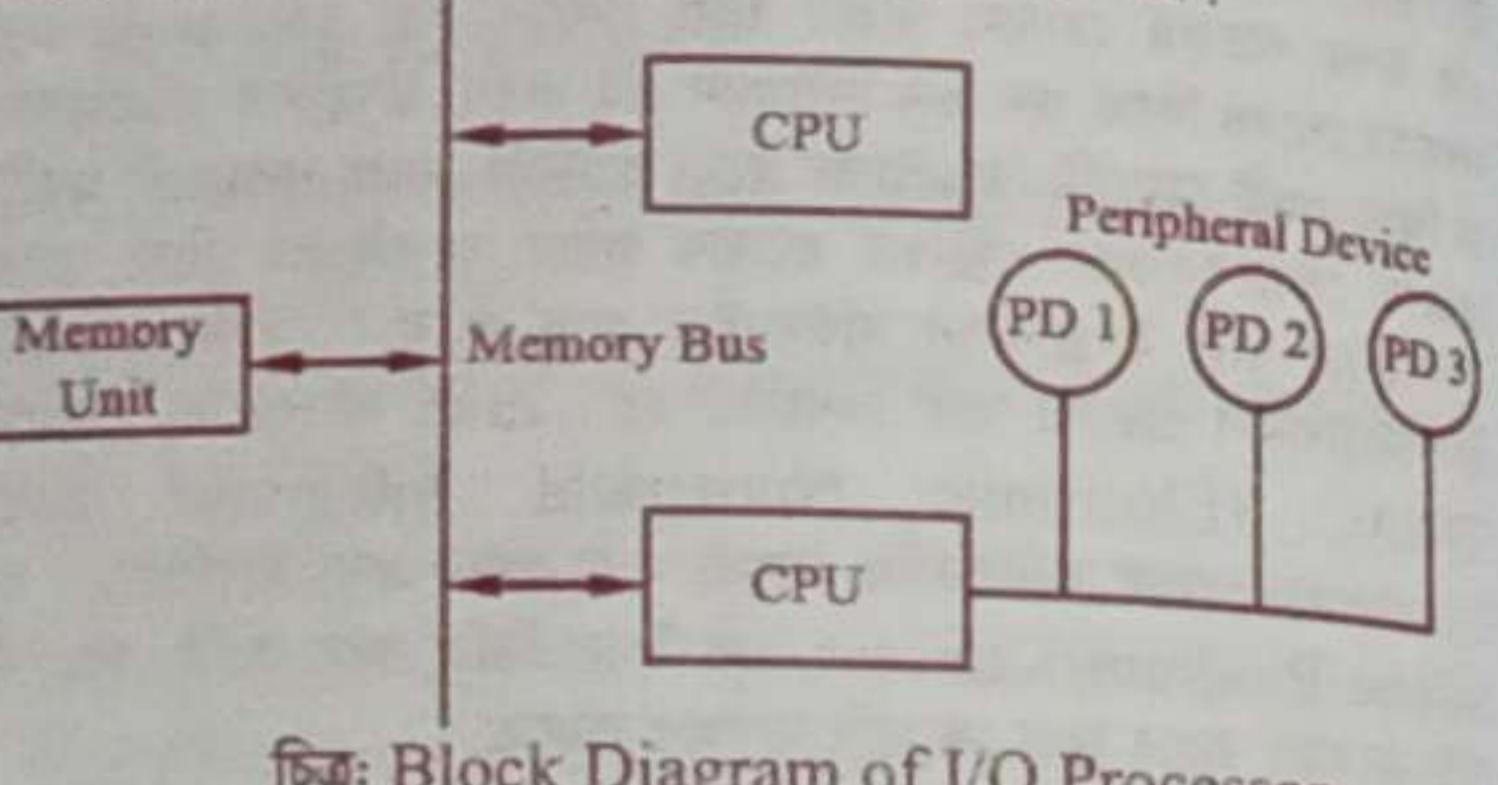


- The Memory unit has a capacity of 4096 words, and each word contains 16 bits.
- The Data Register (DR) contains 16 bits which hold the operand read from the memory location.
- The Memory Address Register (MAR) contains 12 bits which hold the address for the memory location.
- The Program Counter (PC) also contains 12 bits which hold the address of the next instruction to be read from memory after the current instruction is executed.
- The Accumulator (AC) register is a general purpose processing register.
- The instruction read from memory is placed in the Instruction register (IR).
- The Temporary Register (TR) is used for holding the temporary data during the processing.
- The Input Registers (IR) holds the input characters given by the user.
- The Output Registers (OR) holds the output after processing the input data.

#### অঙ্গ ৬: Block Diagram সহ আই/ও প্রসেসর (I/O Processor) এর বর্ণনা লিখুন।

**উত্তর:** নিচের চিত্রে একটি কম্পিউটার এর সাথে বিভিন্ন I/O Processors এর একটি Block Diagram দেখানো হলো। মেমোরি ইনপুট টি কেন্দ্রীয় অবস্থান করে এবং প্রতিটি প্রসেসরের সাথে যোগাযোগ করতে পারে। CPU কম্পিউটেশনাল কাজ সমাধানের জন্য প্রযোজনীয় ভেটা প্রক্রিয়া করে। বিভিন্ন পেরিফেরিয়ালস ডিভাইস ও মেমোরির মধ্যে ভেটা ট্রান্সফার করার জন্য একটি পথ (Path) সরবরাহ করে। I/O Processor এই কাজটি সাধারণভাবে করে। I/O এবং পেরিফেরিয়ালস ও মেমোরির মধ্যে ভেটা ট্রান্সফার করে।

করে। I/O প্রোগ্রাম ভর করার জন্য CPU কাজটি নির্ধারণ করে। I/O Processor এই কাজটি সাধারণভাবে করে। CPU থেকে করিয়ে নেয় এবং পেরিফেরিয়ালস ও মেমোরির মধ্যে ভেটা ট্রান্সফার করে।



I/O Processor এবং ডিভাইস এর মধ্যে যোগাযোগ হয় Program Control of transfer এর মতোই। এবং মেমোরির সাথে যোগাযোগ হয় Direct Memory Access Method এর মতোই। বড় আকারের কম্পিউটারে প্রতিটি প্রসেসর অন্যান্য প্রসেসরের সাথে সাধারণ এবং যেকোন প্রসেসর অপারেশন ভর করতে পারে।

CPU Master হিসেবে একটি আই/ও প্রসেসর (I/O Processor) টেক্স প্রসেসর (Slave Processor) হিসেবে কাজ করতে পারে। CPU অপারেশন ভর করার কাজটি নির্ধারণ করতে পারে কিন্তু ইহাও ই/ও Processor যারা ইন্ট্রাকশন নির্বাহ বা কার্যকর করে। I/O Processor যারা মেমোরি থেকে রিড (Read) করা ইন্ট্রাকশন তালো CPU দ্বারা রিড (Read) করা ইন্ট্রাকশন তালোর সাথে পার্থক্য করার জন্য তাদেরকে কমান্ড বলা হয়। কমান্ড সমূহ প্রোগ্রাম দ্বারা প্রত্যক্ষ করা হয় এবং মেমোরিতে সংরক্ষিত থাকে। কমান্ড সমূহ ই/ও প্রসেসরের জন্য প্রযোজন কৈরি করে। CPU I/O প্রসেসরকে মেমোরির কোথায় কমান্ড তালো খুঁজে পাবে তা ইনফর্ম করে।

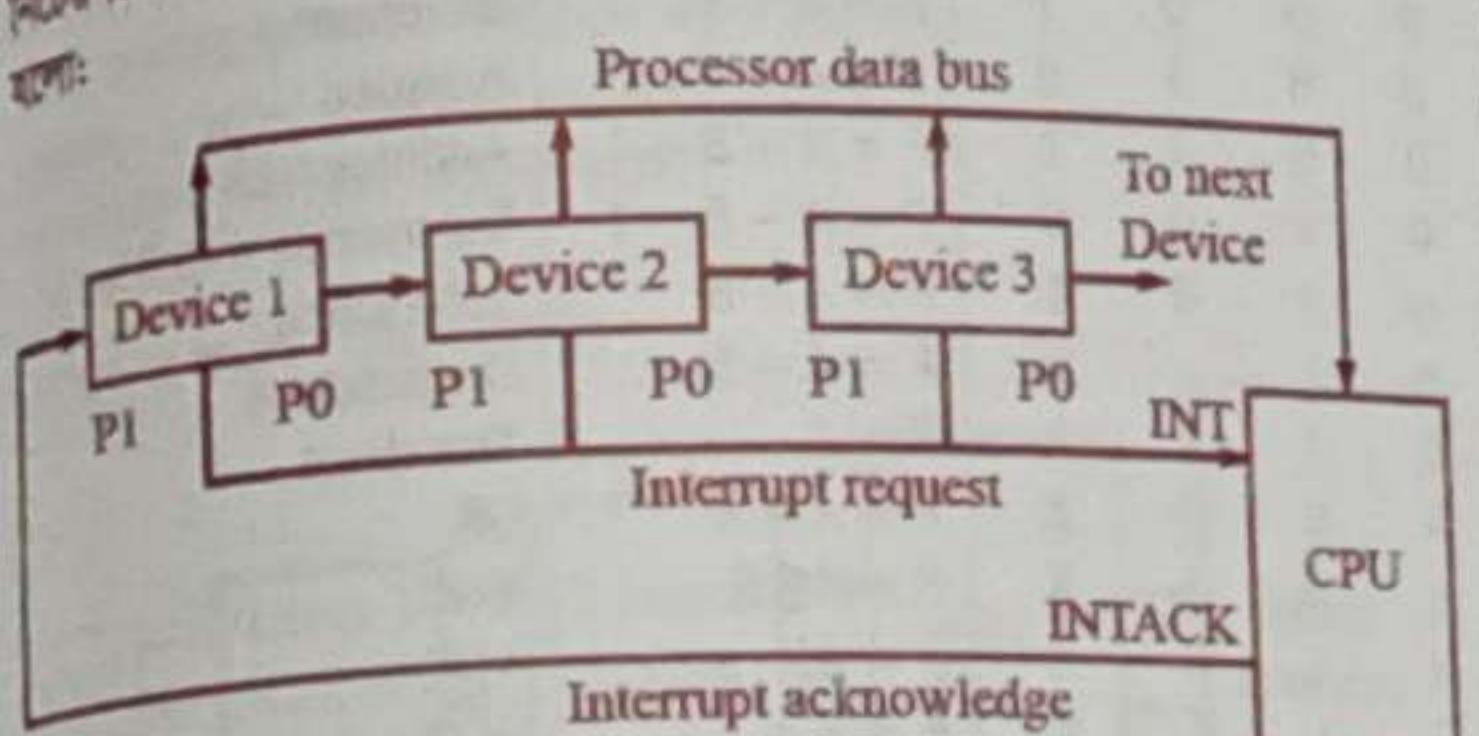
#### অঙ্গ ৭: Block Diagram সহ Daisy Chaining Priority System সম্পর্কে আলোচনা করুন।

**উত্তর:** এই পদ্ধতিতে সকল ডিভাইসের মধ্যে গঠিত সিরিয়াল কানেকশন এর ক্ষেত্রে ইন্টার্ন প্রাইগ্রিটি নির্ধারিত হয়ে যাবে কিনা একটি ইন্টার্ন সিগনাল জেনারেট করে। প্রাইগ্রিটি অনুসারে যে ডিভাইসের প্রাইগ্রিটি সর্বোচ্চ সেই ডিভাইসটি প্রথম পরিশেনে অবস্থান করবে এবং সকল ডিভাইসের মধ্যে সর্বনিম্ন প্রাইগ্রিটি যুক্ত ডিভাইসটি চেইন (Chain) এর স্বার শেষে অবস্থান করবে।

Daisy Chaining পিস্টেমে সকল ডিভাইস একটি সিরিয়াল ফর্ম্যাট অনুসারে কানেক্ষেট থাকে। ইন্টার্ন লাইন রিকুয়েন্ট সকল ডিভাইসের জন্য একই থাকে। যদি কোন ডিভাইসের লো লেভেল স্টেট (Low Level State) এর ইন্টার্ন সিগনালে থাকে তখন ইন্টার্ন লাইন লো লেভেল স্টেট (High Level State) যাবে এবং CPU এর মধ্যে ইন্টার্ন ইনপুটকে এনাবল (Enable) করবে। যখন ইন্টার্ন লাইনের মধ্যে কোন ইন্টার্ন লাইন থাই লেভেল স্টেটে না থাকে তখন CPU ইন্টার্ন রেসেপ্ট করে ইন্টার্ন একনলজি (Acknowledge) লাইনকে এনাবল করার মাধ্যমে। এই সিগনাল ডিভাইস-১ গ্রহণ করে ইহার PI ইনপুট

বাই। একনলজি সিগনাল PO আউটপুট হয়ে পরবর্তী ডিভাইসে যায় এবং ডিভাইস-১ (Device-1) ইন্টার্নের জন্য অনুরোধ না করে।

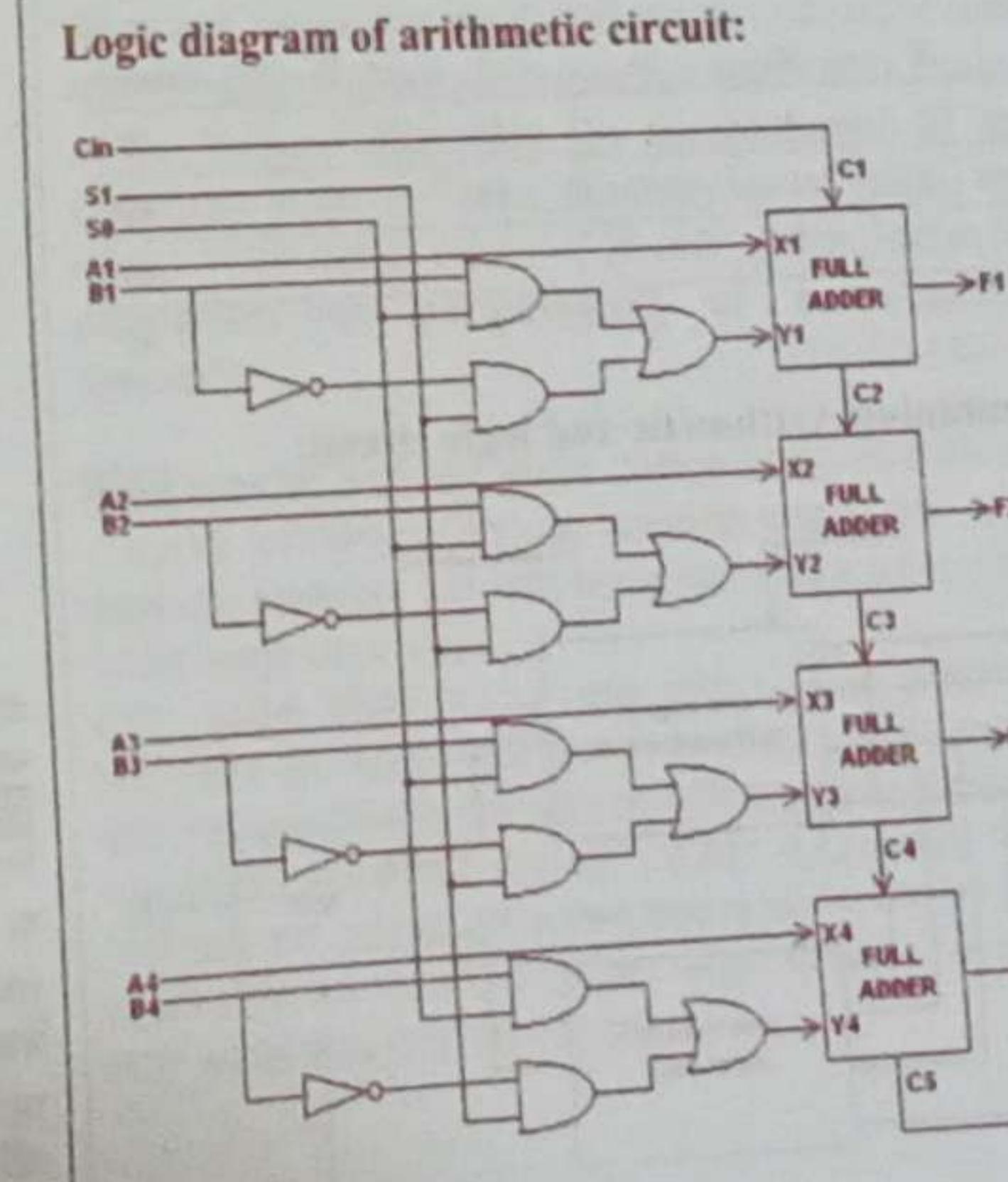
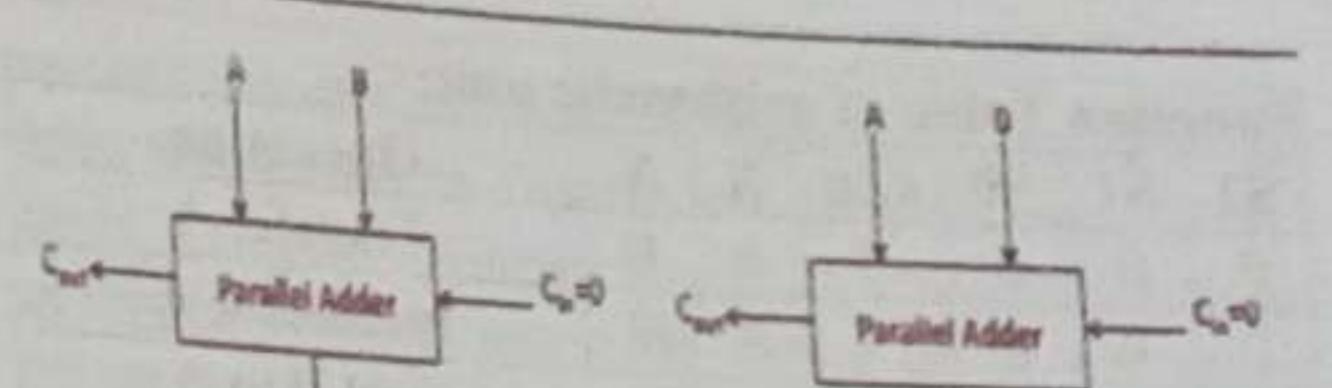
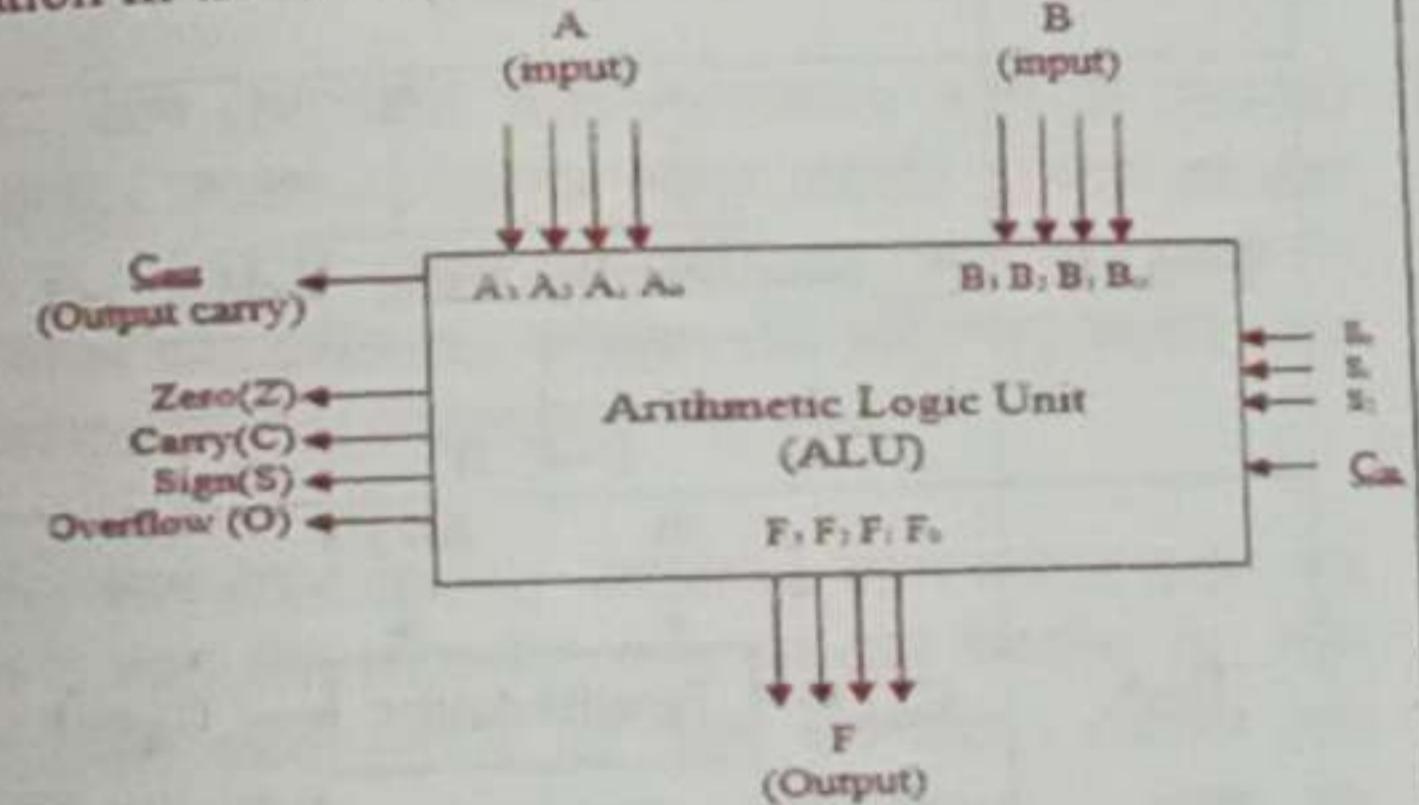
#### অঙ্গ ৮: Daisy Chaining Priority System দেখানো হচ্ছে।



#### অঙ্গ ৯: Daisy Chaining Priority System

##### ALU

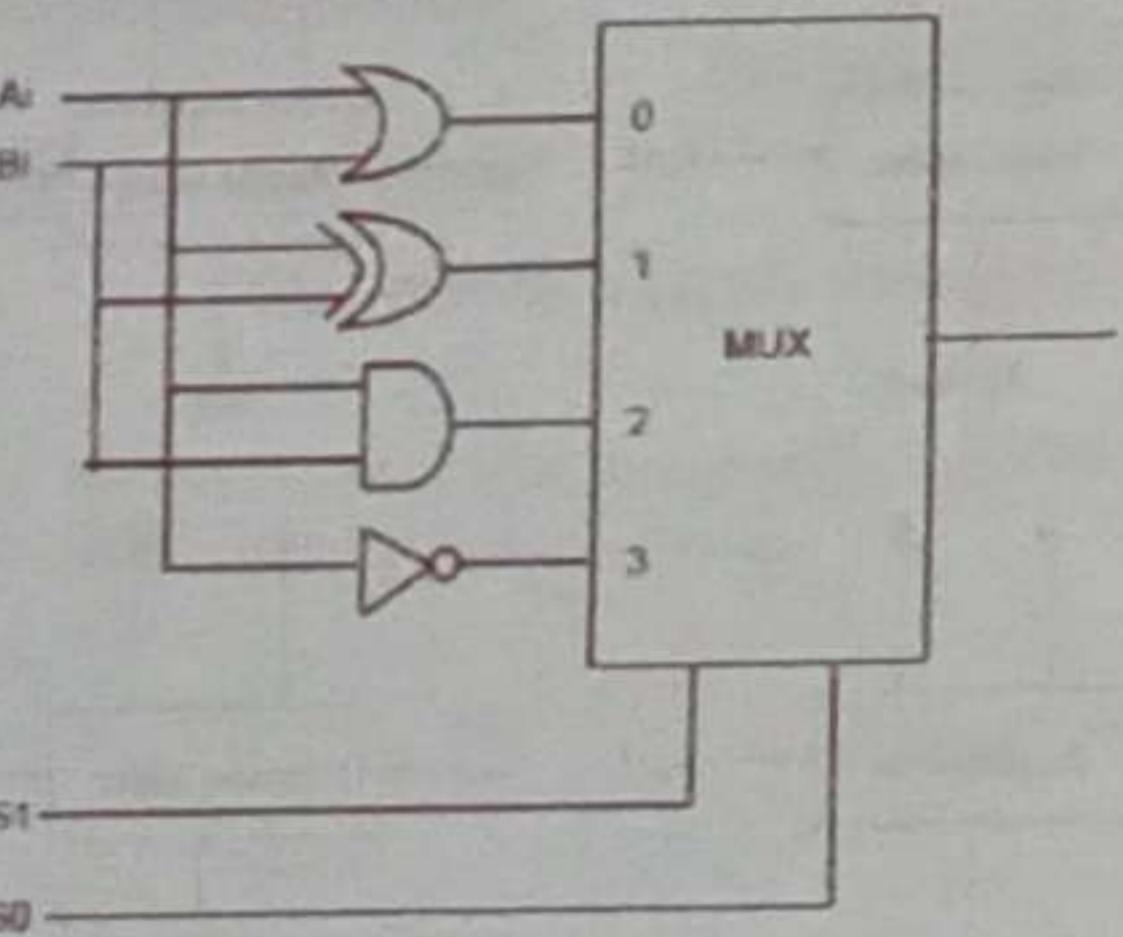
An ALU is a multi-operation, combinational logic digital function; it can perform a set of basic arithmetic and a set of logic operations. The ALU has a number of selection lines to select a particular operation in the unit.



Function Table of arithmetic unit:

S2	S1	S0	Cin	X	Y	Operation
0	0	0	0	A	0	Transfer A
0	0	0	1	A	0	Increment A
0	0	1	0	A	B	Add B to A
0	0	1	1	A	B	Add B to A plus 1
0	1	0	0	A	B'	Add 1's complement of B to A
0	1	0	1	A	B'	Add 2's complement of B to A
0	1	1	0	A	1	Decrement A
0	1	1	1	A	1	Transfer A

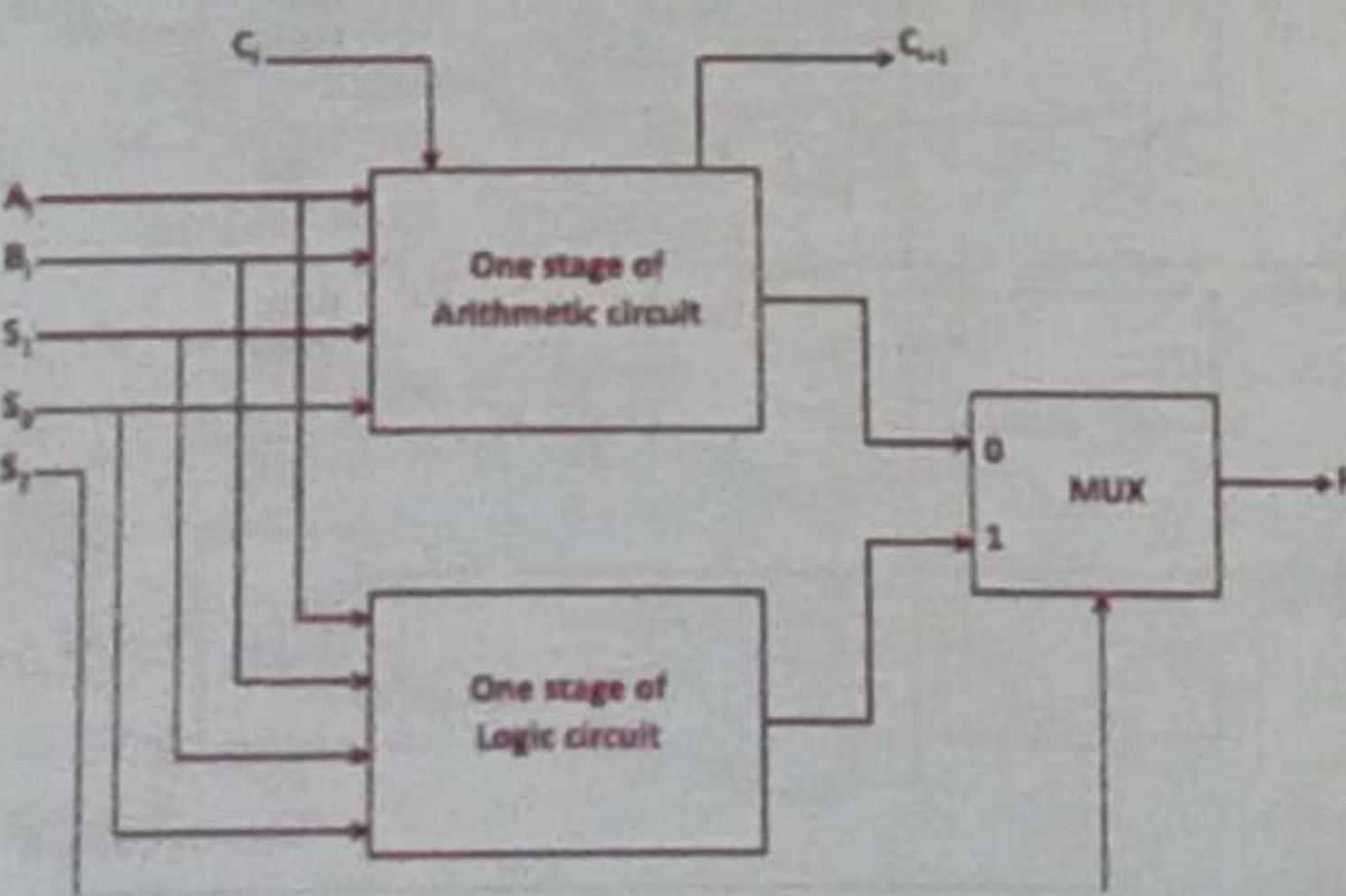
Design of Logic Circuit:



Function Table of Logic Unit:

S2	S1	S0	Cin	X	Y	Operation
1	0	0	1	A+B	0	OR
1	0	1	1	A'B	B	AND
1	1	0	1	A'	B'	XOR
1	1	1	1	B	1	NOT

Combining Arithmetic and logic circuit:

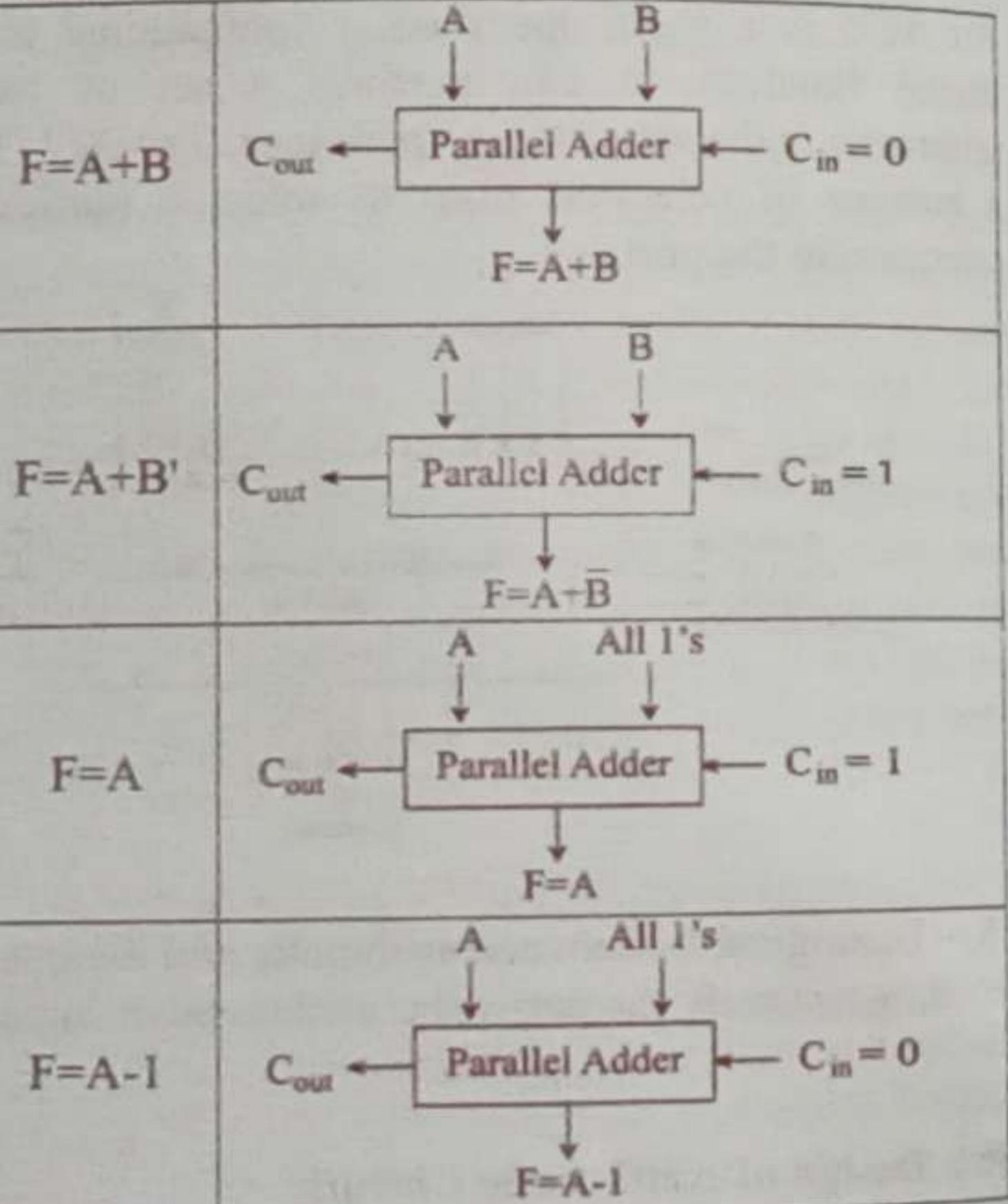


Logic operation in one stage of arithmetic circuit:

Selection	Output	Function
S <sub>1</sub> S <sub>0</sub> S <sub>1</sub> S <sub>0</sub>	F = A F = A + 1 F = A + B F = A + B + 1 F = A - B - 1 F = A - B F = A - 1 F = A F = A + B F = A ⊕ B F = AB F = A' F = A'	Transfer A Increment A Add B to A Add B to A plus 1 Subtraction with Borrow Decrement A Transfer A OR XOR AND NOT

প্রশ্ন-১১:  $F=A$ ,  $F=A+B$ ,  $F=A+B'$ ,  $F=A-1$  এর জন্য ALU design কর। [PGCB-2019]

Answer:



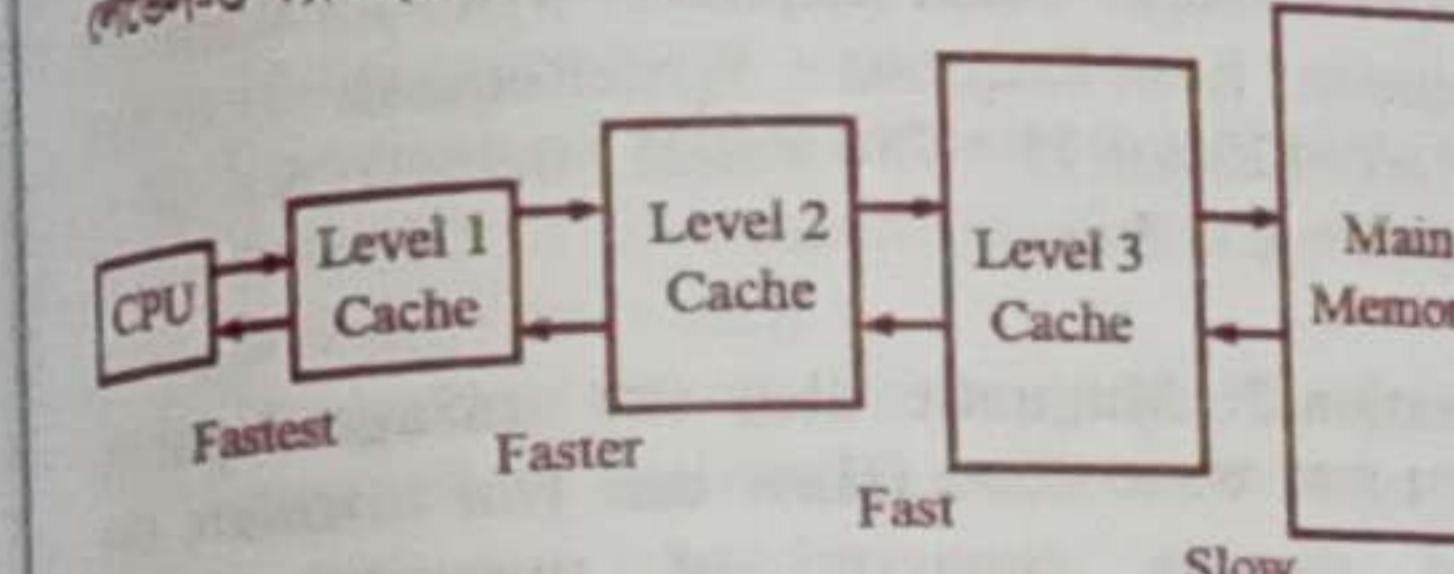
প্রশ্ন-১২: ক্যাশ মেমরি কি? ক্যাশ মেমরির প্রকারভেদ লিখ। [অর্থনৈতিক-প্রযোজন-১-০] [BPSC-ICT-ANE-20]

উত্তর: ক্যাশ মেমরি একটি বিশেষ অতি উচ্চ গতির মেমরি, যা আকারে ছোট তবে main memory (RAM) এর চেয়ে উচ্চগতি সম্পর্ক। CPU এর primary memory থেকে এটি আরও দ্রুত ডাটা আক্রমণ করতে পারে। সুতরাং, এটি সিপিইউতে গতি বাঢ়ানো এবং

synchronize করতে এবং CPU এর কার্যকরিতা উন্নত করতে ব্যবহৃত হয়।

ক্যাশ মেমরি  
ক্যাশ মেমরিকে তিনটি লেভেলে ভাগ করা যায়।  
লেভেল-১ ক্যাশ (প্রাইমারি ক্যাশ)  
লেভেল-২ ক্যাশ (সেকেন্ডারি ক্যাশ)

লেভেল-৩ ক্যাশ (মেন মেমরি)



চিত্র: ক্যাশ মেমরির লেভেল

লেভেল-১ ক্যাশ (প্রাইমারি ক্যাশ): লেভেল-১ ক্যাশ হল প্রাথমিক ক্যাশ মেমরি। এটি 2KB থেকে 64KB সাইজের মধ্যে হয়ে থাকে এবং কম্পিউটারের জন্যের ক্ষেত্রে আকার খুব ছোট যা কম্পিউটারের সাইজের সম্পর্কে নির্ভর করে।

লেভেল-২ ক্যাশ (সেকেন্ডারি ক্যাশ): লেভেল-২ ক্যাশ হল সেকেন্ডারি ক্যাশ মেমরি। লেভেল-২ ক্যাশের আকার লেভেল-১ ক্যাশ এর চেয়ে বেশি যা 256KB থেকে 512KB এর মধ্যে হয়ে থাকে যা কম্পিউটারের মাইক্রোপ্রসেসরের অবস্থিতি। এটি হাই-প্রিপেড সিস্টেম বাসের সাথে মাইক্রোপ্রসেসরের আঙ্গসংযোগ করে থাকে।

লেভেল-৩ ক্যাশ (মেন মেমরি): লেভেল-৩ ক্যাশ আকারে বৃহত্তর তবে লেভেল-১ ক্যাশ এবং লেভেল-২ ক্যাশ এর চেয়ে ধীরগতির হয়, এটির আকার 1MB থেকে 8MB এর মধ্যে হয়ে থাকে। একাধিক কোর প্রসেসরগতিতে প্রতিটি কোরের জন্য পৃথক লেভেল-১ ক্যাশ এবং লেভেল-২ ক্যাশ থাকতে পারে তবে সমস্ত কোর একটি সাধারণ লেভেল-৩ ক্যাশ থাকে। যামের চেয়ে লেভেল-৩ ক্যাশের পিপড বিষ্ণব হয়ে থাকে।

প্রশ্ন-১৩: ক্যাশ মেমরির সুবিধা ও অসুবিধাগুলি লিখ।

ক্যাশ মেমরির সুবিধাগুলি নিম্নরূপ -

- main memory এর চেয়ে ক্যাশে মেমরি দ্রুত।
- main memory এর ক্ষেত্রে আকারের সময় কম খরচ করে।
- এমন প্রয়োগ করে যা অন্য সময়ের মধ্যেই কার্যকর করা যায়।
- আছারী ব্যবহারের জন্য ডেটা স্টোর করে।

ক্যাশ মেমরির অসুবিধাগুলি নিম্নরূপ -

- ক্যাশে মেমরির ক্ষমতা সীমিত।
- এটা খুবই ব্যবহৃত।

প্রশ্ন-১৪: ক্যাশ মেমরির প্রযোজনীয়তা লিখ।

উত্তর: যদি কোন প্রক্রিয়াতে ডেটার প্রযোজন হয় তবে এটি প্রথমে ক্যাশ মেমরিতে অনুসন্ধান করে। যদি ক্যাশে ডেটা থাকে তবে এটিকে ক্যাশ হিট হিসাবে অভিহিত করা হয় এবং প্রযোজন্য অনুসরে ডেটা আক্রমণ

করা যায়। আর যদি ডেটা ক্যাশে না থাকে তবে এটিকে ক্যাশ মেমরি এরপরে এই ডেটার Priority অনুযায়ী ক্যাশ মেমরিতে ছান্নাস্তরিত করা হয়। যা মোট ক্যাশ আক্রমণ দ্বারা ব্যবহার করে পরিমাপ করা হয়। যা মোট ক্যাশ আক্রমণ দ্বারা ব্যবহার করে পরিমাপ করা হয়। যা মোট ক্যাশ আক্রমণ দ্বারা ব্যবহার করে পরিমাপ করা হয়। যা মোট ক্যাশ আক্রমণ দ্বারা ব্যবহার করে পরিমাপ করা হয়।

প্রশ্ন-১৫: Cache Memory এর সাথে main Memory এর পার্থক্য কী? [BPSC-ICT-ANE-20]

Cache Memory এবং Main Memory এর মধ্যে পার্থক্য নিম্নরূপ:

Cache Memory	Main Memory
ইহা দ্রুত গতি সম্পর্ক।	ইহা Cache Memory'র চেয়ে তুলনামূলক ধীরাতি সম্পর্ক।
ইহা আকারে ছোট।	ইহা আকারে বড়।
ইহা ব্যবহৃত।	ইহা তুলনামূলক কম ব্যবহৃত।
CPU তে কোন ক্ষিতি execution এর সময় যে data ব্যবহার করে ইহা সেটি ধীর করে।	CPU তে যে program বা data execute হয় ইহা সেটি ধীর করে।
ইহা সাধারণত Internal মেমরি।	ইহা Internal বা External উভয়ই হচ্ছে পারে।
এর সাইজকে তিনটি লেভেলে ভাগ করা যায়। যথে-	এর সাইজ সাধারণত 1GB, 2GB, 4GB, 8GB, 16GB হয়ে থাকে।
L1: 2KB-64KB L2: 256KB-512KB L3: 1MB-8MB	

প্রশ্ন-১৬: কিছু ক্ষিতি বিষয়ে কম্পিউটার সিস্টেমের performance নির্ধারণ করে। তাদের মধ্যে ক্যাশ মেমরির অন্যতম। ক্যাশ মেমরি একটি কম্পিউটার সিস্টেমের performance নির্ধারণ করে? (Some of the factors determine the performance of the computer system. Cache memory on of them. প্রশ্ন-১৭: Why cache memory in our of the factor to determine the performance of a computer system?)

[BTRC-AD-21]

Ans: ক্যাশ হল একটি ছোট পরিমাণ মেমরি যা CPU-এর একটি অর্থ-  
- RAM এর তুলনায় CPU-এর কাছাকাছি অবস্থান করে। এটি অছারীভাবে নির্দেশাকীর্তি এবং ডেটা ধীরে রাখতে ব্যবহৃত হয় যা CPU পুনরায় ব্যবহার করতে পারে।

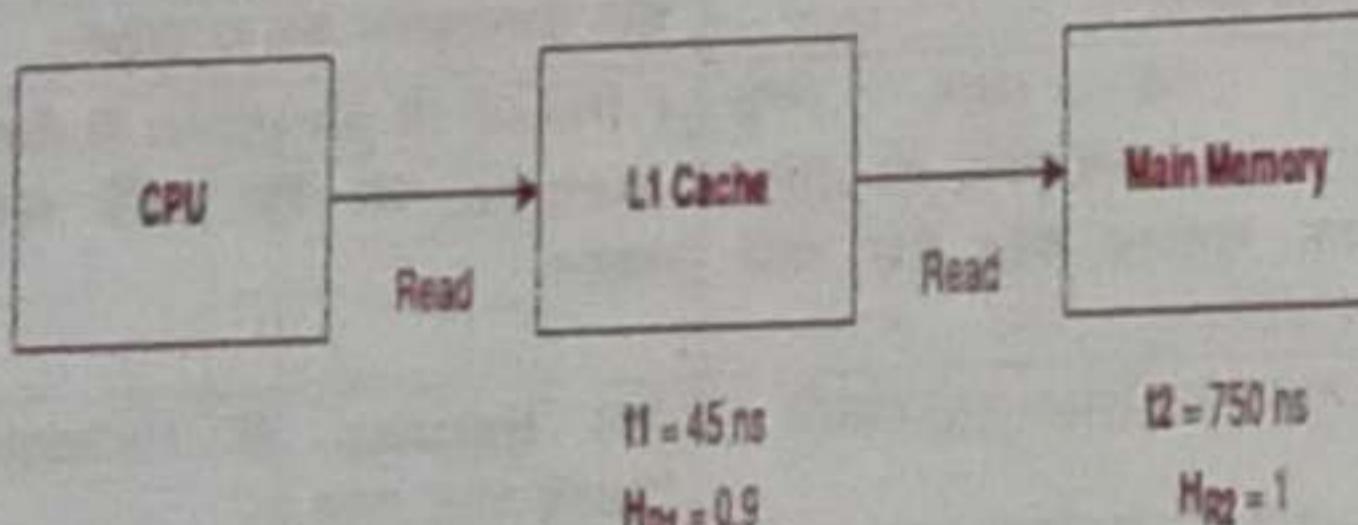
CPU কন্ট্রোল ইউনিট RAM থেকে ডেটা request করার আগে নির্দেশাকীর্তি জন্য ব্যবহারভাবে ক্যাশে পরীক্ষা করে। ক্যাশ মেমরিতে ডাটা পেয়ে গেলে সিলিইট আর মেইন মেমরির কাছে ডাটা চেক করে না ফলে সিলিইট অনেক সময় সেব হয়। CPU RAM থেকে ব্যবহার নির্দেশাকীর্তি এবং ডেটা আনয়ন সরবরাহ করে যা অপেক্ষাকৃত ধীর প্রক্রিয়া থেকেনে CPU কে অনেক করতে হয়। ক্যাশ হ্যান্স্ট্রুমেন্ট এবং RAM থেকে হ্যান্স্ট্রুমেন্ট করার চেয়ে কম সময় নেয়।

**Some Advance Math**

**Question-1:** ক্যাচে মেমরির আক্সেস টাইম 45 ns এবং মেইন মেমরি 750 ns : 75% মেমরি request read এর জন্য এবং বাকি write জন্য পাঞ্চাশ দেহে। যদি read এর জন্য hit ratio 0.9 হয় এবং write এর জন্য hit ratio 1 হয় এবং প্রটোকলের মাধ্যমে write ব্যবহার করা হয়, তাহলে গড় মেমরি আক্সেস time কত? (The access time of cache memory is 45 nsec and that of main memory is 750 nsec. It is found that 75% of memory requests are for read and remaining for write. If the hit access for read is 0.9 and hit ratio for write is 1 and write through protocol is used, then the average memory access time is?)

[AME, Bangladesh Bank-2017]

**Answer:**

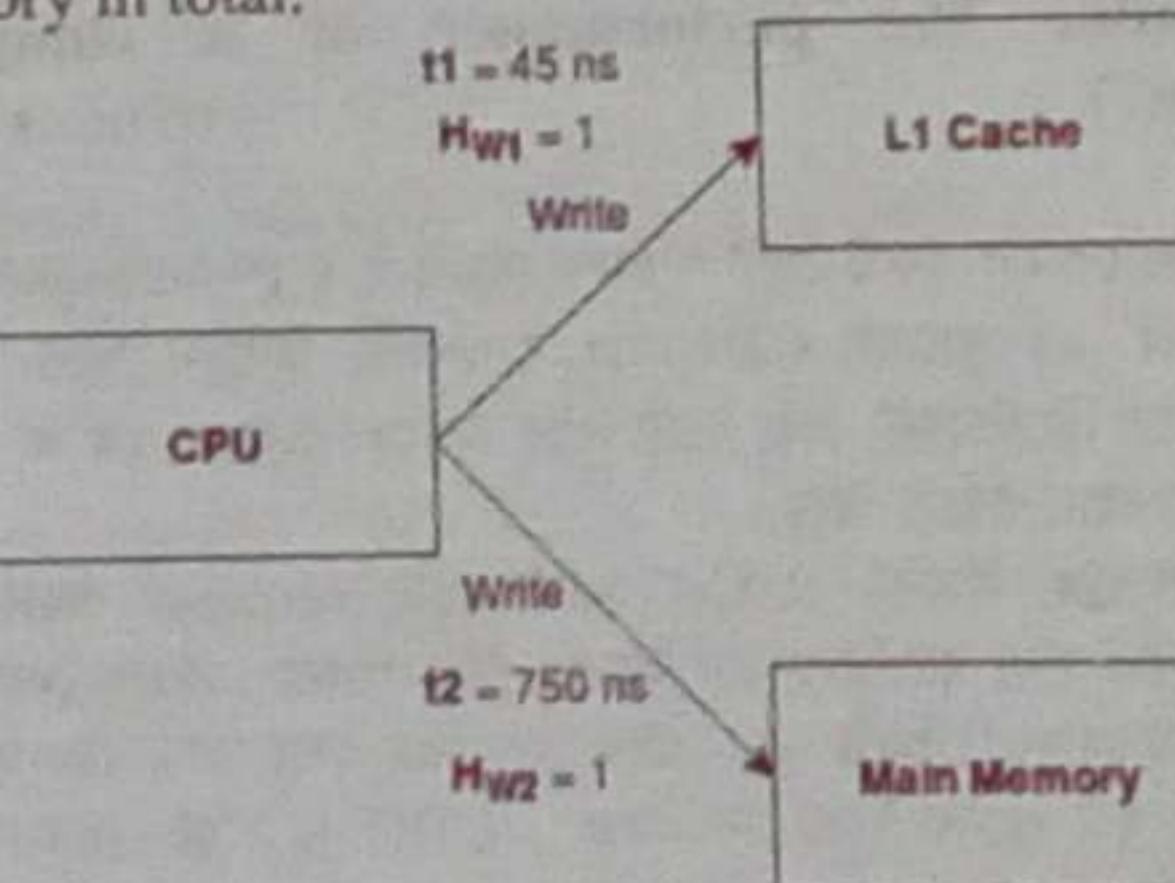


Here,  $H_{R1}$  is hit ratio for read operation to cache is 0.9, and hit ratio for main memory will be  $H_{R2} = 1$  as it must hit the request.

Memory Access Time for Read ( $MAT_R$ ) is,

$$\begin{aligned} MAT_R &= H_{R1}T_1 + (1 - H_{R1})H_{R2}T_2 \\ &= 0.9 \times 45 + (1 - 0.9) \times 1 \times (45 + 750) \\ &= 40.5 + 79.5 = 120 \text{ ns} \end{aligned}$$

Here, we take  $T_2 = (45 + 750)$ , because the memory access type is hierarchical, so Miss Penalty will be the time from CPU to cache and cache to main memory in total.



Now, Memory Access Time for Write ( $MAT_W$ ) is,

$$MAT_W = H_{W2}T_2 = 1 \times 750 = 750 \text{ ns}$$

In question they have given that we are using write through protocol, so write operation in cache and write operation in main memory will be performed

simultaneously, Though to write the data into main memory it will take the time 750 ns, and given hit ratio is 1.

So, the Average Memory Access Time (AMAT) is:  
From all requests 75% is read requests, so 25 % is write request.

$$\begin{aligned} AMAT &= MAT_R \times \text{Read Requests} + MAT_W \times \text{Write Requests} \\ AMAT &= 120 \times 0.75 + 750 \times 0.25 / 0.75 + 0.25 \\ AMAT &= 277.5 \text{ ns} \end{aligned}$$

**Question-2:** Magnetic disk মোট storage capacity কিভাবে গণনা করতে পারেন? (How can you calculate the total storage capacity of magnetic disk?)  
[AME, Dept. of ICT-2014]

**Answer:** The total storage capacity of the magnetic disk depends on-

- Disk pack in disk surface
- Tracks per inch of surface
- Bits per inch of tracks

The mechanism followed by a disk to store data is by making the use of magnetic fields, and encoding them by making variations in the field of magnets in different places. Magnetic disk is capable of storing data, but they cannot be used as a pen drive, to erase and insert data repeatedly. Once a magnetic disk is burnt, and then there is no other way of making that disk reusable.

**For Example:** A disk pack has 19 surfaces and storage area on each surface has an outer diameter of 33cm and inner diameter of 22cm .The maximum recording storage density on any track is 200 bits/cm , and minimum spacing between tracks is 0.25 mm , then how to calculate the capacity of disk pack ?

We Know, Disk capacity = total number of surfaces  $\times$  no. of tracks per surface  $\times$  amount of data per track  
Total number of tracks per surface = (Outer radius - inner radius)  $\div$  Inter track gap  
 $= ((33\text{cm} + 2) - (22\text{cm} + 2)) \div (0.25\text{mm} = 220)$

Perimeter of inner track =  $2 \times \pi \times \text{Inner radius} = 2 \times (22+7) \times 11 \text{ cm}$

Density = 200 bits/ cm

Amount of data present in single track = perimeter  $\times$  density = 13829 bits (approximately)

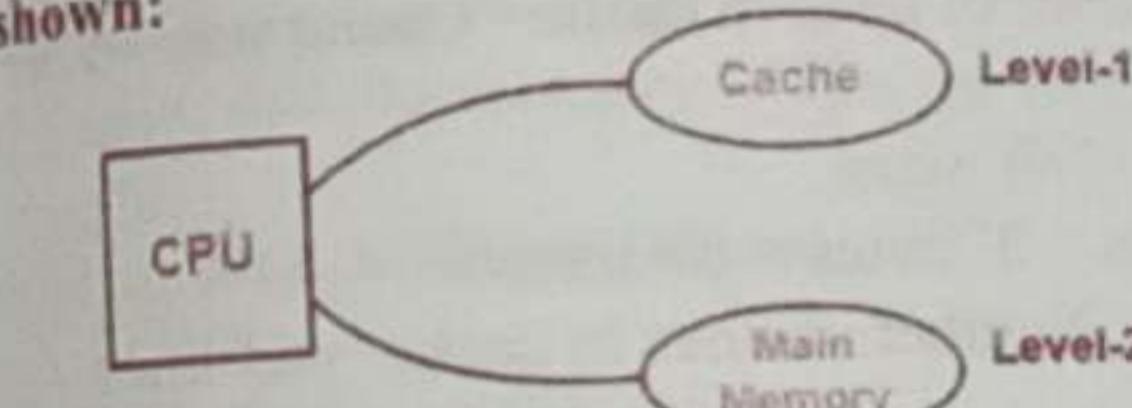
Finally, Disk capacity =  $19 \times 220 \times 13829 \text{ bits} = 6.89 \text{ MB}$

**Problem-03:** যখন Cache hit rate 80% এবং cache access time 5 ns, সাথে main memory access time 100 ns তাহলে একটি মেমুনের average memory access time কত যথন- (What is the average memory access time for a machine with a cache hit rate of 80% and cache access time of 5 ns and main memory access time of 100 ns when-)

- Simultaneous access memory organization ব্যবহার করা হয়। (Simultaneous access memory organization is used.)
- Hierarchical access memory organization ব্যবহার করা হয়। (Hierarchical access memory organization is used.)
- Hierarchical access memory organization ব্যবহার করা হয়। (Hierarchical access memory organization is used.)

**Solution: Part-01: Simultaneous Access Memory Organization:**

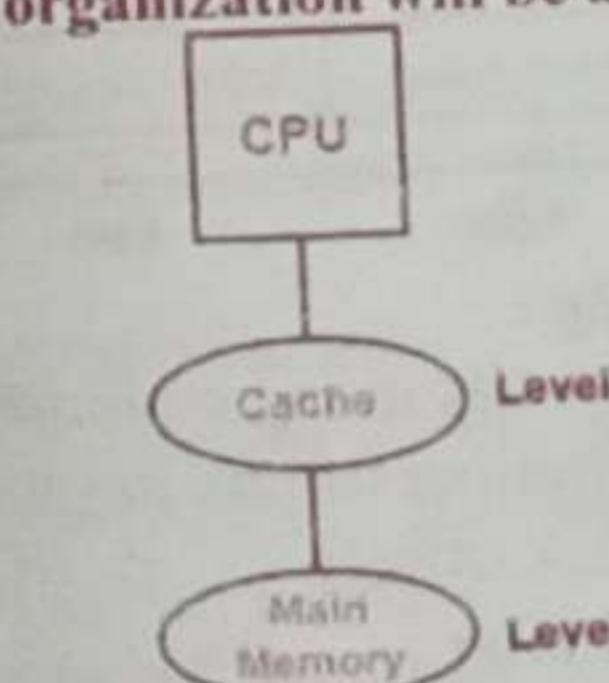
The memory organization will be as shown:



Average memory access time:  $= H_1 \times T_1 + (1 - H_1)$

$$\begin{aligned} &\times H_2 \times T_2 \\ &= 0.8 \times 5 \text{ ns} + (1 - 0.8) \times 1 \times 100 \text{ ns} \\ &= 4 \text{ ns} + 0.2 \times 100 \text{ ns} = 4 \text{ ns} + 20 \text{ ns} = 24 \text{ ns} \end{aligned}$$

**Part-02: Hierarchical Access Memory Organization:**  
The memory organization will be as shown:



Average memory access time

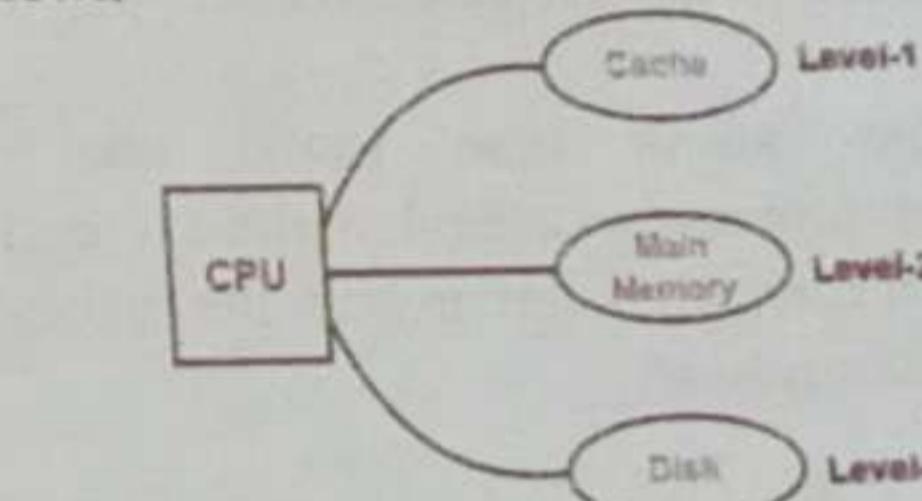
$$\begin{aligned} &= H_1 \times T_1 + (1 - H_1) \times H_2 \times (T_1 + T_2) \\ &= 0.8 \times 5 \text{ ns} + (1 - 0.8) \times 1 \times (5 \text{ ns} + 100 \text{ ns}) \\ &= 4 \text{ ns} + 0.2 \times 105 \text{ ns} = 4 \text{ ns} + 21 \text{ ns} \\ &= 25 \text{ ns} \end{aligned}$$

**Problem-04:** ভার্চুয়াল মেমরির জন্য একটি কম্পিউটারে Cache, Main Memory এবং Disk ব্যবহৃত হয়। ধরা নে কাষ হিট রেট 0.9 এবং মেইন মেমরি হিট রেটিং 0.8 : যদি cache

memory access করতে 10 ns এবং Main Memory কে access করতে 100 ns লাগে সাথে Disk এ access করতে 10,000 ns লাগে তবে একটি সিস্টেমে referenced word (A computer has a cache, main memory and a disk used for virtual memory. An access to the cache takes 10 ns. An access to main memory takes 100 ns. An access to the disk takes 10,000 ns. Suppose the cache hit ratio is 0.9 and the main memory hit ratio is 0.8. The effective access time required to access a referenced word on the system is when-)

- Simultaneous access memory organization ব্যবহার করা হয়। (Simultaneous access memory organization is used.)
- Hierarchical access memory organization ব্যবহার করা হয়। (Hierarchical access memory organization is used.)

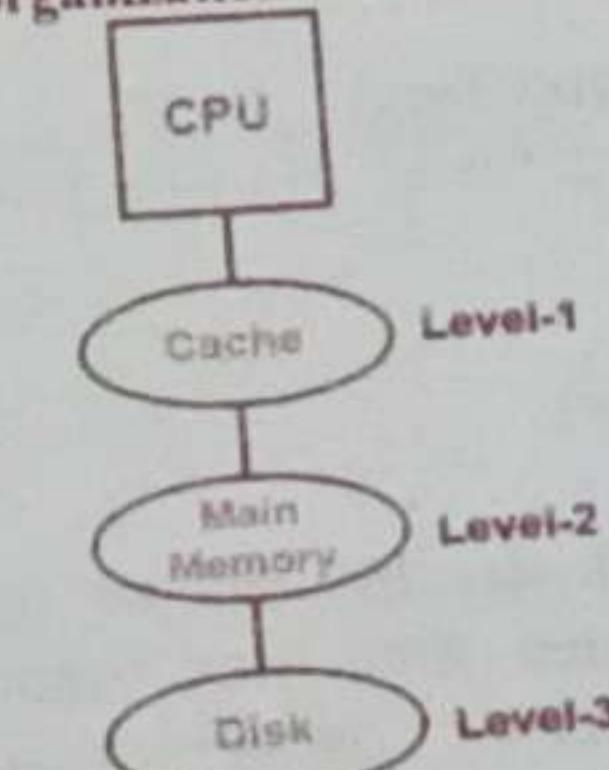
**Solution: Part-01: Simultaneous Access Memory Organization:**  
The memory organization will be as shown-



Effective memory access time:

$$\begin{aligned} &= H_1 \times T_1 + (1 - H_1) \times H_2 \times T_2 + (1 - H_1) \times (1 - H_2) \times H_3 \times T_3 \\ &= 0.9 \times 10 \text{ ns} + (1 - 0.9) \times 0.8 \times 100 \text{ ns} + (1 - 0.9) \times (1 - 0.8) \times 1 \times 10000 \text{ ns} \\ &= 9 \text{ ns} + 8 \text{ ns} + 200 \text{ ns} \\ &= 217 \text{ ns} \end{aligned}$$

**Part-02: Hierarchical Access Memory Organization:**  
The memory organization will be as shown:



Effective memory access time:

$$= H_1 \times T_1 + (1 - H_1) \times H_2 \times (T_1 + T_2) + (1 - H_1) \times (1 - H_2) \times H_3 \times (T_1 + T_2 + T_3)$$

$$\begin{aligned}
 &= 0.9 \times 10 \text{ ns} + (1 - 0.9) \times 0.8 \times (10 \text{ ns} + 100 \text{ ns}) + \\
 &(1 - 0.9) \times (1 - 0.8) \times 1 \times (10 \text{ ns} + 100 \text{ ns} + 10000 \text{ ns}) \\
 &= 9 \text{ ns} + 8.8 \text{ ns} + 202.2 \text{ ns} \\
 &= 220 \text{ ns}
 \end{aligned}$$

**Question-5:** একটি সিস্টেম 2 Level Cache বিবেচনা করুন। Level 1 Cache, Level 2 Cache এবং Main memory time যথাক্রমে 1 ns, 10ns এবং 500 ns। Level 1 এবং Level 2 Cache তি গ্রেট যথাক্রমে 0.8 এবং 0.9। Cache এর মধ্যে Search time উপরে করে সিস্টেমের average access time কত? (Consider a system with 2 level caches. Access times of Level 1 cache, Level 2 cache and main memory are 1 ns, 10ns, and 500 ns, respectively. The hit rates of Level 1 and Level 2 caches are 0.8 and 0.9, respectively. What is the average access time of the system ignoring the search time within the cache?)

**Solution:** First, the system will look in cache 1. If it is not found in cache 1, then cache 2 and then further in main memory (if not in cache 2 also).

The average access time would take into consideration success in cache 1, failure in cache 1 but success in cache 2, failure in both the caches and success in main memory.

$$\begin{aligned}
 \text{Average access time:} \\
 &= [H_1 \cdot T_1] + [(1-H_1) \cdot H_2 \cdot T_2] + [(1-H_1)(1-H_2) \cdot H_m \cdot T_m]
 \end{aligned}$$

Where,

- H<sub>1</sub> = Hit rate of level 1 cache = 0.8
- T<sub>1</sub> = Access time for level 1 cache = 1 ns
- H<sub>2</sub> = Hit rate of level 2 cache = 0.9
- T<sub>2</sub> = Access time for level 2 cache = 10 ns
- H<sub>m</sub> = Hit rate of Main Memory = 1
- T<sub>m</sub> = Access time for Main Memory = 500 ns

$$\begin{aligned}
 \text{So, Average Access Time:} \\
 &= (0.8 * 1) + (0.2 * 0.9 * 10) + (0.2 * 0.1 * 1 * 500) \\
 &= 0.8 + 1.8 + 10 \\
 &= 12.6 \text{ ns (Answer)}
 \end{aligned}$$

**Problem-6:** Block size 256 বাইট এবং 16 KB আকারের একটি full associative ম্যাপিং ক্যাশে বিবেচনা করে main memory size 128KB হল। বের করুন। (Consider a fully associative mapped cache of size 16 KB with block size 256 bytes. The size of main memory is 128 KB. Find-)

i. Tag এর সংখ্যা (Number of bits in tag)

ii. Tag এর directory size (Tag directory size)

Solution: Given-

Cache memory size = 16 KB

Block size = Frame size = Line size = 256 bytes

Main memory size = 128 KB

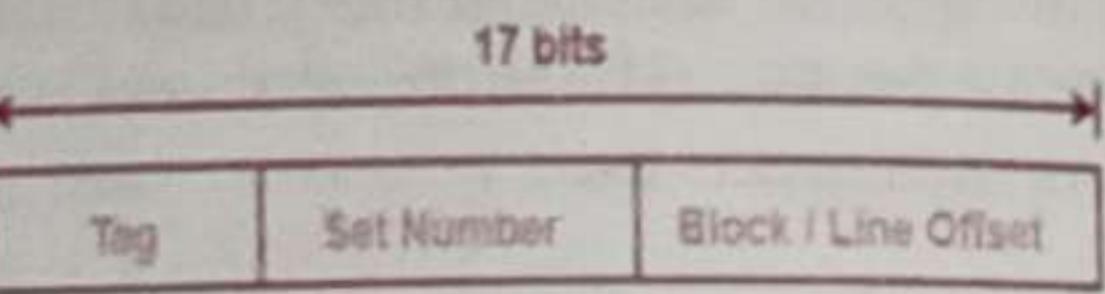
We consider that the memory is byte addressable.  
Number of Bits in Physical Address:

We have,

Size of main memory = 128 KB

$$= 128 \times 1 \text{ KB} = 2^7 \times 2^{10} \text{ Bytes} = 2^{17} \text{ bytes}$$

So, Number of bits in physical address = 17 bits



Number of Lines in Cache

We Know,

Total number of lines in cache = Cache size / Line size

$$= 16 \text{ KB} / 256 \text{ bytes}$$

$$= 2^{14} \text{ bytes} / 2^8 \text{ bytes} = 64 \text{ lines}$$

So, Number of lines in cache = 64 lines

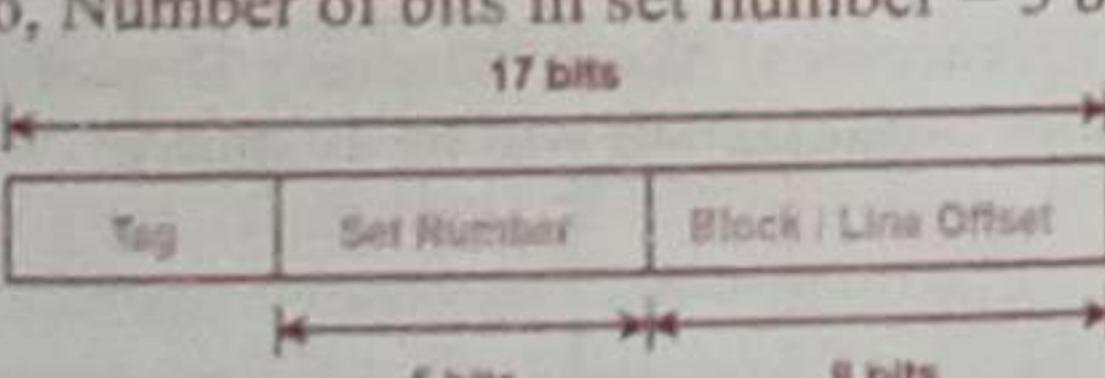
Number of Sets in Cache:

We Know,

Total number of sets in cache = Total number of lines in cache / Set size

$$= 64 / 2 = 32 \text{ sets} = 2^5 \text{ sets}$$

So, Number of bits in set number = 5 bits



Number of Bits in Tag

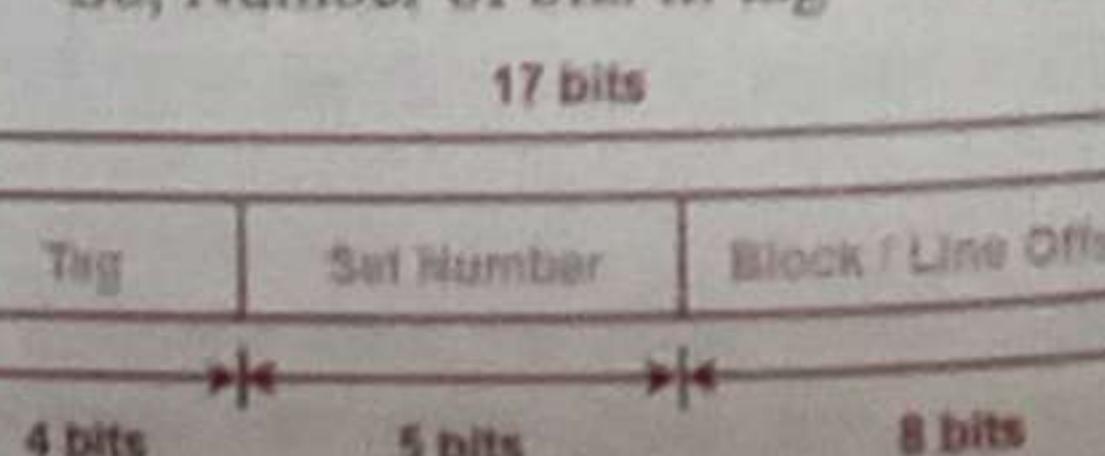
We Know, Number of bits in tag = Number of bits in physical address - (Number of bits in set number + Number of bits in block offset)

$$= 17 \text{ bits} - (5 \text{ bits} + 8 \text{ bits})$$

$$= 17 \text{ bits} - 13 \text{ bits}$$

$$= 4 \text{ bits}$$

So, Number of bits in tag = 4 bits



Tag Directory Size:

We Know,

Tag directory size = Number of tags × Tag size

= Number of lines in cache × Number of bits in tag

$$= 64 \times 4 \text{ bits} = 256 \text{ bits}$$

$$= (256 / 8) \text{ bytes} = 32 \text{ bytes}$$

So, size of tag directory = 32 bytes

**Problem-7:** Block সাইজ 1 KB এবং 512 KB আকারের 8-Way সেট অ্যাসোসিয়েটিভ ম্যাপিং ক্যাশ বিবেচনা করুন। যাতে 7 বিট আছে। বের করুন। (Consider a 8-way set associative mapped cache of size 512 KB with block size 1 KB. There are 7 bits in the tag. Find-)

i. Main memory এর Size (Size of main memory)

ii. Tag directory size

Solution: Given-

Set size = 8

Cache memory size = 512 KB

Block size = Frame size = Line size = 1 KB

Number of bits in tag = 7 bits

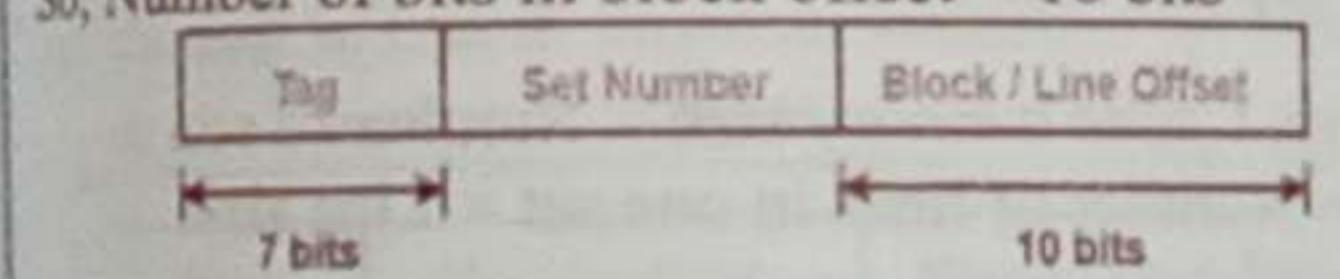
We consider that the memory is byte addressable.

Number of Bits in Block Offset:

We have,

Block size = 1 KB =  $2^{10}$  bytes

So, Number of bits in block offset = 10 bits



Number of Lines in Cache:

We Know, Total number of lines in cache = Cache size / Line size

$$= 512 \text{ KB} / 1 \text{ KB} = 512 \text{ lines}$$

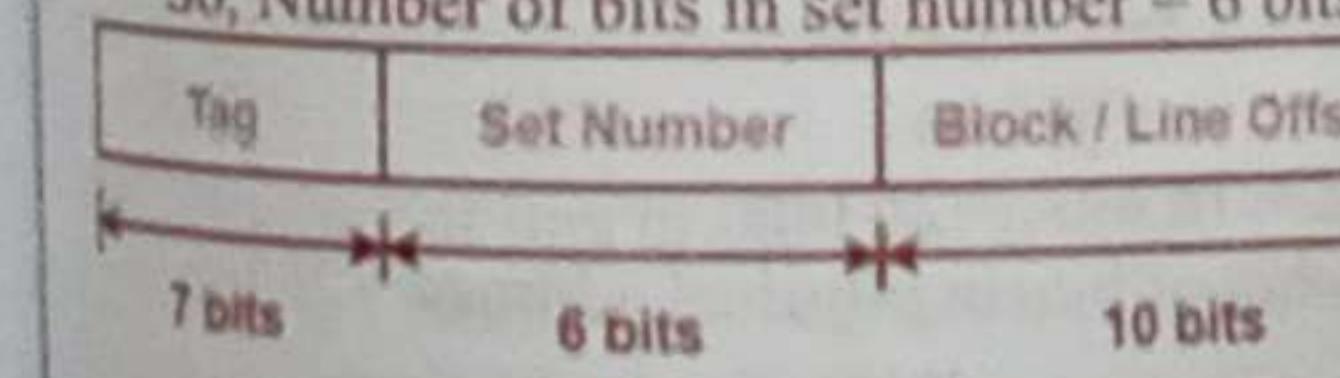
So, Number of lines in cache = 512 lines

Number of Sets in Cache:

We Know, Total number of sets in cache = Total number of lines in cache / Set size

$$= 512 / 8 = 64 \text{ sets} = 2^6 \text{ sets}$$

So, Number of bits in set number = 6 bits



Number of Bits in Physical Address:

We Know,

Number of bits in physical address = Number of bits in tag + Number of bits in set number + Number of bits in block offset

$$= 7 \text{ bits} + 6 \text{ bits} + 10 \text{ bits} = 23 \text{ bits}$$

So, Number of bits in physical address = 23 bits

Size of Main Memory:

We have,

Number of bits in physical address = 23 bits

So, Size of main memory =  $2^{23}$  bytes

$$= (2^{23} + 1024 + 1024) \text{ MB}$$

$$= 8 \text{ MB}$$

Tag Directory Size:

We Know,

Tag directory size = Number of tags × Tag size

= Number of lines in cache × Number of bits in tag

$$= 512 \times 7 \text{ bits} = 3584 \text{ bits}$$

$$= (3584 / 8) \text{ bytes} = 448 \text{ bytes}$$

So, size of tag directory = 448 bytes

**Problem-8:** Block সাইজ 4 KB এবং একটি 4-way সেট অ্যাসোসিয়েটিভ ম্যাপিং ক্যাশ বিবেচনা করুন। Main Memory size 16GB এবং ট্যাগে 10 বিট রয়েছে। বের করুন। (Consider a 4-way set associative mapped cache with block size 4 KB. The size of main memory is 16 GB and there are 10 bits in the tag. Find-)

i. Main memory এর Size (Size of main memory)

ii. Tag directory size

Solution: Given, Set size = 4

Block size = Frame size = Line size = 4 KB

Main memory size = 16 GB

Number of bits in tag = 10 bits

We consider that the memory is byte addressable.

Number of Bits in Physical Address:

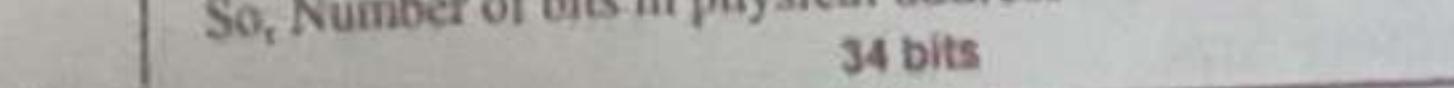
We have,

Size of main memory = 16 GB

$$= 16 \times 1024 \times 1024 \times 1024$$

$$= 2^4 \times 2^{10} \times 2^{10} \times 2^{10} = 2^{34} \text{ bytes}$$

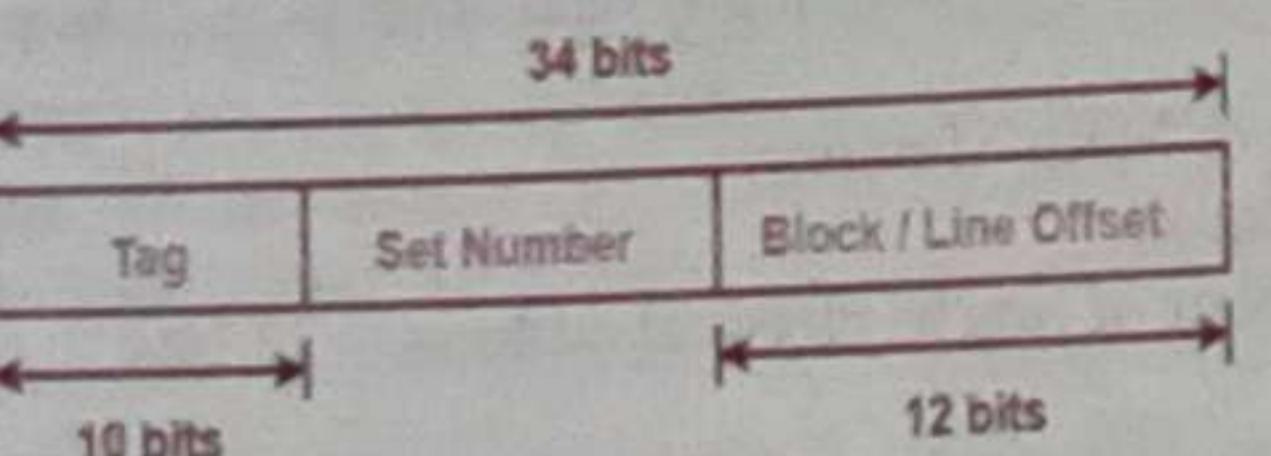
So, Number of bits in physical address = 34 bits



Number of Bits in Block Offset:

We have,  
Block size = 4 KB =  $2^{12}$  bytes

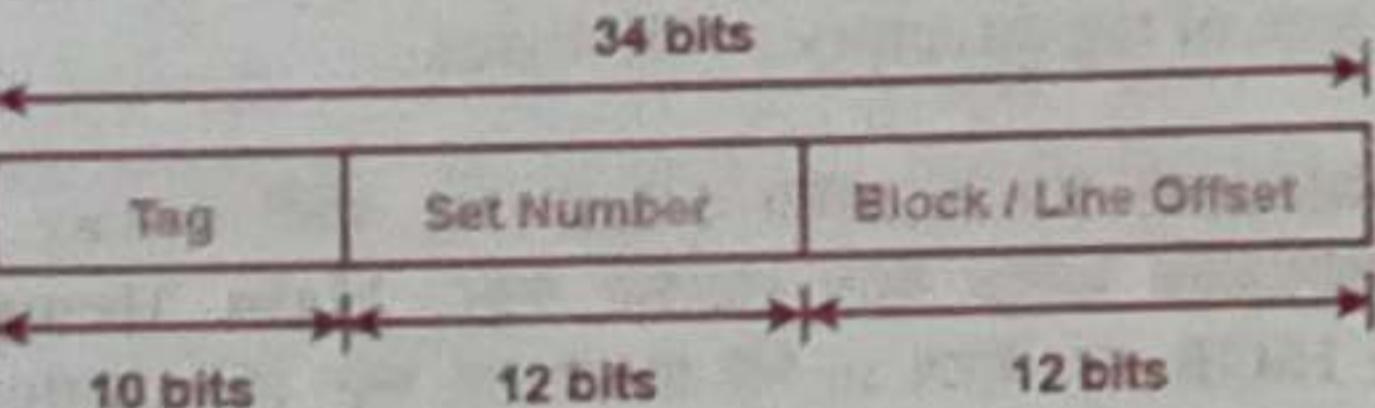
So, Number of bits in block offset = 12 bits



Number of Bits in Set Number:

We Know,  
Number of bits in set number = Number of bits in physical address - (Number of bits in tag + Number of bits in block offset)  
 $= 34 \text{ bits} - (10 \text{ bits} + 12 \text{ bits})$   
 $= 34 \text{ bits} - 22 \text{ bits} = 12 \text{ bits}$

So, Number of bits in set number = 12 bits



Number of Sets in Cache:

We have, Number of bits in set number = 12 bits  
So, Total number of sets in cache =  $2^{12}$  sets

Number of Lines in Cache:

We have, Total number of sets in cache =  $2^{12}$  sets  
Each set contains 4 lines

So, Total number of lines in cache = Total number of sets in cache  $\times$  Number of lines in each set  
 $= 2^{12} \times 4 \text{ lines} = 2^{12} \times 2^2 = 2^{14} \text{ lines}$

Size of Cache Memory:

We Know, Size of cache memory = Total number of lines in cache  $\times$  Line size  
 $= 2^{14} \times 4 \text{ KB} = 2^{14} \times 2^2 \text{ KB} = 2^{16} \text{ KB}$   
 $= (2^{16} \div 1024) \text{ MB} = 64 \text{ MB}$   
So, Size of cache memory = 64 MB

Tag Directory Size:

We Know,  
Tag directory size = Number of tags  $\times$  Tag size  
 $= \text{Number of lines in cache} \times \text{Number of bits in tag}$   
 $= 2^{14} \times 10 \text{ bits} = 163840 \text{ bits}$

$$\begin{aligned} &= (163840 \div 8) \text{ bytes} = 20480 \text{ bytes} \\ &= (20480 \div 1024) \text{ KB} = 20 \text{ KB} \\ \text{So, size of tag directory} &= 20 \text{ KB} \end{aligned}$$

**Problem-9:** একটি 8-Way সেট অ্যাসোসিয়েটিভ ম্যাপ কাশ বিবেচনা করুন। ক্যাশ মেমরির আকার 512 KB এবং ট্যাগে 10 বিট। Main memory size বের করুন। (Consider a 8-way set associative mapped cache. The size of cache memory is 512 KB and there are 10 bits in the tag. Find the size of main memory.)

**Solution:** Given,

Set size = 8

Cache memory size = 512 KB

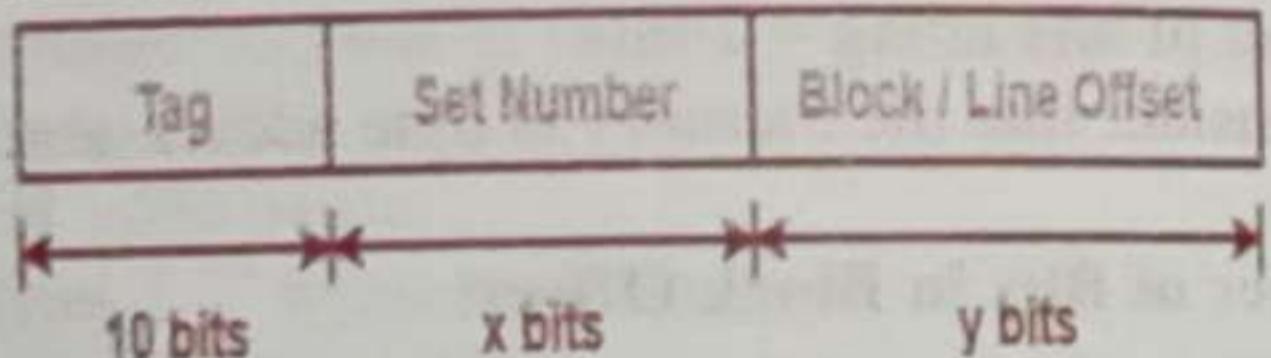
Number of bits in tag = 10 bits

We consider that the memory is byte addressable.

Let,

Number of bits in set number field = x bits

Number of bits in block offset field = y bits



Sum of Number Of Bits Of Set Number Field And Block Offset Field:

We have, Cache memory size = Number of sets in cache  $\times$  Number of lines in one set  $\times$  Line size

Now, substituting the values, we get-

$$512 \text{ KB} = 2^x \times 8 \times 2^y \text{ bytes}$$

$$\text{Or, } 2^{19} \text{ bytes} = 2^{3+x+y} \text{ bytes}$$

$$\text{Or, } 19 = 3 + x + y$$

$$\text{Or, } x + y = 19 - 3$$

$$\text{Or, } x + y = 16$$

Number of Bits in Physical Address:

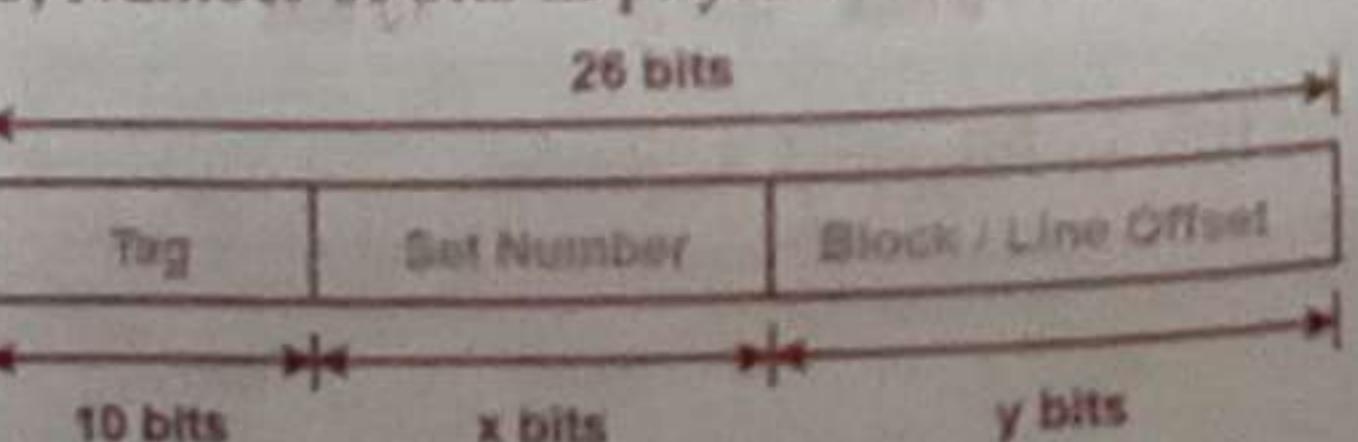
We Know,

Number of bits in physical address = Number of bits in tag + Number of bits in set number + Number of bits in block offset  
 $= 10 \text{ bits} + x \text{ bits} + y \text{ bits}$

$$= 10 \text{ bits} + (x + y) \text{ bits}$$

$$= 10 \text{ bits} + 16 \text{ bits} = 26 \text{ bits}$$

So, Number of bits in physical address = 26 bits



Or,  $x + y = 16$

So, Sum of number of bits of set number field and block offset field = 16 bits

**Size of Cache Memory:**

We Know, Cache memory size = Number of sets in cache  $\times$  Number of lines in one set  $\times$  Line size  
 $= 2^x \times 4 \times 2^y \text{ bytes} = 2^{2+x+y} \text{ bytes}$   
 $= 2^{2+16} \text{ bytes} = 2^{18} \text{ bytes} = 256 \text{ KB}$   
So, size of cache memory = 256 KB

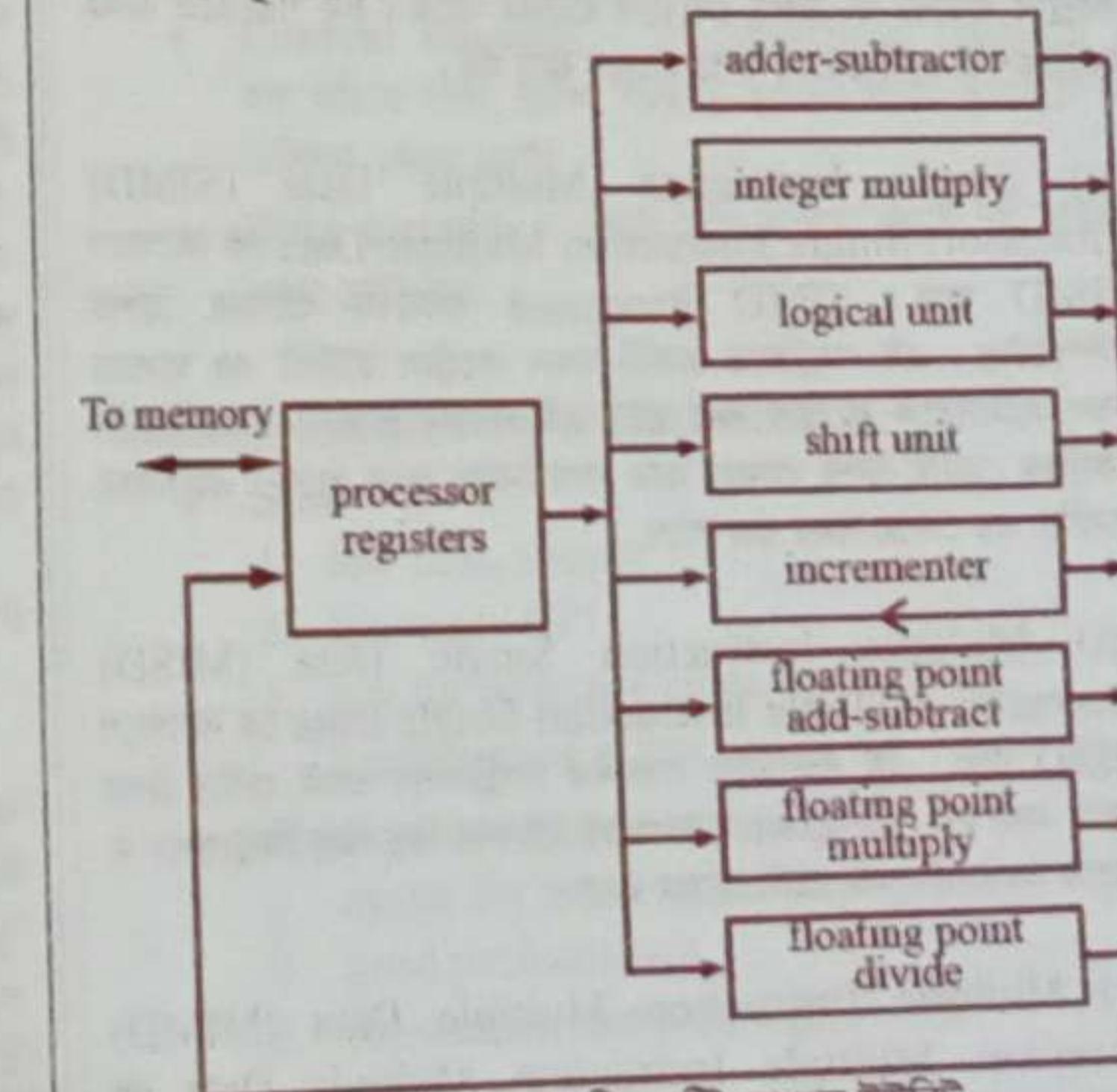
### প্যারালল প্রসেসিং

প্রশ্ন-8: প্যারালল প্রসেসিং (Parallel Processing) কী?

প্যারালল প্রসেসিং এর প্রযোক্তিগত অব্যোন করুন।

[INTRCA(Lecturer)-2010]

**ভর্তুল প্যারালল প্রসেসিং (Parallel Processing):** যে প্রসেসিং প্রক্রিয়ার মাধ্যমে একইসময় একাধিক কাজ করার কৌশল অবলম্বন করা হয় তাকে প্যারালল প্রসেসিং বলে। সাধারণ কম্পিউটারে একসাথে একটি ইলেক্ট্রনিক প্রসেসিং করার ব্যবহাৰ থাকে। কিন্তু প্যারালল প্রসেসিং প্রক্রিয়ার এক বা একাধিক প্রসেসর একইসঙ্গে একাধিক ইলেক্ট্রনিক নির্বাচন করে থাকে। যার ফলে প্রক্রিয়াকরণের গতি বৃদ্ধি পায়। এই পদ্ধতিতে কম সময়ে আউটপুট পাওয়া যায় বিদ্যুৎ ধরণের প্রয়োগ নির্বাহের ক্ষেত্ৰে এর ব্যবহার খুব বেশি।



চিত্র: প্যারালল প্রসেসিং মাল্টি ফাংশন ইউনিট

প্যারালল প্রসেসিং এর সুবিধা

- ১। প্যারালল প্রসেসিং প্রয়োগ এক্সেকিউশনের গতি বৃদ্ধি দেয়।
- ২। এ পদ্ধতিতে কম সময়ে বেশি আউটপুট পাওয়া যায়।
- ৩। বড় ধরনের কোন প্রস্তুতি সম্পাদন বা নির্বাহের জন্য প্যারালল প্রসেসিং উপযোগী।
- ৪। একই সাথে একাধিক প্রয়োজনীয় বা অপারেটর কাজ করতে পারে।

প্যারালাল প্রসেসিং এর ব্যবহার: নানাবিধি সুবিধা থাকার কারণে প্যারালাল প্রসেসিং এর বিভিন্নভাবী প্রয়োগ তৈরি হয়েছে। এ পক্ষতি নিচে উল্লেখিত ক্ষেত্রে সম্মত বিশেষভাবে ব্যবহৃত হয়।

১। ক্রিয় বৃক্ষমতা (Artificial intelligence)

২। তরলের প্রবাহ বিশ্লেষণ।

৩। ড্রুকশনজনিত ডেটা বিশ্লেষণ।

৪। নিউট্ৰিনার রিআক্টৰ ডিজাইন।

৫। কম্পিউটার এনিস্টেট টেক্নোলজির মাধ্যমে মেডিকেল ডায়াগনোসিস।

৬। ভিজুয়াল ইমেজ প্রসেসিং।

৭। VLS ও সার্কিট ডিজাইন।

৮। আবহাওয়া পূর্ণাঙ্গ ইত্যাদি।

প্রকারভেদ: কম্পিউটার সিস্টেম এর ইলেক্ট্রোকশনের সংখ্যা ও একই সময়ে ডেটা প্রসেসিং ক্ষমতার উপর ভিত্তি করে প্যারালাল প্রসেসিং কে তারভাগে ভাগ করা হয়। যেমনঃ

a) Single Instruction Single Data (SISD) Processor

b) Single Instruction Multiple Data (SIMD) Processor

c) Multiple Instruction Single Data (MISD) Processor

d) Multiple Instruction Multiple Data (MIMD) Processor

(i) Single Instruction Single Data (SISD) Processor:

Single Instruction Single Data কে সংক্ষেপে SISD বলে। SISD Processor বিশিষ্ট কম্পিউটারে একটিমাত্র প্রসেসর, একটি কন্ট্রোল ইউনিট ও একটি মেমোরি ইউনিট থাকে। এই পক্ষতিতে একই ইলেক্ট্রোকশন একই ডেটার উপর প্রয়োগ করা হয়।

(ii) Single Instruction Multiple Data (SIMD) Processor:

Single Instruction Multiple Data কে সংক্ষেপে SIMD বলে। SIMD Processor একাধিক প্রসেসর বিশিষ্ট কম্পিউটার। এই পক্ষতিতে একটি কমন কন্ট্রোল ইউনিট এর মাধ্যমে সকল প্রসেসরকে কন্ট্রোল করা হয়। এই ধরণের প্রসেসর একই নির্দেশ একাধিক ডেটার উপর প্রয়োগ করে কার্য নির্বাচ করে থাকে। এইকারণে প্রসেসিং এর ক্ষেত্রে সময় কম লাগে।

(iii) Multiple Instruction Single Data (MISD) Processor:

Multiple Instruction Single Data কে সংক্ষেপে MISD বলে। এই পক্ষতিতে একাধিক ইলেক্ট্রোকশন একই ডেটার উপর প্রয়োগ করা হয়। এই প্রক্রিয়ার স্বতন্ত্রে প্রসেসর ভিত্তি ইলেক্ট্রোকশন বা প্রোসেসর অন্তর্বায়ী একই ডেটা প্রসেস করে।

(iv) Multiple Instruction Multiple Data (MIMD) Processor:

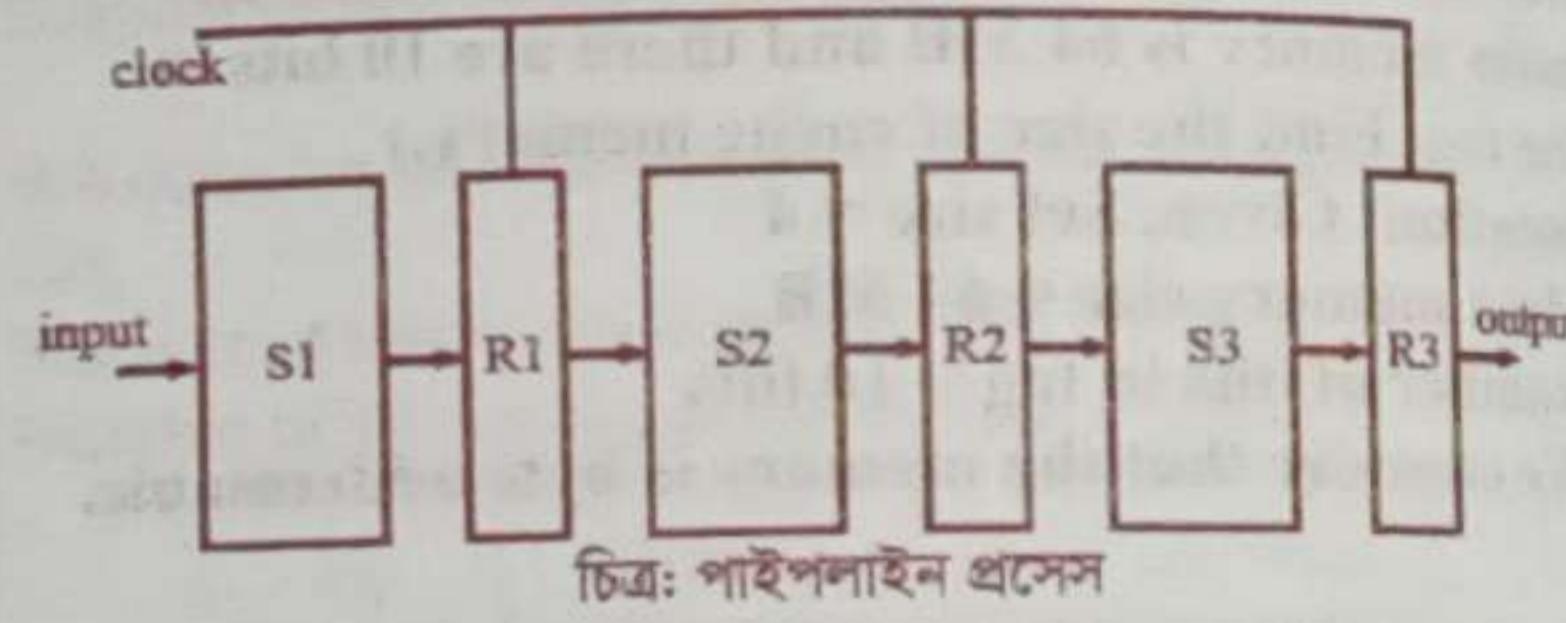
Multiple Instruction Multiple Data কে সংক্ষেপে MIMD বলে। এই পক্ষতিতে একাধিক ইলেক্ট্রোকশন একাধিক ডেটার উপর প্রয়োগ করা হয়। মাল্টিপ্রেসর নামক প্যারালাল প্রসেসরে MIMD Processor ব্যবহার করা হয়।

#### Pipeline প্রসেস:

প্রথমতি শেষ হওয়ার আগে একটি পাইপলাইন পরবর্তী নির্দেশের কার্য সম্পাদন শুরু করে - তাবে নির্দেশগুলি এখনও ধারাবাহিকভাবে এবং তামে কার্যকর করা হয়। [A pipeline starts the execution of the next instruction before the first has completed - but instructions are executed still in series and in order.]

পাইপলাইনিং একটি implementation technique যেখানে execution এ একাধিক নির্দেশাবলীর ওভারলাইপ করা হয়। কম্পিউটার পাইপলাইনটি প্রয়োজনে বিভক্ত। প্রতিটি পর্যায় এ parallel ভাবে একটি instruction এর একটি অংশ সম্পূর্ণ করে। পাইপ গতনের জন্য stage তালি একের সাথে সংযুক্ত থাকে - instructions এক আঙ্গে প্রবেশ করে, পর্যায়গুলির মধ্য দিয়ে অগ্রসরি হয় এবং অন্য থাকে শেষ হয়।

পাইপলাইনিং এমন একটি টেকনিক যাতে মাল্টিপ্ল ইলেক্ট্রোকশন এক্সিউশনের সময় ওভারলাইপ হয়। পাইপলাইন কয়েকটি ধাপে বিভক্ত। এবং ধাপ সমূহ একে অপরের সাথে সংযুক্ত থাকে। ইলেক্ট্রোকশন সমূহ একে প্রবেশ করে এবং এক্সিউশন শেষে অপর প্রাপ্ত থেকে বের হয়। পাইপলাইন একটি সিস্টেমের প্রোগ্রাম বৃক্ষ করে।



প্রশ্ন-১. Pipeline Processing (পাইপ লাইন প্রসেসিং) সম্পর্কে আলোচনা করুন।

উত্তর: পাইপ লাইন প্রসেসিং: যে প্রসেসিং প্রক্রিয়ায় কতগুলো ইলেক্ট্রোকশন Simultaneously (যুগ্মভাবে) অথবা প্রত্যেকটি তার জন্য নির্দিষ্ট সময় সাপেক্ষে প্রসেসিং এর কাজ করে তাকে পাইপ লাইন প্রসেসিং বলে। এই পক্ষতিতে চারটি ধাপে প্রক্রিয়াকরণ কাজ সম্পন্ন হয়।

যেমনঃ

- Fetch Receive Instruction From Main Memory.
- Release the Decode Instruction Code.
- Data Induction (যদি থাকে)।
- Execution Code and implement released instruction induction.

এই পক্ষতিতে যখন একটি Instruction Fetch Induction করা হয় তখন আগের ইলেক্ট্রোকশনটির Code Release করা হয়। একই সময় তারিখে আরেকটি নির্দেশের জন্য ডেটা আনা হয় (যদি থাকে) এবং চতুর্থ তারিখে আরেকটি ইলেক্ট্রোকশন ফেচ Execution হয়। এখানে ইলেক্ট্রোকশন ফেচ আরেকটি ইলেক্ট্রোকশন ডিকোড ইউনিট, ডেটা ফেচ ইউনিট এবং ইলেক্ট্রোকশন ডিকোড ইউনিট একত্রে একই গতিতে কাজ করে। ইলেক্ট্রোকশন এক্সিউশন চলছে। তাই ইলেক্ট্রোকশন পাইপলাইনের মাধ্যমে এই সাথে অনেকগুলো ইলেক্ট্রোকশন প্যারালাল এক্সিউশন সম্ভব।

পাইপলাইন কনক্রিটেস্ট: পাইপলাইন এর স্বাভাবিক কর্মক্ষমতা হ্রাস করতে পারে এমন ৫টি কারণ নিম্নে উল্লেখ করা হল:

৫. ব্রেকিং (Branching): পরবর্তী যে ইলেক্ট্রোকশনটি ফেস এবং ফেস হতে সময় দেখে দেয়। ফলে পূর্বের ইলেক্ট্রোকশনটি এক্সিউট শেষ হওয়া পর্যন্ত অপেক্ষা করতে হয় যা সিস্টেমের কর্মক্ষমতা হ্রাস করে।

পাইপলাইনিং এর সুবিধাঃ

- প্রসেসরের সাইকেল সময় হ্রাস করে।
- সিস্টেমের প্রোগ্রাম বৃক্ষ করে
- সিস্টেমকে নির্ভরযোগ্য করে তোলে।

পাইপলাইনের অস্বীকৃতি:

- এরিথমেটিক পাইপলাইন
- ইলেক্ট্রোকশন পাইপলাইন

পাইপলাইনের প্রকারভেদঃ

পাইপলাইন সাধারণত ২টি শ্রেণীতে বিভক্ত

১। এরিথমেটিক পাইপলাইন

২। ইলেক্ট্রোকশন পাইপলাইন

এরিথমেটিক পাইপলাইন: এরিথমেটিক পাইপলাইন সাধারণত সকল কম্পিউটারে ব্যবহার হয়। এরিথমেটিক পাইপলাইন মূলত ফ্লোটিং পয়েন্ট হ্যালেক্সেনেশনের ক্ষেত্রে ব্যবহার হয়। এরিথমেটিক পাইপলাইন মূলত ফ্লোটিং পয়েন্ট এবং ফিক্সড পয়েন্ট মাল্টিপিকেশনের ক্ষেত্রে ব্যবহার হয়।

ব্লক উদ্বাহনটি লক্ষ্য করা যাব।

$$X = A * 2^a$$

$$Y = B * 2^b$$

এটি একটি ফ্লোটিং পয়েন্ট এডার পাইপলাইন। যেখানে A, B হল ফ্লোট পয়েন্ট নামারের সিগনালিফিকেট ডিজিট এবং a, b হল প্লানেশনাল নামার। ফ্লোটিং পয়েন্ট এর যোগ-বিয়োগ ৪ টি অংশে করা হয়।

ইলেক্ট্রোকশন পাইপলাইন: ইলেক্ট্রোকশন পাইপলাইন কম্পিউটারের সিস্টেমের তৃতীয় এবং প্রাপ্ত প্রয়োজনে সময় দেখে দেয়। ইলেক্ট্রোকশন পাইপলাইনে একই সাথে কেবল ইলেক্ট্রোকশন মেমোরি থেকে রিড করে অন্য দিকের পূর্বের ইলেক্ট্রোকশনে এক্সিউশন চলছে। তাই ইলেক্ট্রোকশন পাইপলাইনের মাধ্যমে এই সাথে অনেকগুলো ইলেক্ট্রোকশন প্যারালাল এক্সিউশন সম্ভব।

পাইপলাইন কনক্রিটেস্ট: পাইপলাইন এর স্বাভাবিক কর্মক্ষমতা হ্রাস করতে পারে এমন ৫টি কারণ নিম্নে উল্লেখ করা হল:

১. সময় পরিবর্তন (Time Change): ইলেক্ট্রোকশন পাইপলাইন এ সময় স্টেজে সম-পরিমাণে সময় দেওয়া সম্ভব না। যখন তিনি তিনি হারেরের ভিত্তি সময় প্রয়োজন করে তখন এই সমস্যাটি ঘটে থাকে।

২. ডেটা হ্যাজার্ড (Data Hazard): যখন একটি ইলেক্ট্রোকশন বিভিন্ন স্টেজে প্র্যার্সিয়াল এক্সিউট হয় এবং তারা যদি একই ডাটা সোর্সকে আবরণ করে তখন ডেটা হ্যাজার্ড সমস্যা দেখা দেয়।

৩. ডাটা ডিপেনেডেন্সি (Data Dependence): যখন একটি ইলেক্ট্রোকশনের ফলাফল অন্য ইলেক্ট্রোকশনের উপর নির্ভর করে তখন তাকে ডাটা ডিপেনেডেন্সি বলে। ডাটা ডিপেনেডেন্সি একটি কর্মক্ষমতা হ্রাস করে।

৪. ইন্টারেক্সট (Interrupt): ইন্টারাক্টটের মাধ্যমে অবাধিত ইলেক্ট্রোকশনকে কে এক্সিউশনের জন্য ফিলে সেট যা সিস্টেমের প্রয়োজনে হ্রাস করে।

Structural hazards are reduced with these rules:

- Each instruction uses a resource at most once
- Always use the resource in the same pipeline stage
- Use the resource for one cycle only

**Data hazards**

Data hazards occur when data is used before it is ready

**• Read After Write (RAW) (MIPS)**

I: add r1, r2, r3

J: sub r4, r1, r3

J tries to read operand before I writes it.

**• Write After Read (WAR) (not in MIPS)**

I: sub r4, r1, r3

J: add r1, r2, r3

K: mul r6, r1, r7

J tries to write operand before I reads r1

**• Write After Write (WAW) (not in MIPS)**

I: sub r1, r4, r3

J: add r1, r2, r3

K: mul r6, r1, r7

J tries to write operand before I writes it

Leaves wrong result (I not J)

**Solution to RAW in MIPS**

- Stall

- Forwarding

**» Detection & Control**

- EX hazard

- MEM hazard

- » A stall is needed if read a register after a load instruction that writes the same register.

- Reordering

**Control Hazard:**

Control hazard তখনই হয় যখন এক ক্লক সাইকেলে ত্রুটি ইলেক্ট্রনিক সেলেড হয় এবং পরের সাইকেলে অন্য কোন নতুন ইলেক্ট্রনিক সেলেড হয়, আবাদের কোনও ত্রুটির গভৰণ সম্ভাবন করা প্রয়োজন এবং যতক্ষণ না আমরা তার পক্ষ্যে না জানি ততক্ষণ কোনও নতুন instruction fetch করা যাবে না।

**Control Hazard Solutions****• Stall - stop fetching instr. until result is available**

- Significant performance penalty
- Hardware required to stall

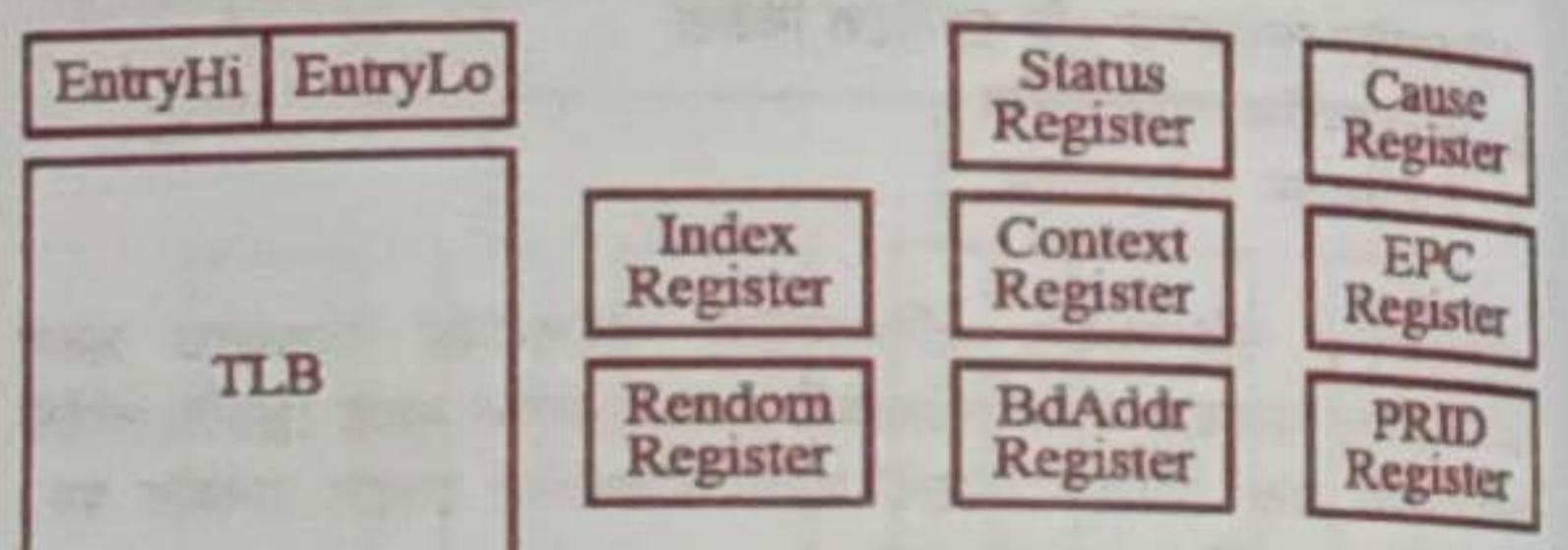
**• Predict - assume an outcome and continue fetching (undo if prediction is wrong)**

- Performance penalty only when guess wrong
- Hardware required to "squash" instructions

**Delayed branch - specify in architecture that following instruction is always executed**

- Compiler re-orders instructions into delay slot
- Insert "NOP" (no-op) operations when can't use (~50%)
- This is how original MIPS worked

এক্সেপশন সিস্টেম অর্গানাইজেশন বাস: কিছু কিছু শর্টের কারণে প্রসেসরের মধ্যে এক্সেপশনের পরিবর্তন ঘটে। যেমন সেগেমেন্টেশন ফল, বাস এর, ডিভাইড বাই ০ ও ১ এর, ওভার-ফ্লো এবং ফেইজ ফল, এঙ্গো সাধারণ এক্সেপশন সিস্টেম অর্গানাইজেশন বাস সিস্টেম বাস বলে। MIPS এর CP0 নামে একটি স্পেশাল কো-প্রসেসর রয়েছে যা সকল ধরনের এক্সেপশন হ্যান্ডলিং করে থাকে।

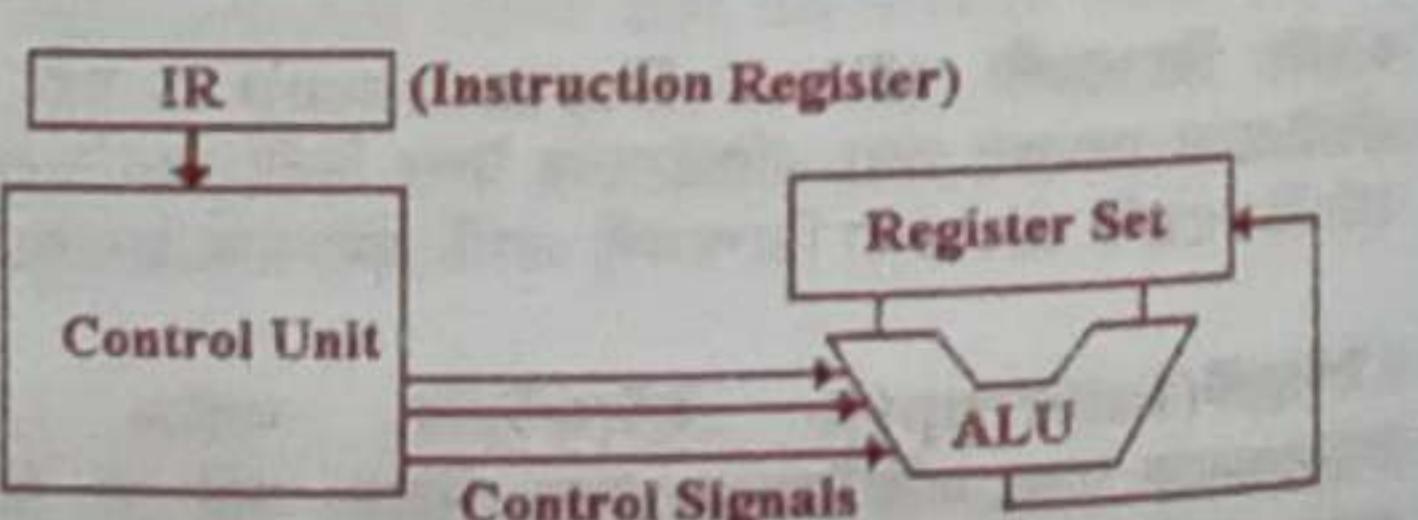


চিত্র: MIPS কো-প্রসেস

- EPC (Exception Program Counter): a 32-bit register used to hold the address of the affected instruction register 14 of coprocessor 0.
- Cause: a register used to record the cause of the exception. In the MIPS architecture this register is 32 bits, though some bits are currently unused.
- BadVAddr: register contains memory address at which memory reference occurred when memory access exception occurs register 8 of coprocessor 0.
- Status: interrupt mask and enable bits register 12 of coprocessor 0.
- PRId: অনেসর রিভিশন আইডেন্টিফিয়ার রেজিস্টার।

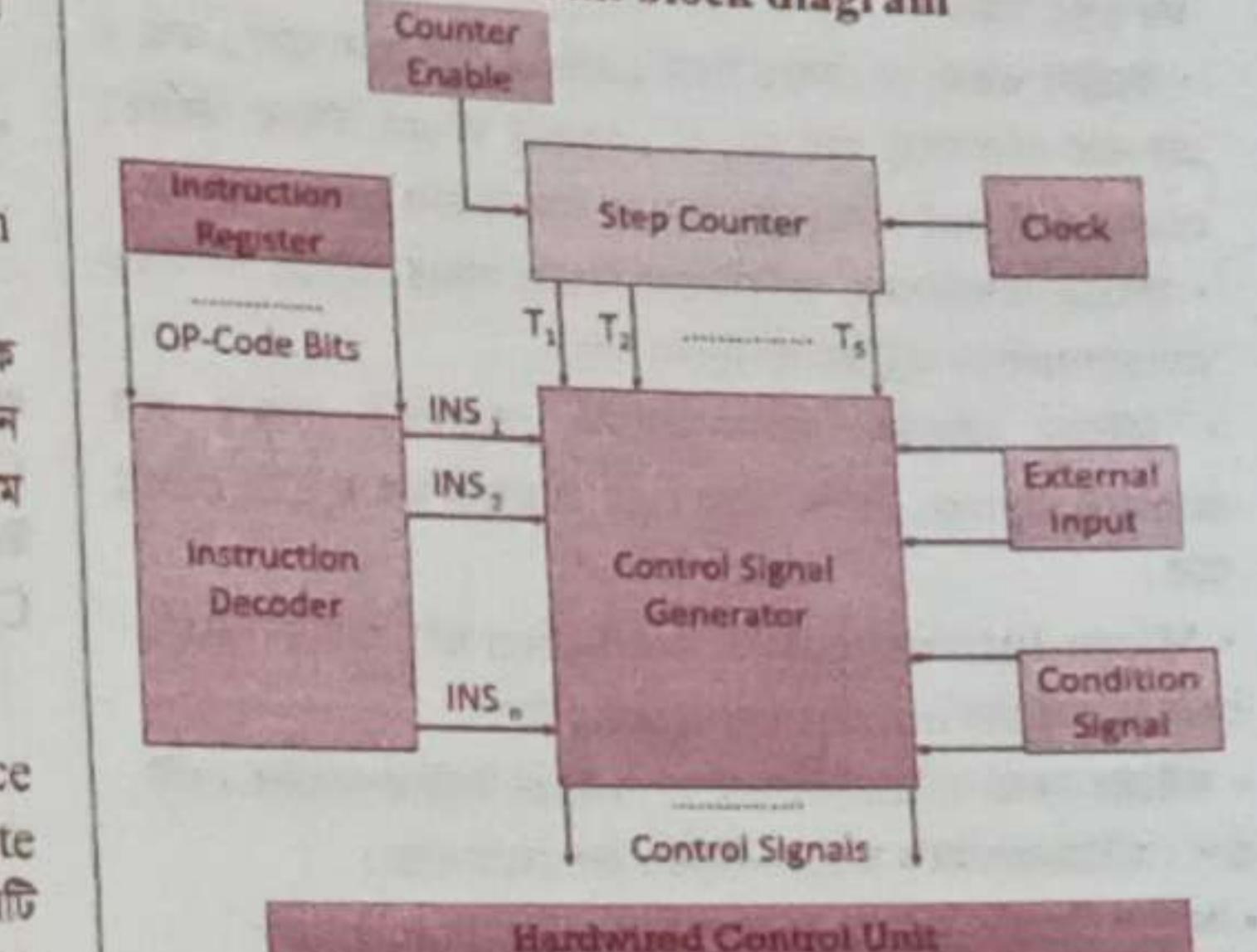
**Control Unit**

CPU আরিয়েটিক লজিক ইউনিট (এলাইট) এবং কন্ট্রোল ইউনিট (সিইউ) এ বিভক্ত হয়। কন্ট্রোল ইউনিটের কাজ হল কম্পিউটারে সম্পর্ক ক্রিয়াকলাপে relevant timing এবং control signals তৈরি করা। এটি প্রসেসর এবং মেমরি এবং পেরিফেরিলের মধ্যে ডেটা flow নিয়ন্ত্রণ করে।



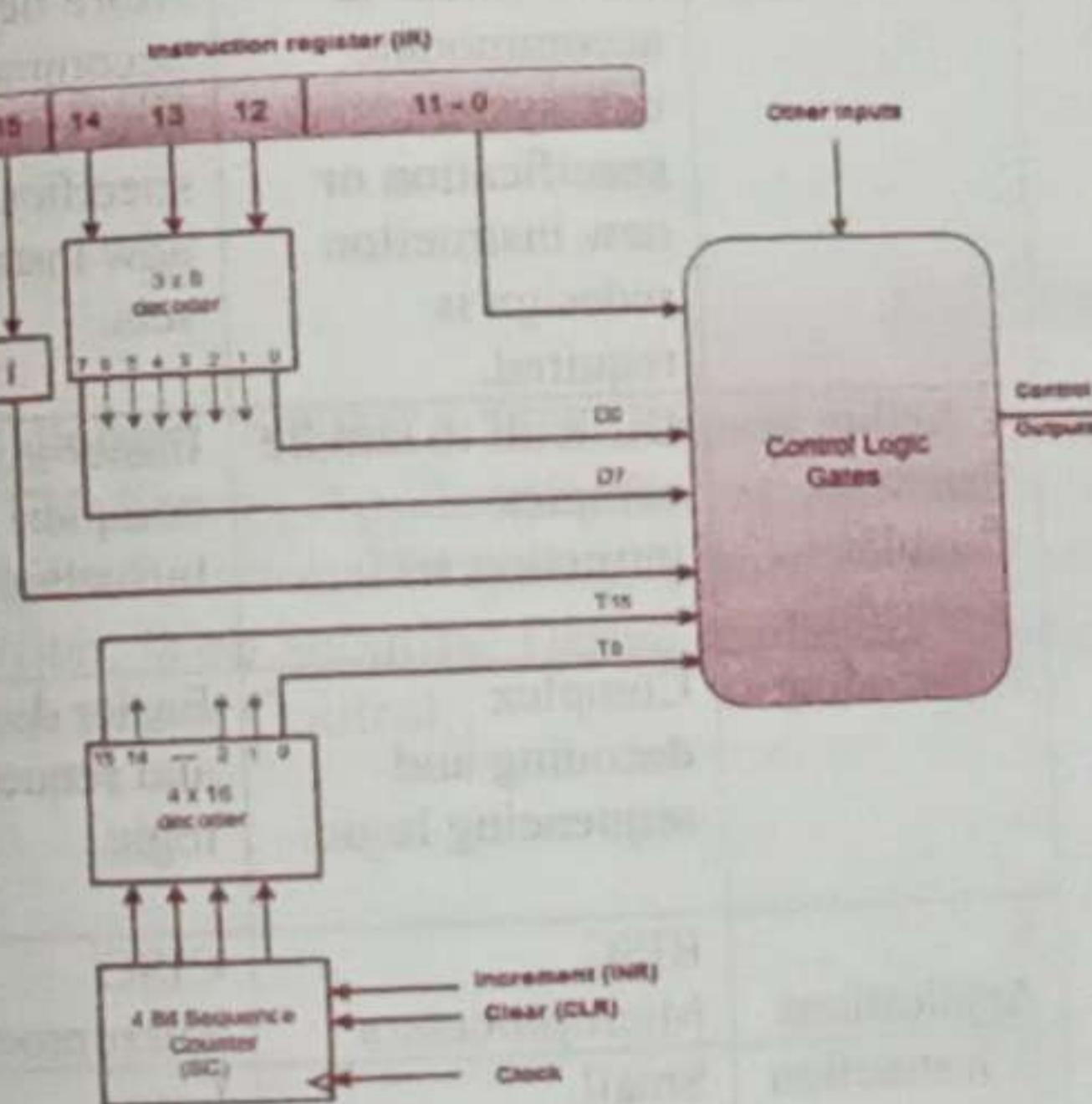
Control unit বাসবায়নের জন্য দুটি পদ্ধতি রয়েছে:

1. Hardwired: Control signalগুলি মৌলিক লজিক গেটগুলি একটি সেটের আউটপুট হিসাবে generate হয়, যার মধ্যে Instruction রেজিস্টারের বাইনারি বিট থেকে ইনপুট প্রাপ্ত হয়।
2. Microprogrammed: কন্ট্রোল সিগনালগুলি মাইক্রোপ্রোগ্রাম দ্বারা generate হয় যা কন্ট্রোল ROM সরিত থাকে।

**Hardwired Control Unit block diagram****Hardwired Control Unit**

হার্ডওয়ার কন্ট্রোল ইউনিট instruction একটি proper sequence এর সময়ে execute করতে control signals generate করে। হার্ডওয়ার কন্ট্রোল ইউনিটটি হার্ডওয়ার দিয়ে তৈরি হয়; এটি একটি circuitry approach। এটি RISC style instruction set জন্য design করা হয়েছে।

Control Unit of a Basic Computer:



নির্দেশাবলী সমূহিত control unit এর control memory তে সংরক্ষণ করা হয়। কার্য সম্পাদনে কন্ট্রোল সিগন্যাল ডেবী করা মাইক্রোইনস্ট্রাকচনের দায়িত্ব।

#### তত্ত্বপূর্ণ বিষয়:

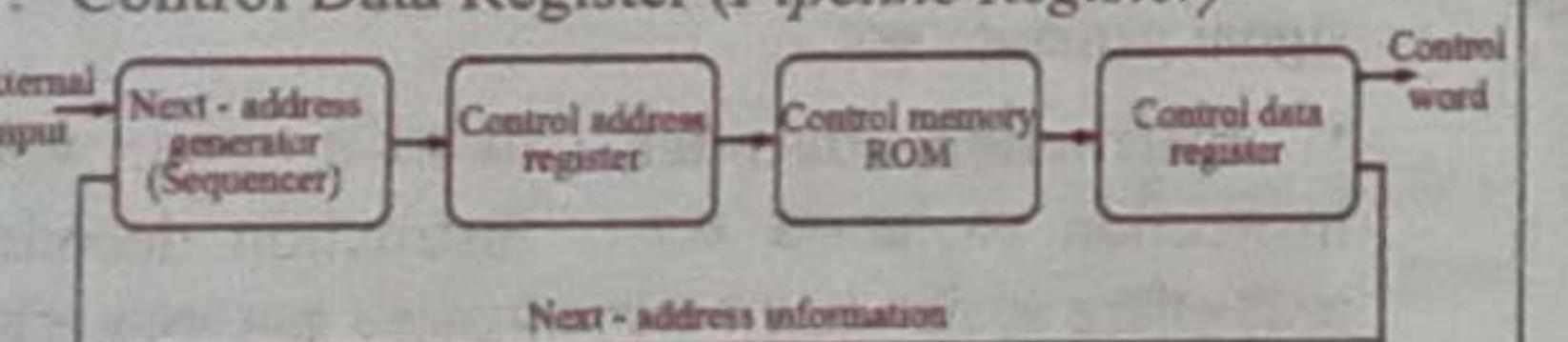
- কন্ট্রোল ওয়ার্ড: যে কোনও সময়ে control ডেভিল উলি ১ এবং ০ এর ঘরা প্রতিনিধিত্ব করা হয়, যা control Word হিসাবে পরিচিত। control Word তলো বিভিন্ন কার্য সম্পাদনের জন্য প্রয়োগ করা যায়।
- মাইক্রো-অপারেশনস: রেজিস্টারের ভিতরে সঞ্চিত ডেটাতে সম্পাদিত অপারেশনগুলিকে মাইক্রো-অপারেশন বলে।
- মাইক্রো প্রয়োগস: মাইক্রোপ্রয়োগ প্রয়োগগুলি ব্যবহার করে control signals তৈরির ধরণ। এই প্রয়োগগুলিকে মাইক্রো প্রয়োগ বলে।
- Micro-Instructions:** যে instruction তলো মাইক্রো প্রয়োগ তৈরী করে তাদের micro-instructions বলে।
- মাইক্রো-কোড: মাইক্রো-প্রয়োগ হল মাইক্রো ইনস্ট্রুকশনগুলির একটি হ্রাস। মাইক্রোপ্রয়োগকে মাইক্রো-কোডও বলা যেতে পারে।
- কন্ট্রোল মেমোরি: মাইক্রো প্রয়োগগুলি read only memory (ROM) সংরক্ষণ করা হয়। সেই মেমোরিকে কন্ট্রোল মেমোরি বলে।

#### পথ ১৫: Micro-Programmed control Organization

সম্পর্কে লিখো

উত্তর:

- Control Memory
- Control Address Register
- Sequencer (Next Address Generator)
- Control Data Register (Pipeline Register)



#### Types of memory in MPC

- Main Memory
- Control Memory

#### Sequencer and Pipeline Register

**Sequencer:** Next address জেনারেটরটিকে Sequencer বলা হয়, কারণ এটি control memory থেকে read করে address sequence নির্ধারণ করে।

**Functions:**

- Incrementing the control register
- Loading an address from control memory to CAR.
- Loading an initial address

**Pipeline Register:** যখন next address Count করা হয় এবং সেমারি থেকে ডেটা read করা হয় তখন control data register

বর্তমান মাইক্রোইনস্ট্রাকচন ধারণ করে। এই ডেটা রেজিস্টারকে পাইকলাইন রেজিস্টার বলা হয়।  
মাইক্রোইনস্ট্রাকচনের প্রকারভেদ:

- Vertical Micro-Programming :** এতিটি micro-instruction performed হয়ে single (বা কয়েকটি) মাইক্রো-অপারেশন নির্দিষ্ট করে।
- Horizontal Micro-Programming :** প্রতিটি Micro-Programming parallel ভাবে সম্পাদিত হয়ের জন্য তিনি তিনি micro-operations নির্দিষ্ট করে।

#### পথ ২৫: Hardwired Control vs Microprogrammed Control এর মধ্যে পার্শ্বক্য লিখো

**উত্তর: Hardwired Control vs Microprogrammed Control এর মধ্যে পার্শ্বক্য নিম্নে দেওয়া হলো:**

Attributes	Hardwired Control Unit	Microprogrammed Control Unit
1. Speed	Speed is fast	Speed is slow
2. Cost of Implementation	More costlier.	Cheaper.
3. Flexibility	Not flexible to accommodate new system specification or new instruction redesign is required.	More flexible to accommodate new system specification or new instruction sets.
4. Ability to Handle Complex Instructions	Difficult to handle complex instruction sets.	Easier to handle complex instruction sets.
5. Decoding	Complex decoding and sequencing logic.	Easier decoding and sequencing logic.
6. Applications	RISC Microprocessor	CISC Microprocessor
7. Instruction set of Size	Small	Large
8. Control Memory	Absent	Present
9. Chip Area Required	Less	More
10. Occurrence	Occurrence of error is more	Occurrence of error is less

#### Web Development

**[Syllabus: NTRCA ICT:** Introduction to Html, Java Script & CSS, Server Side Programming: HTTP Server, Application Server, MVC Web Framework, Web Services, Database Access: Object Relational Mapping, Lambda Expression, Language Integrated Query, Data Reader, Writer, Web Security: Denial of Service, Buffer Overflow, Cross Site Scripting, Authentication and Access Control.]