

디지털시스템설계 Lab 6

손량(20220323)

Last compiled on: Saturday 27th May, 2023, 07:20

1 개요

수업 시간에 배운 counter를 베릴로그 코드로 구현하고 시뮬레이션을 수행해 본다.

2 이론적 배경

2.1 D Flip-Flop

D flip-flop은 클럭 신호에 따라 D 입력에 맞추어 Q 가 반영되는 회로이다. Excitation table은 다음과 같이 그릴 수 있다.

D	Q	Q^+
0	0	0
0	1	0
1	0	1
1	1	1

2.2 Counter

Counter는 clock에 따라 미리 정의된 규칙에 따라 데이터를 저장하고 출력한다.

2.2.1 Synchronous Counter

모든 flip-flop에 클럭 신호가 동시에 입력되는 회로를 synchronous counter라고 부른다. Flip-flop에 의한 clock delay가 없기 때문에 속도가 빠르지만, 회로가 더 복잡하다는 단점이 존재한다.

2.2.2 Decade Counter

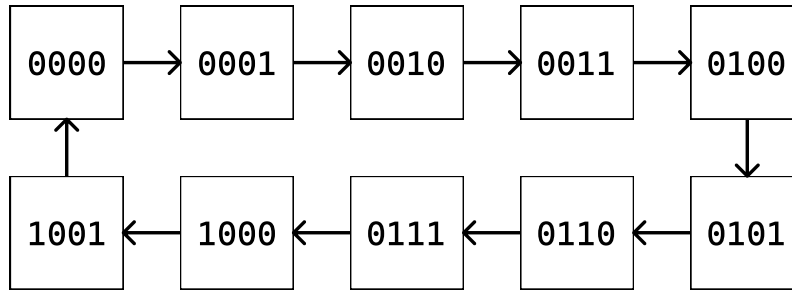
Decade counter는 10진수의 숫자 0, 1, 2, 3, 4, 5, 6, 7, 8, 9를 순차적으로 세는 회로이다.

3 실험 준비

3.1 Synchronous Decade BCD Counter

3.1.1 State Diagram

State diagram은 다음과 같이 그릴 수 있다.



3.1.2 State Transition Table

State transition diagram과 JK flip-flop의 입력은 다음과 같다.

Q_3	Q_2	Q_1	Q_0	Q_3^+	Q_2^+	Q_1^+	Q_0^+	J_3	K_3	J_2	K_2	J_1	K_1	J_0	K_0
0	0	0	0	0	0	0	1	0	X	0	X	0	X	1	X
0	0	0	1	0	0	1	0	0	X	0	X	1	X	X	1
0	0	1	0	0	0	1	1	0	X	0	X	X	0	1	X
0	0	1	1	0	1	0	0	0	X	1	X	X	1	X	1
0	1	0	0	0	1	0	1	0	X	X	0	0	X	1	X
0	1	0	1	0	1	1	0	0	X	X	0	1	X	X	1
0	1	1	0	0	1	1	1	0	X	X	0	X	0	1	X
0	1	1	1	1	0	0	0	1	X	X	1	X	1	X	1
1	0	0	0	1	0	0	1	X	0	0	X	0	X	1	X
1	0	0	1	0	0	0	0	X	1	0	X	0	X	X	1
1	0	1	0	-	-	-	-	X	X	X	X	X	X	X	X
1	0	1	1	-	-	-	-	X	X	X	X	X	X	X	X
1	1	0	0	-	-	-	-	X	X	X	X	X	X	X	X
1	1	0	1	-	-	-	-	X	X	X	X	X	X	X	X
1	1	1	0	-	-	-	-	X	X	X	X	X	X	X	X
1	1	1	1	-	-	-	-	X	X	X	X	X	X	X	X

J , K 입력의 K-map을 그리면

J_3 	K_3 	J_2 	K_2
J_1 	K_1 	J_0 	K_0

단순화하면

$$J_0 = 1 \quad K_0 = 1$$

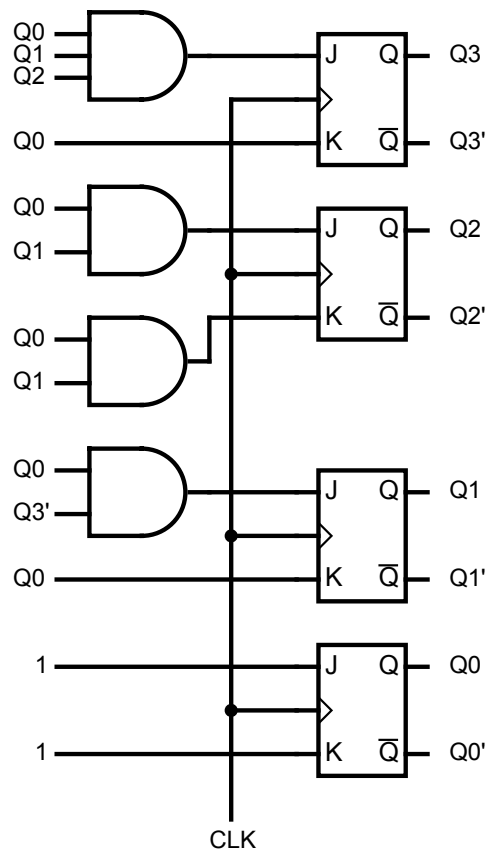
$$J_1 = Q_0 Q_3' \quad K_1 = Q_0$$

$$J_2 = Q_0 Q_1 \quad K_2 = Q_0 Q_1$$

$$J_3 = Q_0 Q_1 Q_2 \quad K_3 = Q_0$$

3.1.3 Circuit Diagram

회로도 는 다음과 같다.



3.2 Synchronous Decade BCD Counter (두 자릿수)

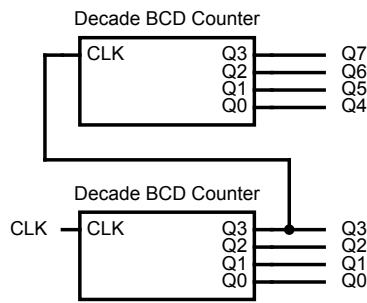
3.2.1 State Diagram

State transition diagram 은 다음과 같다.

Q_7	Q_6	Q_5	Q_4	Q_3	Q_2	Q_1	Q_0	Q_7^+	Q_6^+	Q_5^+	Q_4^+	Q_3^+	Q_2^+	Q_1^+	Q_0^+
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
0	0	0	0	0	0	0	1	0	0	0	0	0	0	1	0
0	0	0	0	0	0	1	0	0	0	0	0	0	0	1	1
0	0	0	0	0	0	1	1	0	0	0	0	0	1	0	0
0	0	0	0	0	1	0	0	0	0	0	0	0	1	0	1
0	0	0	0	0	1	0	1	0	0	0	0	0	1	1	0
0	0	0	0	0	1	1	0	0	0	0	0	0	1	1	1
0	0	0	0	0	1	1	1	0	0	0	0	1	0	0	0
0	0	0	0	1	0	0	0	0	0	0	0	1	0	0	1
0	0	0	0	1	0	0	1	0	0	0	1	0	0	0	0
0	0	0	0	1	0	1	0	-	-	-	-	-	-	-	-
0	0	0	0	1	0	1	1	-	-	-	-	-	-	-	-
0	0	0	0	1	1	0	0	-	-	-	-	-	-	-	-
0	0	0	0	1	1	0	1	-	-	-	-	-	-	-	-
0	0	0	0	1	1	1	0	-	-	-	-	-	-	-	-
0	0	0	0	1	1	1	1	-	-	-	-	-	-	-	-
0	0	0	1	0	0	0	0	0	0	0	1	0	0	0	1
\vdots	\vdots	\vdots	\vdots	\vdots	\vdots	\vdots	\vdots	\vdots	\vdots	\vdots	\vdots	\vdots	\vdots	\vdots	\vdots
0	0	0	1	1	0	0	0	0	0	0	1	1	0	0	1
0	0	0	1	1	0	0	1	0	0	1	0	0	0	0	0
0	0	0	1	1	0	1	0	-	-	-	-	-	-	-	-
0	0	0	1	1	0	1	1	-	-	-	-	-	-	-	-
0	0	0	1	1	1	0	0	-	-	-	-	-	-	-	-
0	0	0	1	1	1	0	1	-	-	-	-	-	-	-	-
0	0	0	1	1	1	1	0	-	-	-	-	-	-	-	-
0	0	0	1	1	1	1	1	-	-	-	-	-	-	-	-
\vdots	\vdots	\vdots	\vdots	\vdots	\vdots	\vdots	\vdots	\vdots	\vdots	\vdots	\vdots	\vdots	\vdots	\vdots	\vdots
1	0	0	1	0	0	0	0	1	0	0	1	0	0	0	1
\vdots	\vdots	\vdots	\vdots	\vdots	\vdots	\vdots	\vdots	\vdots	\vdots	\vdots	\vdots	\vdots	\vdots	\vdots	\vdots
1	0	0	1	1	0	0	0	1	0	0	1	1	0	0	1
1	0	0	1	1	0	0	1	0	0	0	0	0	0	0	0
1	0	0	1	1	0	1	0	-	-	-	-	-	-	-	-
1	0	0	1	1	0	1	1	-	-	-	-	-	-	-	-
1	0	0	1	1	1	0	0	-	-	-	-	-	-	-	-
1	0	0	1	1	1	0	1	-	-	-	-	-	-	-	-
1	0	0	1	1	1	1	0	-	-	-	-	-	-	-	-
1	0	0	1	1	1	1	1	-	-	-	-	-	-	-	-

3.2.2 Circuit Diagram

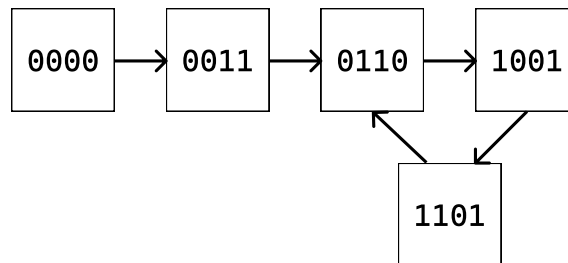
회로도 는 다음과 같다.



3.3 369 계수기

3.3.1 State Diagram

State diagram은 다음과 같이 그릴 수 있다.



3.3.2 State Transition Table

State transition diagram은 다음과 같다.

Q_3	Q_2	Q_1	Q_0	Q_3^+	Q_2^+	Q_1^+	Q_0^+	D_3	D_2	D_1	D_0
0	0	0	0	0	0	1	1	0	0	1	1
0	0	0	1	-	-	-	-	X	X	X	X
0	0	1	0	-	-	-	-	X	X	X	X
0	0	1	1	0	1	1	0	0	1	1	0
0	1	0	0	-	-	-	-	X	X	X	X
0	1	0	1	-	-	-	-	X	X	X	X
0	1	1	0	1	0	0	1	1	0	0	1
0	1	1	1	-	-	-	-	X	X	X	X
1	0	0	0	-	-	-	-	X	X	X	X
1	0	0	1	1	1	0	1	1	1	0	1
1	0	1	0	-	-	-	-	X	X	X	X
1	0	1	1	-	-	-	-	X	X	X	X
1	1	0	0	-	-	-	-	X	X	X	X
1	1	0	1	0	1	1	0	0	1	1	0
1	1	1	0	-	-	-	-	X	X	X	X
1	1	1	1	-	-	-	-	X	X	X	X

D 입력의 K-map을 그리면

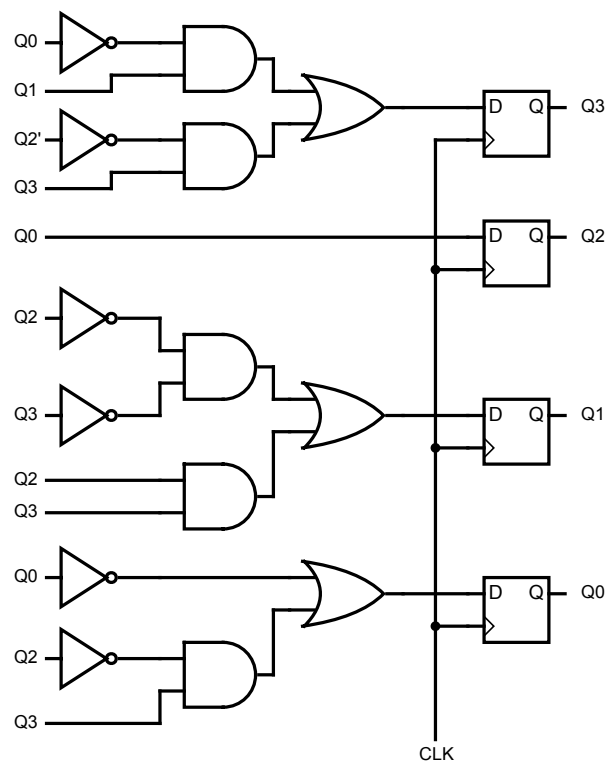
D_3					D_2					D_1					D_0				
Q_3Q_2 Q_3Q_1	00	01	11	10	Q_3Q_2 Q_3Q_1	00	01	11	10	Q_3Q_2 Q_3Q_1	00	01	11	10	Q_3Q_2 Q_3Q_1	00	01	11	10
00	0	X	X	X	00	0	X	X	X	00	1	X	X	X	00	1	X	X	X
01	X	X	X	1	01	X	X	X	0	01	X	X	X	0	01	X	X	X	1
11	0	X	X	X	11	1	X	X	X	11	1	X	X	X	11	0	X	X	X
10	X	1	0	X	10	X	1	1	X	10	X	0	1	X	10	X	1	0	X

단순화하면

$$\begin{aligned}
 D_0 &= Q'_0 + Q'_2Q_3 \\
 D_1 &= Q'_2Q'_3 + Q_2Q_3 \\
 D_2 &= Q_0 \\
 D_3 &= Q'_0Q_1 + Q'_2Q_3
 \end{aligned}$$

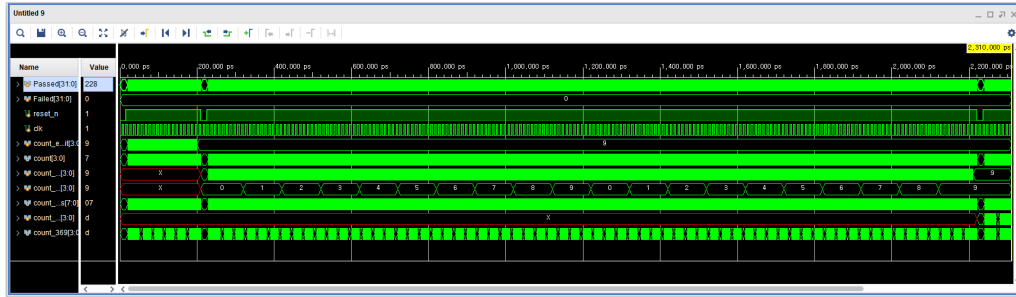
3.3.3 Circuit Diagram

회로도 는 다음과 같다.



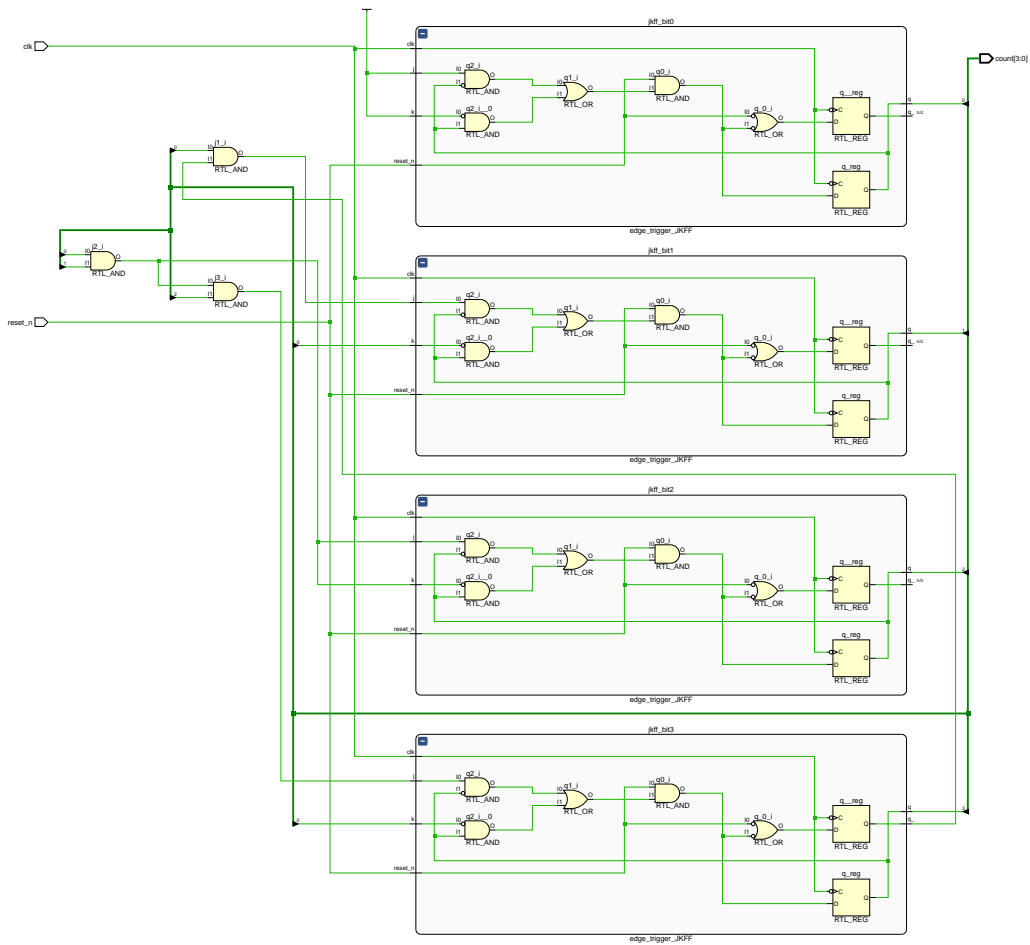
4 실험 결과

우선 lab6_tb.v에서 생성된 전체 파형은 다음과 같다.

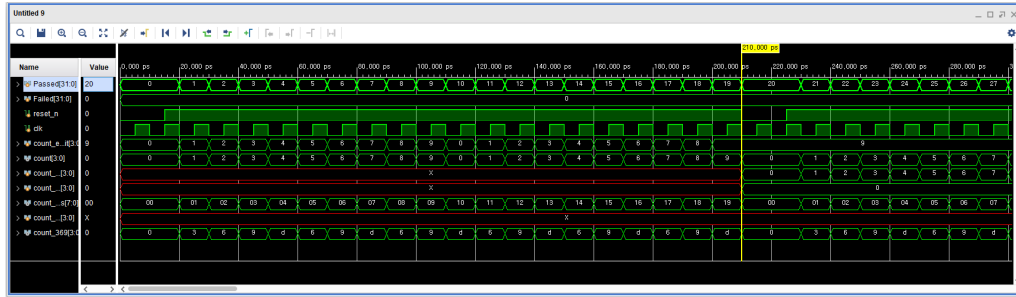


4.1 lab6_1.v – Synchronous Decade BCD Counter

Vivado에서 생성된 회로는 다음과 같다.



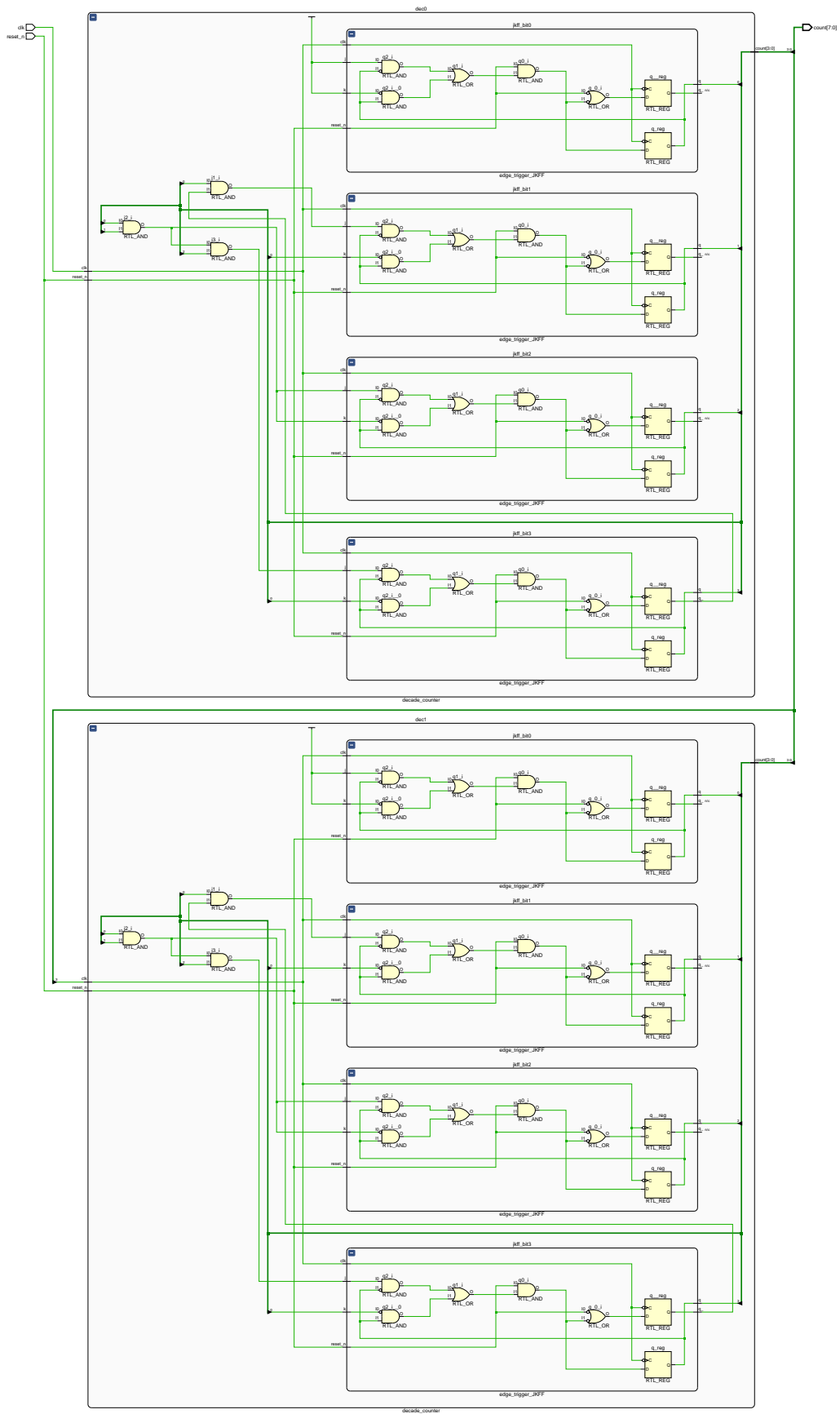
테스트벤치 실행 결과 중 lab6_1.v와 관계있는 부분은 다음과 같다.



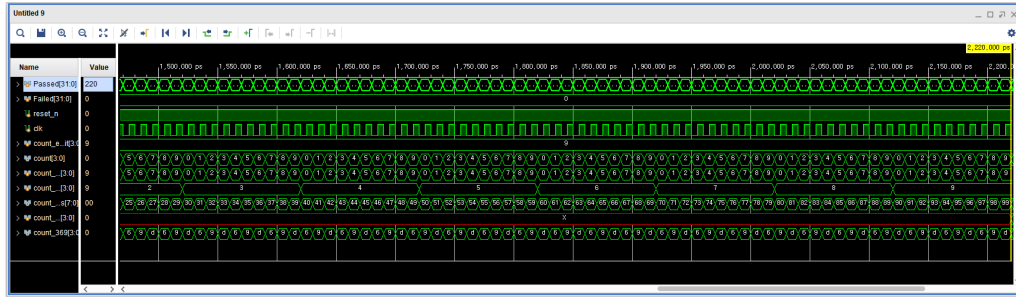
0부터 시작해서 9에 도달한 다음 다시 0으로 돌아가는 정상 작동을 함을 알 수 있다.

4.2 lab6_2.v – Synchronous Decade BCD Counter (두 자릿수)

Vivado에서 생성된 회로는 다음과 같다.



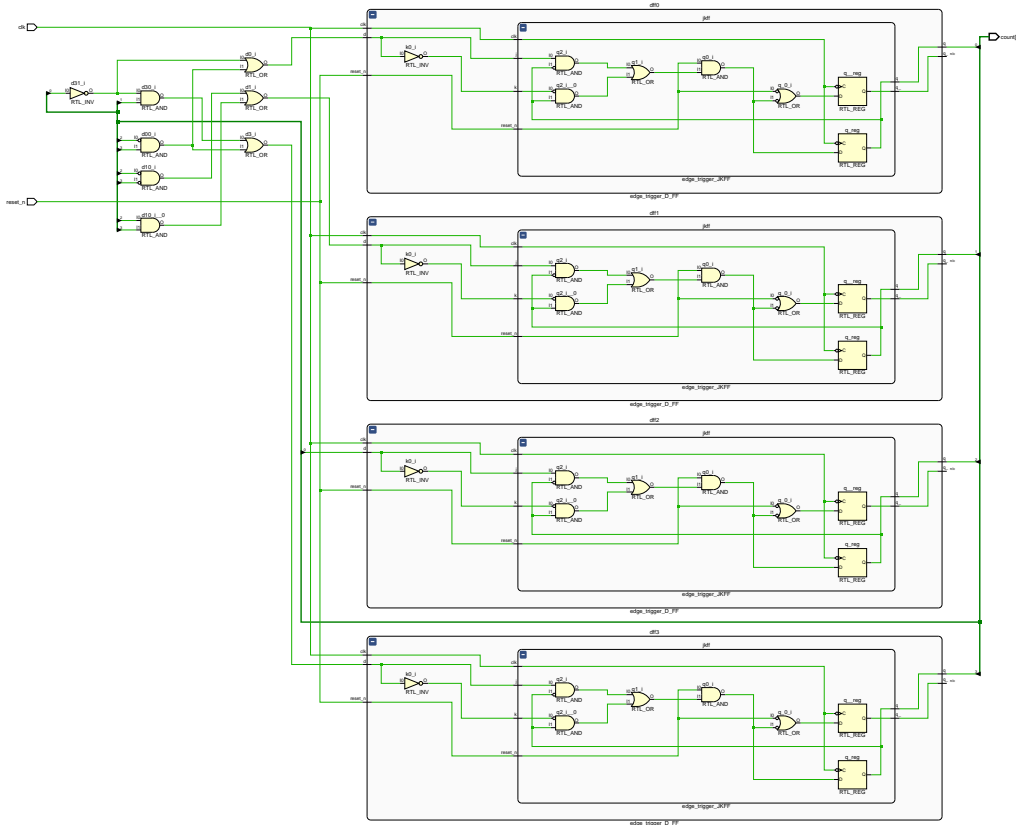
테스트벤치 실행 결과 중 lab6_2.v와 관계있는 부분은 다음과 같다.



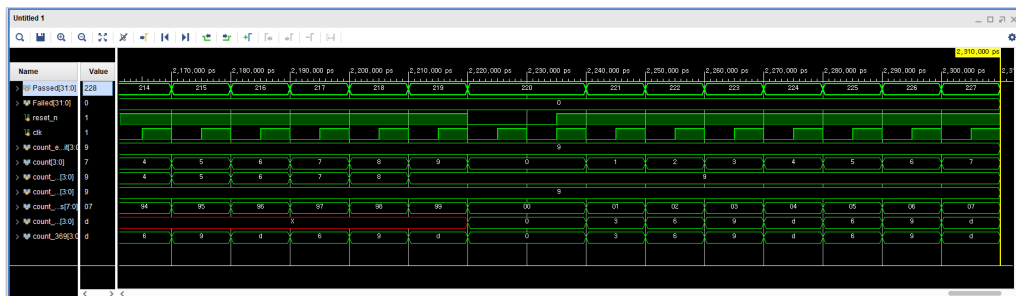
0부터 시작해서 99에 도달한 다음 다시 0으로 돌아가는 정상 작동을 함을 알 수 있다.

4.3 lab6_3.v – 369 계수기

Vivado에서 생성된 회로는 다음과 같다.



테스트벤치 실행 결과 중 lab6_3.v와 관계있는 부분은 다음과 같다.



0, 3, 6, 9, 13, 6, 9, ...순서로 출력이 나오는 것을 확인할 수 있다.

5 논의

수업 시간에 학습한 counter를 직접 구현하고 작동을 확인할 수 있는 시간이었다. BCD counter의 경우 수업 시간에는 ripple counter와 비슷한 구조를 보여주었는데, 지금까지 배운 내용으로 synchronous counter를 만든 것이 특히 의미 있었다고 생각한다.