

FU68XX 系列硬件设计规范

V1.0.01

峰昭科技(深圳)股份有限公司

目录

目录.....	2
1 PCB 布局走线注意事项.....	3
1.1 布局.....	3
1.2 驱动优先.....	3
1.3 采样次优先.....	3
1.4 其他信号优先级最低.....	3
1.5 其他注意事项.....	4
1.6 布线实例解析及参考.....	4
1.6.1 电流采样布局布线参考及注意事项.....	4
1.6.2 VDD5 及其滤波电路注意事项.....	6
1.6.3 反电动势布线注意事项.....	6
1.6.4 FU6818/61 的 GND 走线注意事项.....	7
1.6.5 FU6862 的 GND 走线注意事项.....	7
1.6.6 自举电路布局注意事项.....	8
1.6.7 CBB 电容放置注意事项.....	8
1.6.8 BUCK 电路布线注意事项.....	9
1.6.9 反激式开关电源注意事项.....	9
1.6.10 地线相关注意事项.....	10
2 MCU 选型.....	12
3 采样电阻和运算放大倍数选择.....	13
4 电流基准计算.....	14
5 最大采样电压.....	14
6 比较器硬件过流.....	15
7 常见问题及解决办法汇总.....	16
7.1 硬件过流.....	16
7.2 MOS 管开关震荡.....	16
7.3 MCU 的 VDD5 与 GND 之间击穿.....	17
8 修改记录.....	18
9 版权说明.....	19

1 PCB 布局走线注意事项

1.1 布局

布局的前提是要客户确认好结构，主要的器件位置，散热器方式、位置、方向，HALL 位置，电机出线位置，封装大小、尺寸等。

整体布局时，发热器件周围要预留足够的空间，方便散热，器件周围不能有过孔，过孔要远离发热器件，如 MOS、采样电阻、LDO 等，尤其是采样电阻，采样信号线尽量不要有过孔，如果非要加过孔，建议从先本层引出，远离电阻后再通过过孔引出。

布局关系到整体电路回路，回路越顺，干扰就越小，通常采用双回路原则。强电回路，整个大电流功率回路最短，同时要求包围面积最小；电路靠近 PCB 板的一边放置，整个电路占整板的一个边，或者相连的两个边，尽量做到不对其他电路干扰。弱电回路，即控制回路，从强电回路中分出来，电源和地一起并排走，用最短的回路降压，同时将地与强电并联，弱电尽量从强电的大电容处分出，受电端为弱电控制信号，要远离强电端，PCB 中通常放置的板的另一边，一般占据 PCB 板的一个角。如果使用多绕组可隔离的变压器，建议强电、弱电分别布局，最后在驱动部分，用 0 欧姆电阻进行短接。

1.2 驱动优先

良好的驱动走线，是稳定的基础，驱动稳定才能保证采样稳定，以及整个系统的运行稳定等，如果驱动有问题，采样再精准，也会失真。此处的驱动是指驱动 IC(HVIC)到功率器件(MOS/IGBT)的驱动信号，通常将驱动 IC 靠近功率器件放置(MOS/IGBT)，驱动 IC 发出的信号通过限流电阻等连接到功率器件，此处的走线要尽量简单、直接，最好不要交叉，且，限流电阻最好是靠近功率器件放置。此处主要是针对 FU6811(12)配合 HVIC 使用的场合。含有内置驱动芯片，如 FU6818(61)和 FU6831，驱动已经固定，就要综合考虑驱动和采样，选择一个折中点。

1.3 采样次优先

驱动良好的情况下，采样信号准确了，才能保证控制良好。在驱动确定的情况下，采样线一定要使用差分，而且走线要越短，越粗才好(此处非高频，一般不做阻抗匹配要求)。在用 IPM 的场合，可以认为驱动都是良好的，所以，关系到控制的只有采样信号，其他信号都是次优先。

1.4 其他信号优先级最低

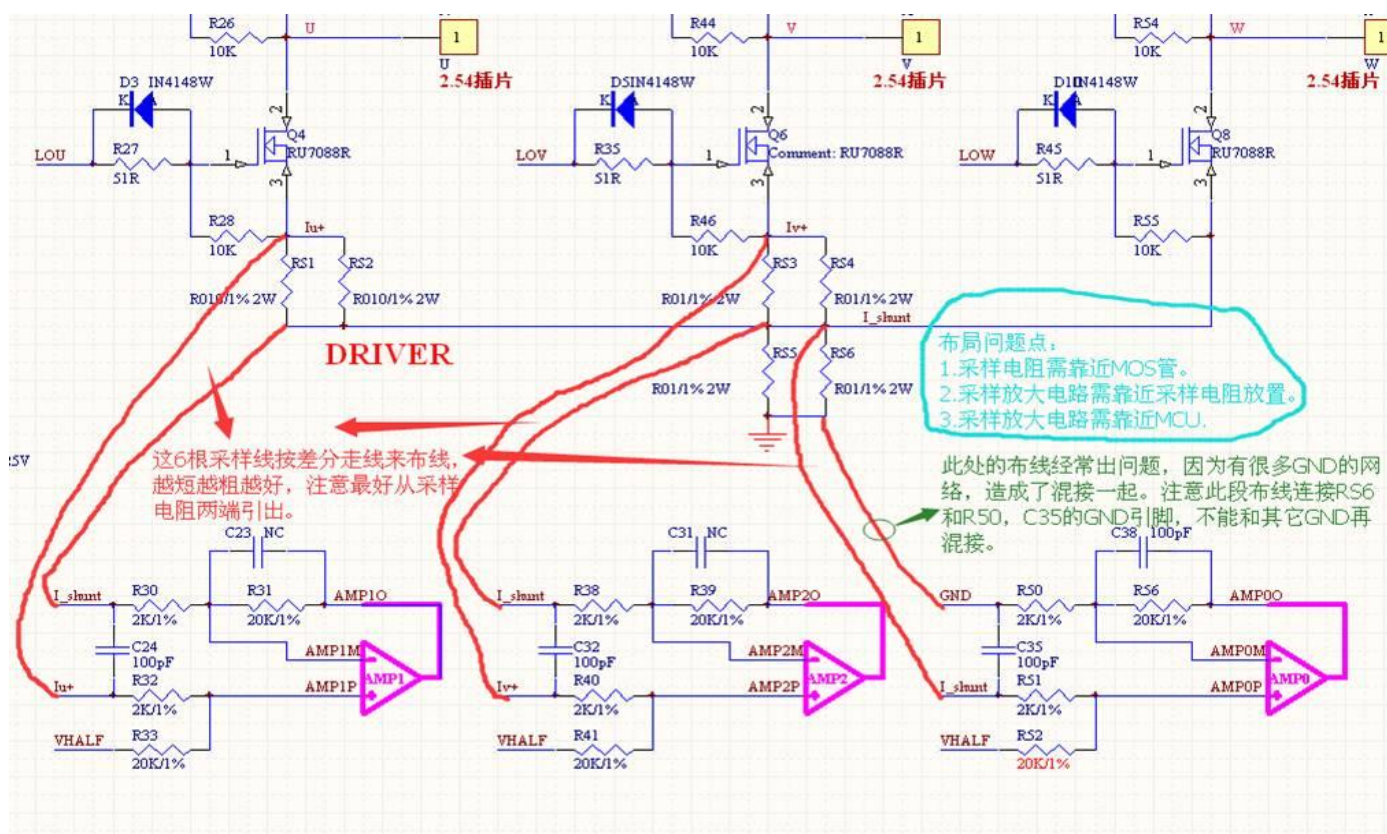
如果有通讯等相关信号，通讯就相对优先，如串口、SPI 等，对实时性要求不高的电平信号则排最后，走通即可，如果带有滤波电容，电容最好是靠近接收端，同时的电容的 GND 一定要与接收端直接相连。

1.5 其他注意事项

1. FU6818(61)的自举电路，要靠近 MCU 放置；
2. MCU 内部运放的配置电容电阻要靠近 MCU 放置；
3. FU6818(61)的 52 脚 GND 不能与内部的焊盘 GND 相连，要单独从降压电源处连接；
4. MCU 周边的配置电容等，一定要靠近 MCU 放置，同时 GND 一定要与 MCU 内部的 GND 直接相连，最好能采用整面的铺铜；
5. 整板的 GND 最好区分强弱，强弱从强电的母线电容处单点连接；
6. 关系到精密信号的采样，尤其的 AD 相关的信号，相关器件的 GND 一定要与 MCU 内部焊盘的 GND 直接相连，如电流采样，电压采样，温度采样等；
7. 反电动采样分压后的 GND 要与 MCU 的 GND 直接相连，如果分压后又加了 RC 滤波，则 RC 滤波的 GND 要与 MCU 的 GND 直接相连，分压的 GND 要与功率 GND 相连；
8. VDD5 信号要走线尽量简单，不能穿过干扰源，如果不能避免，则要在相关使用的位置加更多的去耦电容。
9. 所有连接板外的信号线上都要串联 1K 以上电阻，防止 IO 等被外部 ESD 或 EOS 烧毁!!!

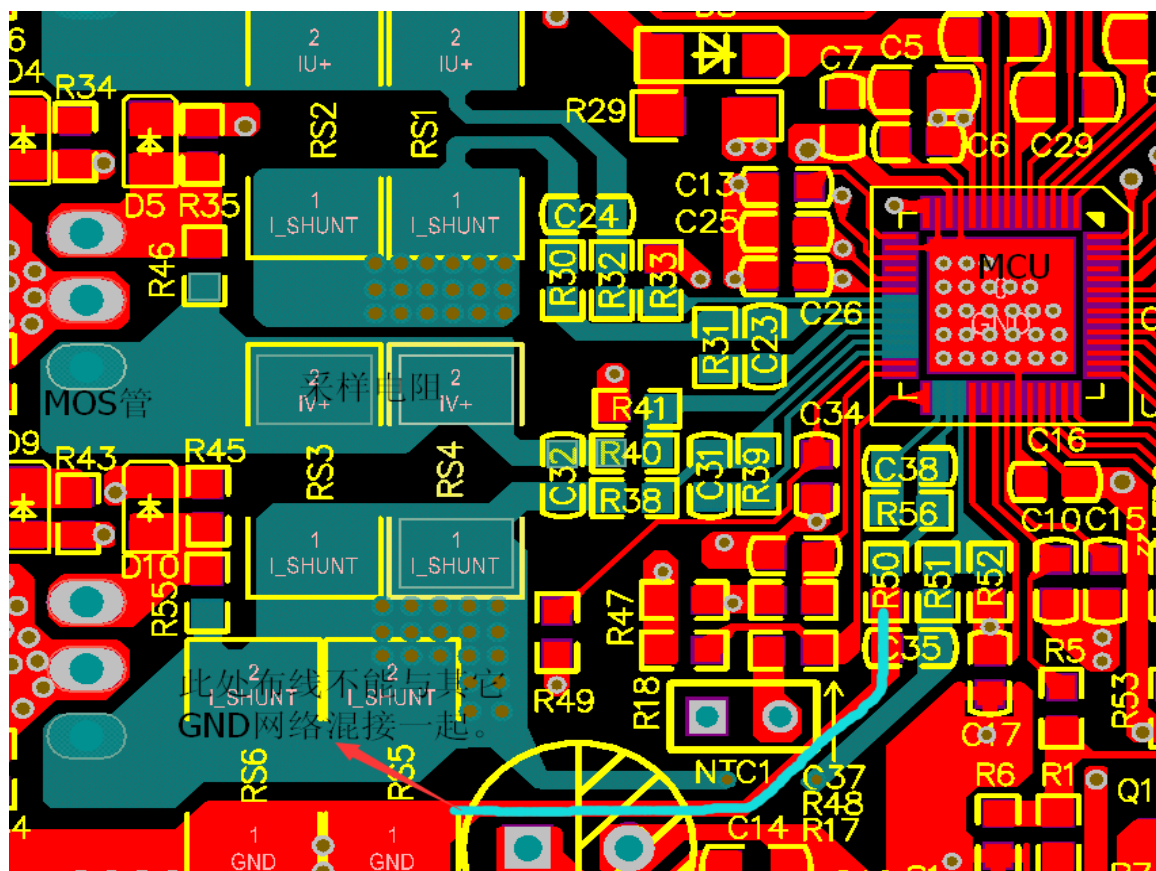
1.6 布线实例解析及参考

1.6.1 电流采样布局布线参考及注意事项

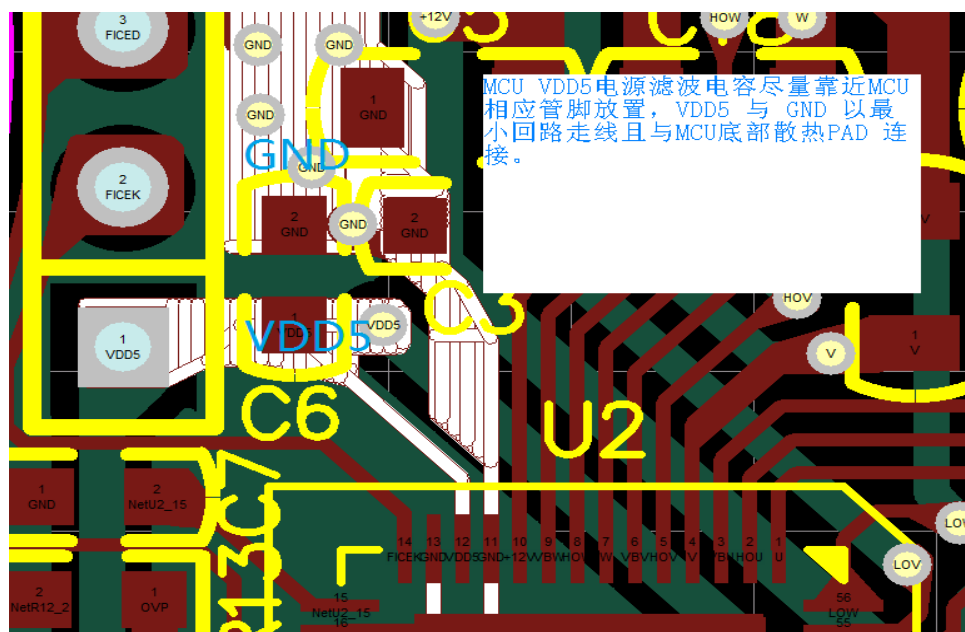


采样电阻到运放的配置电容、电阻的走线要采用差分走线。

运放的配置电容、电阻要靠近 MCU 放置。

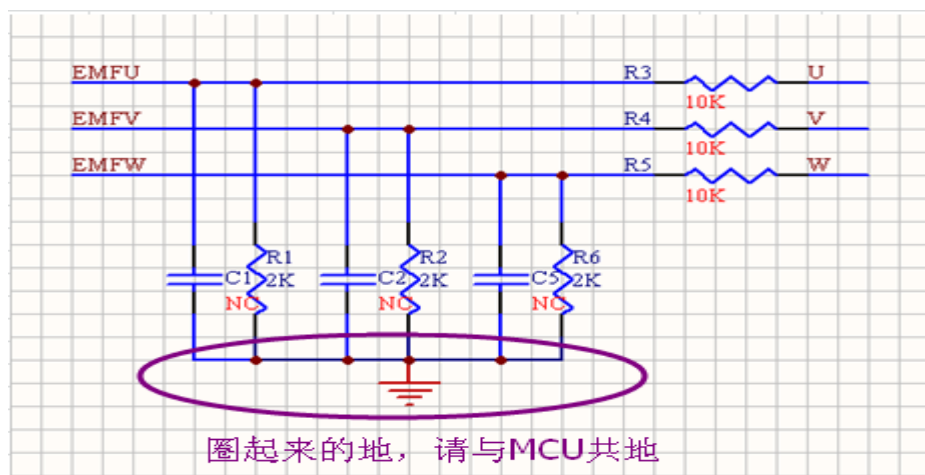


1.6.2 VDD5 及其滤波电路注意事项



VDD5 为 MCU 提供电源，电容一定要靠近 MCU 放置，否则没有滤波效果，而且电容的 GND 脚要跟 MCU 的 GND 直接相连，否则对 MCU 端来说跟没有是一样的，这里要特别注意，如果处理不当，剧烈干扰情况下可能会导致 MCU 烧坏!!!

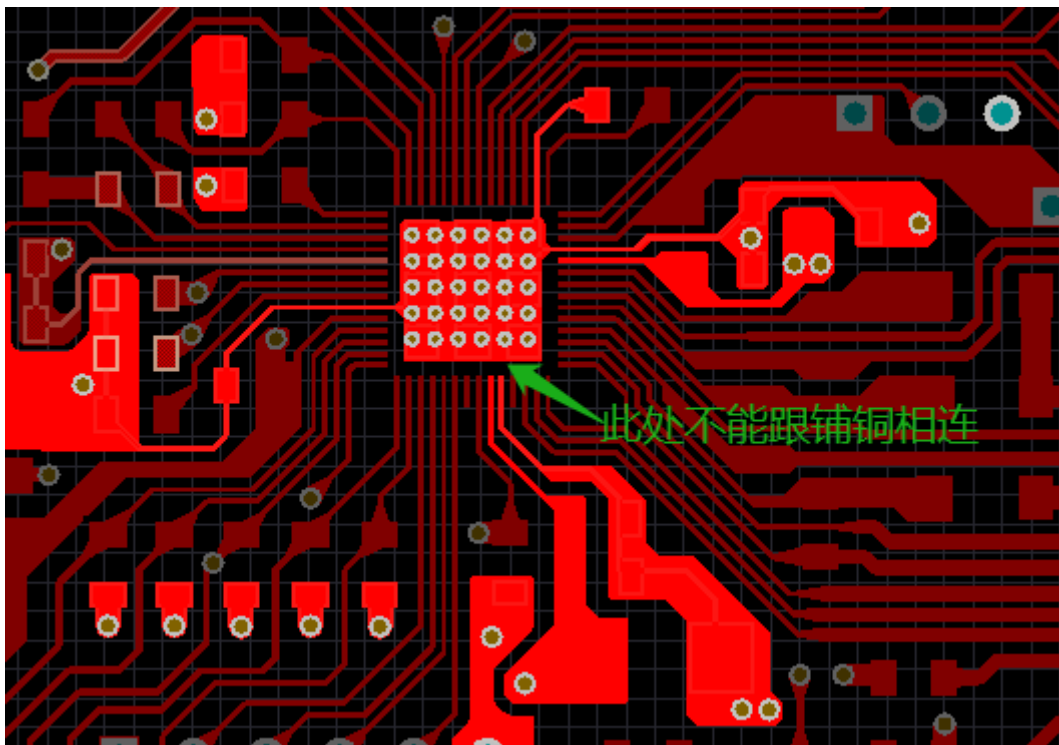
1.6.3 反电动势布线注意事项



反电动采样分压后的 GND 要与 MCU 的 GND 直接相连。如果分压后又加了 RC 滤波，则 RC 滤波的 GND 要与 MCU 的 GND 直接相连，分压的 GND 要与功率 GND 相连。

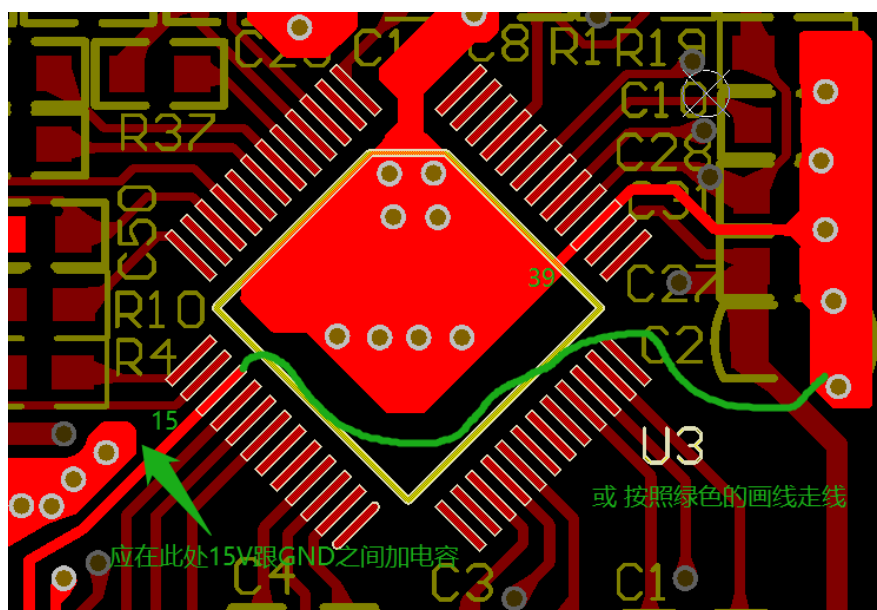
1.6.4 FU6818/61 的 GND 走线注意事项

MCU 内部的 HVIC 的 GND 走线不能跟 MCU 供电走线直接相连，需要将在外接电容出单点相连，如下图：

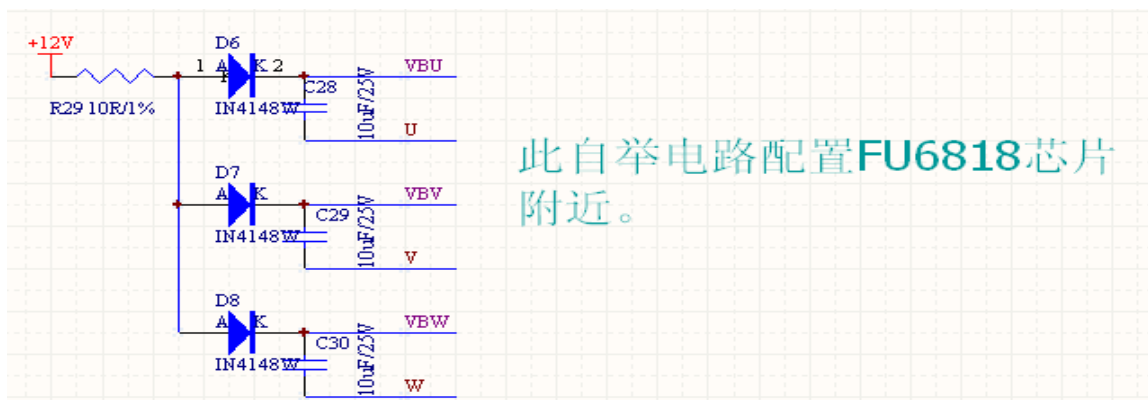


1.6.5 FU6862 的 GND 走线注意事项

MCU 的 15V 跟内部的 HVIC 的 15V 是同一个供电脚，但是 GND 是分开的，需要在两个脚 GND(15 和 39)与 15V 之间分别加滤波电容，或者将 15 脚跟 39 之间直接单独连一起，具体见下图。

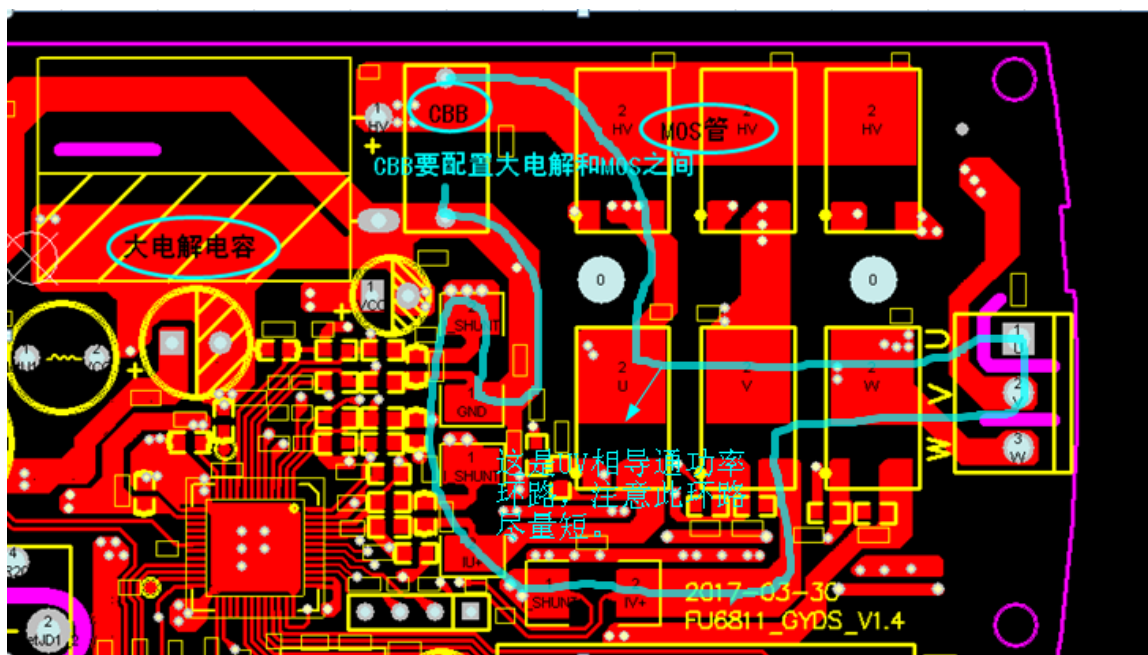


1.6.6 自举电路布局注意事项

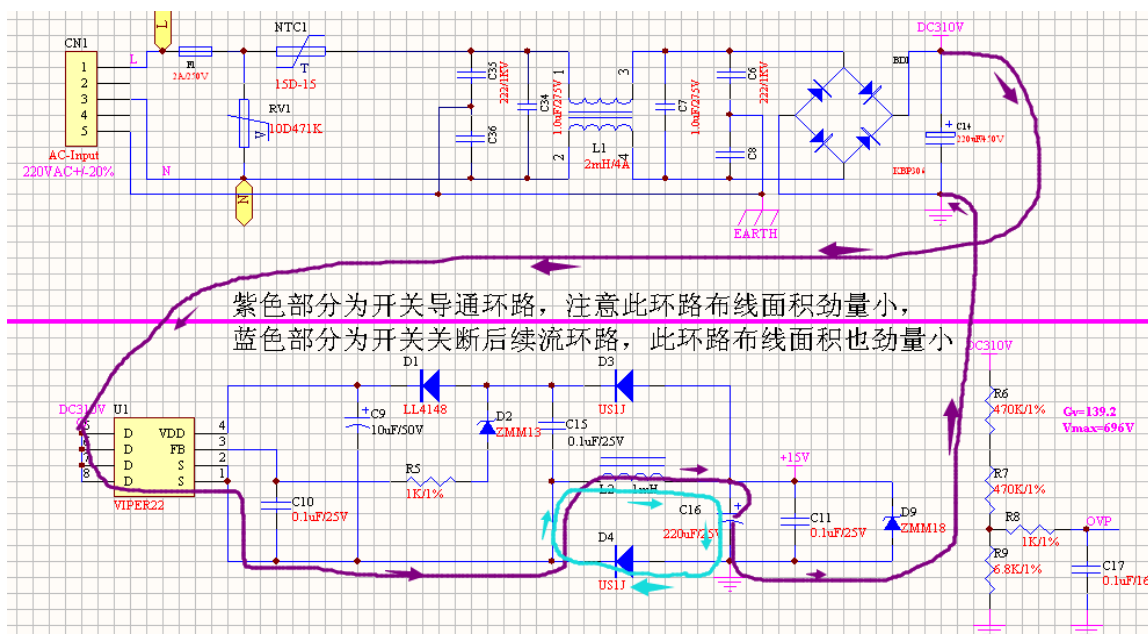
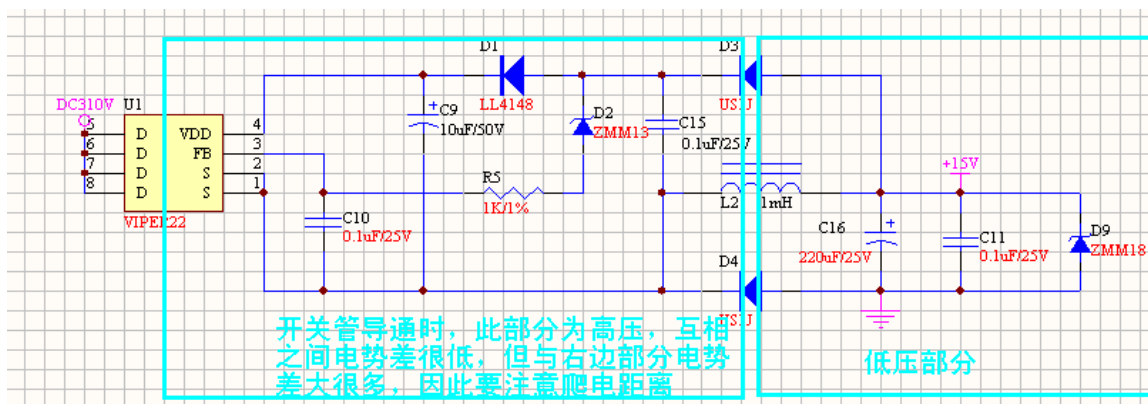


1.6.7 CBB 电容放置注意事项

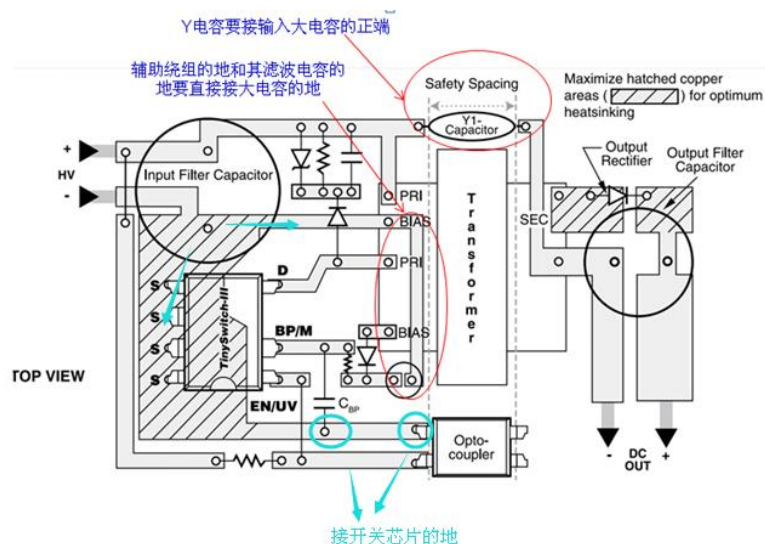
CBB 电容配置在大电解和 MOS 之间且要靠近 MOS 管，如下图。



1.6.8 BUCK 电路布线注意事项

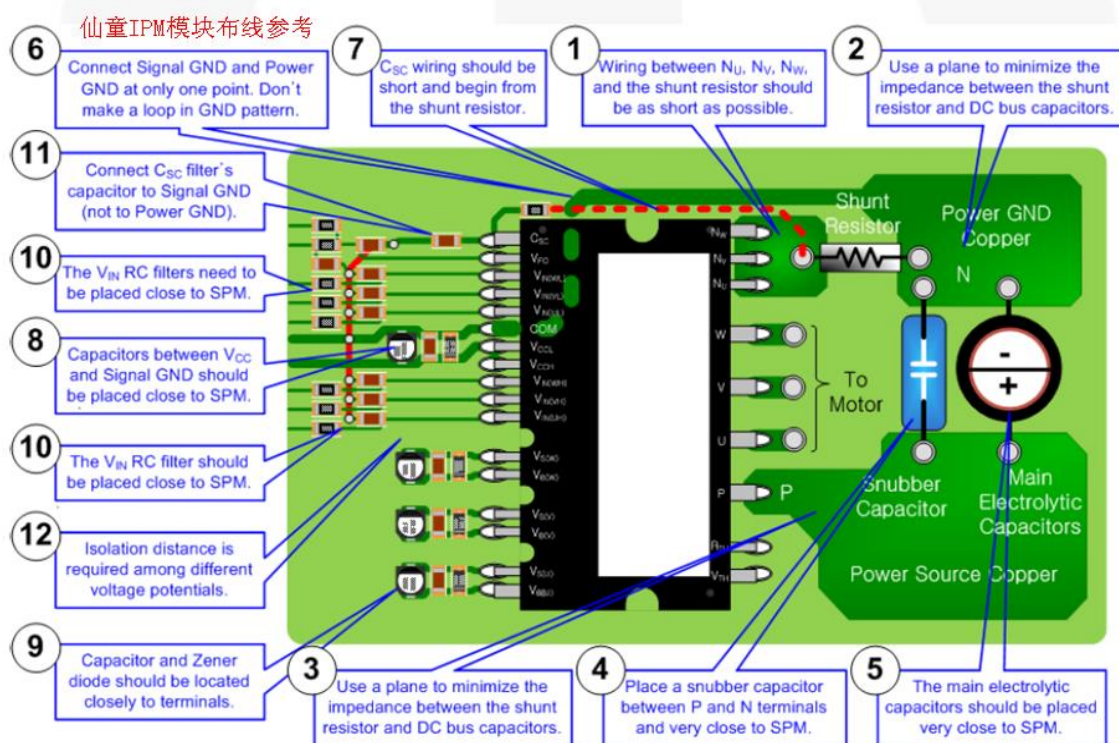
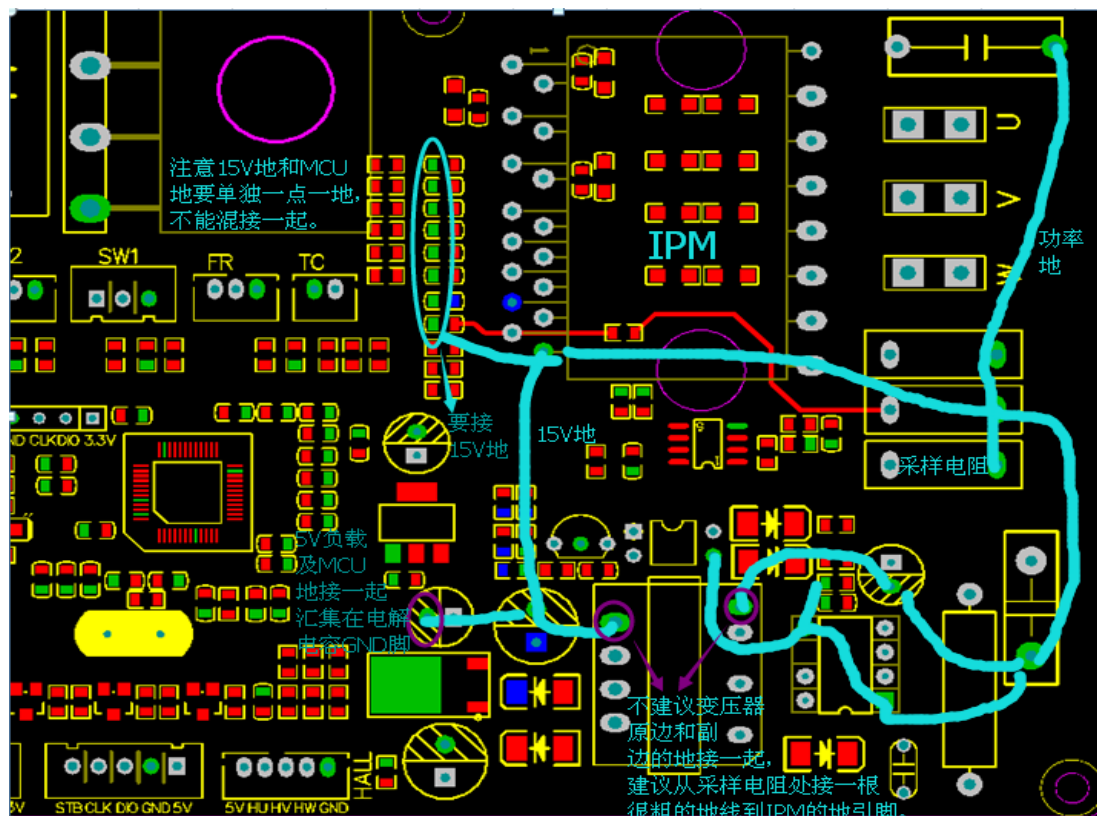


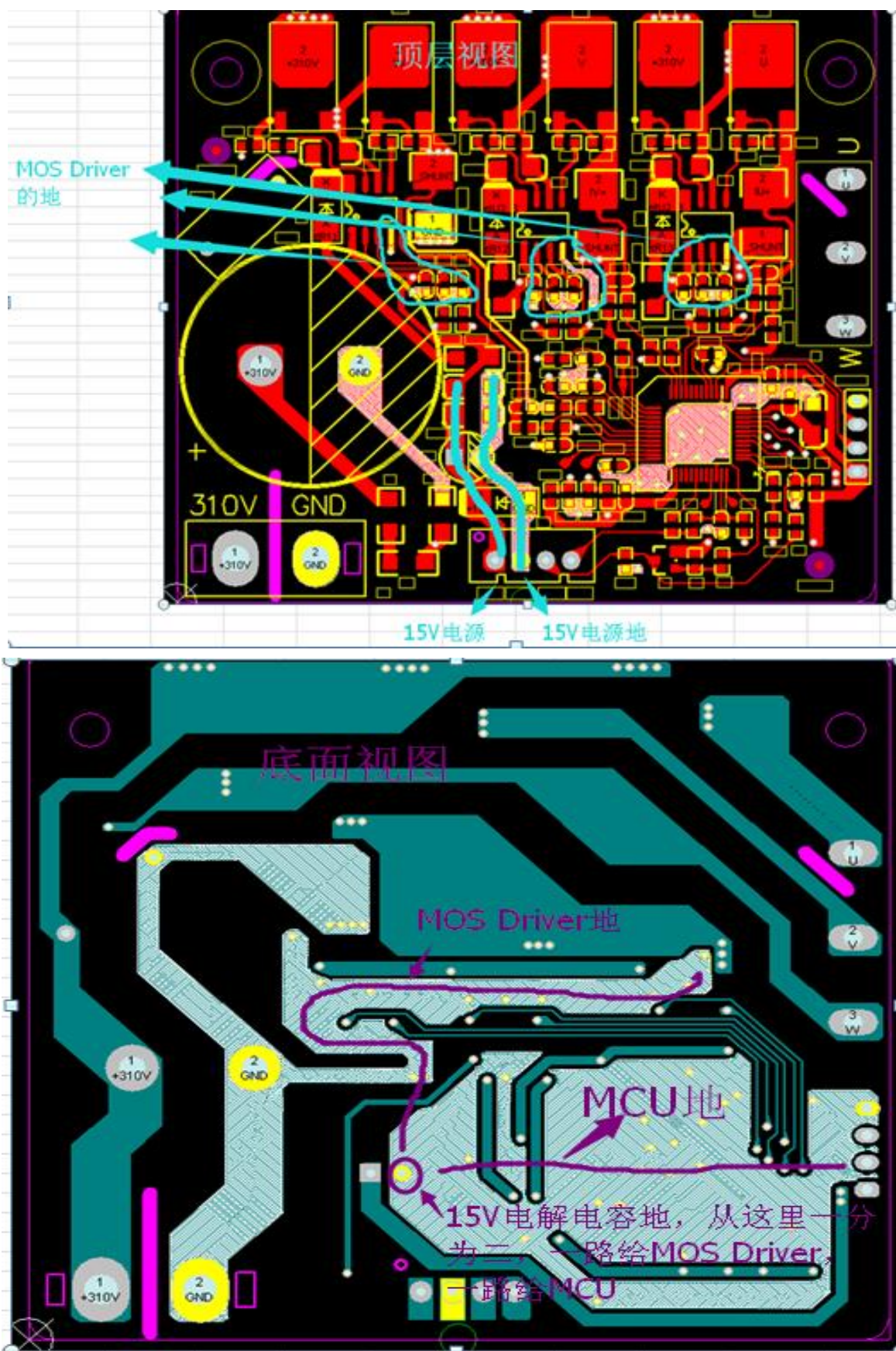
1.6.9 反激式开关电源注意事项



1.6.10 地线相关注意事项

主要是 MOS Driver 的地要与 MCU 地不能混接一起，两者之间要单点接地，可以从 15V 电源电解电容处一分为二。同时要 15V 电源到采样电阻两者之间的地能保证最短，也就是弱电电源布局最好靠近采样电阻。





2 MCU 选型

FU68XX 系列现共分为 3 代 7 款芯片：一代：FU6811，FU6831，FU6818；二代：FU6812，FU6861；三代：FU6813，FU6863。其中 FU6811 分为 FU6811L(LQFP48)，FU6811N(QFN32)两种；FU6818 只有 QFN56 一种；FU6831 分为 FU6831L(LQFP48)，FU6831Q(QFN48)，FU6831N(QFN32)三种；FU6812 有 FU6812L(LQFP48)，FU6812S(SSOP24)两种，FU6861 只有 FU6861Q(QFN56)一种；FU6813 有 FU6813L(LQFP48)，FU6813P(LQFP52)两种，FU6863 只有 FU6863Q(QFN56)一种；不同型号和封装之间都有所区别，实际的应用中会根据不同的需求进行选型。

FU6812 是 FU6811 的升级版，FU6813 是 FU6812 的升级版。

FU6812 比 FU6811 有更多 AD 口，同时可以内部输出 DA 用于硬件过流配置，另，新增了 BLDC 硬件算法，FU6811L 跟 FU6812L PIN 对 PIN，可以直接使用 FU6812L 替代 FU6811L。

FU6813 比 FU6812 有更多 DA 口，同时增加 PFC 功能，更大的 FLASH(32K)，FU6812L 跟 FU6813L PIN 对 PIN，可以直接使用 FU6813L 替代 FU6812L。

FU6818Q 为 FU6811 + FD6288，FU6861(63)Q 为 FU6812(13) + FD6287，两者的主要区别的 18 为下桥高有效，61(63)为下桥低有效，同时 61(63)比 18 有更多 AD 口等。

不同型号、封装的区别主要有以下几点：

型号	全名	封装	驱动类型	内部 LDO	外部 LDO	电压范围	电流范围
FU6811	FU6811L	LQFP48	直驱 P+N(5V)/ + DRV 驱动 6N MOS	有	有	外部 LDO 时 5 ~ 36V，内部 LDO 时，5 ~ 24V	5V 时 ≤ 3A/其他时，根据 DRV 确定
	FU6811N	QFN32		有	无	5 ~ 24V	
FU6831	FU6831L	LQFP48	P+N MOS	有	有	外部 LDO 时 5 ~ 36V，内部 LDO 时，5 ~ 24V	5V 时 ≤ 3A/其他时，≤ 10A
	FU6831Q	QFN48		有	有	5 ~ 24V	
	FU6831N	QFN32		有	无	5~24V	
FU6812	FU6812L	LQFP48	直驱 P+N(5V)/ + DRV 驱动 6N MOS	有	有	外部 LDO 时 5 ~ 36V，内部 LDO 时，5 ~ 24V	5V 时 ≤ 3A/其他时，根据 DRV 确定
	FU6812S	SSOP24		有	无	5~24V	
FU6813	FU6813L	LQFP48	直驱 P+N(5V)/ + DRV 驱动 6N MOS	有	有	外部 LDO 时 5 ~ 36V，内部 LDO 时，5 ~ 24V	5V 时 ≤ 3A/其他时，根据 DRV 确定
	FU6813P	LQFP52		有	无	5 ~ 24V	
FU6818、 61、63	FU6818Q、 61Q、63Q	QFN56	6N MOS	有	有	外部 LDO 时 5 ~ 36V，内部 LDO 时，5 ~ 24V	≤ 50A

FU6811L、FU6812L、FU6813L 通常使用在布板空间足、电压高的场合，配合 HVIC 一起使用，驱动 6 个 NMOS，一般采用 15V 供电，如果指定使用双电阻或者三电阻采样，一般都选择 L 系列。

FU6811N 主要使用在空间不足的高压场合，采用 15V 直接供电，配合 HVIC 驱动 6 路 MOS，比如普通吹风管，也可以使用在 5V 供电、空间比较小的场合，直接驱动 P + N MOS。

FU6831L 通常使用在布板空间足、电压低、电流较小的场合，内部 LDO 时，最高电压 24V，外部 LDO 时，最高电压 36V，直接驱动 P + N MOS，电流通常在 10A 以下，多用于使用电池的场合，一般情况下建议电池小于 6S。

FU6831Q 跟 L 系列功能完全一样，主要减少了芯片大小，节省 PCB 面积；FU6831N 通常使用在 24V 电压以下的场合，只有内部 LDO，驱动电流在 10A 以下，如果指定使用双电阻采样，可以选择 L 或者 Q 系列。

FU6831N 主要用于空间不足的低压场合，供电电压小于 24V，电流 10A 以下，直接驱动 P+N MOS，比如服务器风扇。

FU6812S 主要用于成本要求较高的中、高压场合，配合 HVIC，驱动 6N MOS，AD、IO 口较少，只能满足基本的电机驱动要求。

FU6813P 主要用于空冰洗等空间足、单面板的场合，可以使用 PFC 功能，其他类似 L 系列。

FU6818Q、FU6861Q、FU6863Q 为中、低压大功率控制及驱动 IC，可以直接驱动 6N MOS，电流最大可达 50A，通常需要增加 LDO 或者 DC-DC，使得母线电压降低到 15V 给 MCU 和 DRIVER 供电，在电压 18V 以下场合可以直接使用。

3 采样电阻和运算放大倍数选择

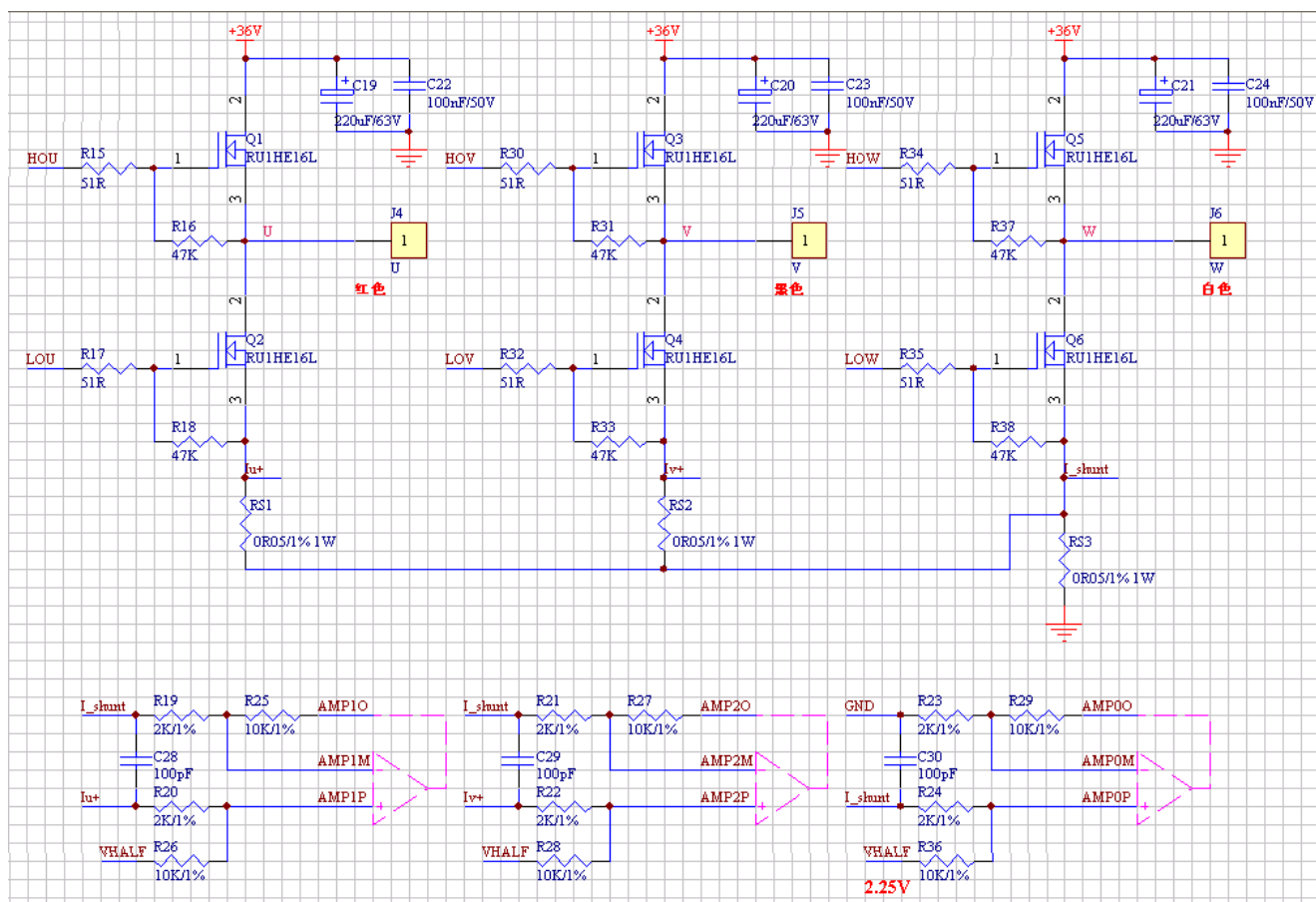


图 3-1 驱动和运放原理图

在设计过程，通常要遇到采样电阻选择和运算放大倍数选择，有时候客户会很纠结，不知道那个值更合适。这个两个值相辅相成，相互影响，在设计初期就要综合考虑，一起确定。

按照理论，采样电阻越大越好，放大倍数越小越好，最好是情况是，采样到的值，MCU 可以直接进行采样，不需要放大。在电路中，采样电阻变为 2 倍，相同电流的情况下，功率变成 4 倍，同时功耗也会成变成 4 倍，价格相应的要增加很多，所以采样电阻不能放的很大，要取一个合适的值。同理，采样电阻很小，运算放大倍数很大，这样干扰也会跟着放大，导致采样不准确。通常会按照理论上的最大电流选择一个合适的电阻，阻值要一般情况下要低于 0.5 欧姆的常用物料，封装要在 1206、2512 等中选择。放大倍数一般为 3-10 倍，不建议再增大、减小。

如图 3-1，客户要求功率在 80W，额定电压为 36V，最低电压 30V，按照极值计算，最大额定电流为 $80/30=2.67A$ ，最大电流为 $2.67*1.414 = 3.77A$ ，采样电阻采用 0.05Ω ，最大功率为 $0.71W$ ，考虑到高温至少要降额使用 70%，所以最好是选自 1W 或者以上功率的采样电阻，综合价格等因素，这里选择 $0.05\Omega/1W$ 的采样电阻。在采样电阻基本确定的情况下，放大倍数一定留有足够的余量，通常的余量为最大电流的 2 倍以上，这里的最大电流为 $3.77A$ ，按照 $4A$ 计算，一般情况下，我们要选择可以采样至少 $8A$ 的范围。可采样范围为 $2.25 \pm 2.25V$ ， $2.25/0.05/8 = 5.6$ 倍，这里选择 5 倍，所以可采样电流范围为 $9A$ ，满足要求。

4 电流基准计算

FOC 涉及电流采集，在应用中应设置电流基准。电流基准与硬件板上的采样电阻 R_{sample} ，运放放大倍数 Amp ，MCU 的 ADC 参考电压 V_s 三个参数相关。在调节过程中，电机的运行电流不能超过 ADC 最大采样电流，也不能小于最小采样电流。为兼顾软件过流保护和堵转过流保护，一般设置最大采样电流为电机运行最大电流的 1.5 到 2 倍，电流基准即为运行最大电流的 3 ~ 4 倍。已知电机运行的最大电流后，为得到设计的电流基准，需选择合适的采样电阻和放大倍数。采样电阻越大，采样的精度越高，但采样电阻需考虑电阻上的功率导致的温升。采样电阻功耗原则为 $P = I^2 R_{sample} < P_{max}$ 。在保证电阻温升符合要求的情况下，电阻值应尽量大。采样电阻确定好后，再配置对应的放大倍数即可。

$$\text{电流基准 } I_{base} = \frac{V_s}{R_{sample} * Amp}, \quad \text{最大采样电流 } I_{smax} = \frac{I_{base}}{2}, \quad \text{最小采样电流 } I_{smin} = -\frac{I_{base}}{2}$$

例: $R_{sample} = 0.5\Omega$, $Amp = 4$, $V_s = 4.5V$, 则 $I_{base} = 2.25A$, $I_{smax} = 1.125A$, $I_{smin} = -1.125A$

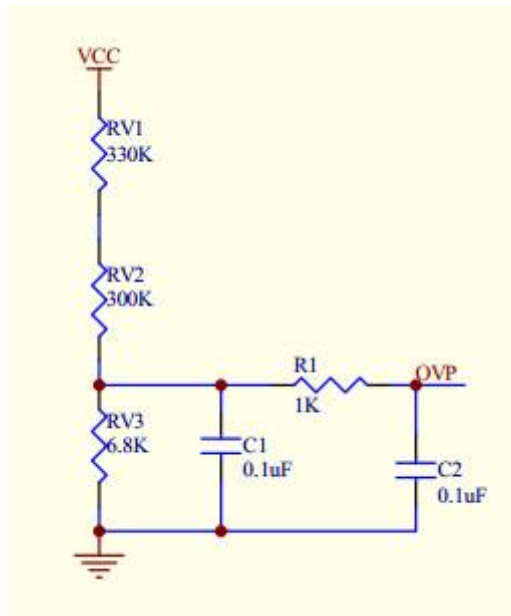
5 最大采样电压

在 FOC 的 SVPWM 模块中需采集母线电压进行计算，而在高低压应用中，因电源电压与 MCU 的 ADC 最大采样电压不等，需根据实际情况将母线电压用分压方式来处理。配置电路中的分压电阻 $RV1$, $RV2$, $RV3$ (低压情况下省去 $RV2$ ，即 $RV2 = 0$)，则对应的缩小倍数和最大采样电阻计算方式如下：

$$\text{缩小倍数 } RV = \frac{RV1 + RV2 + RV3}{RV3}$$

最大采样电压为 $V_{smax} = RV * V_s$ 。

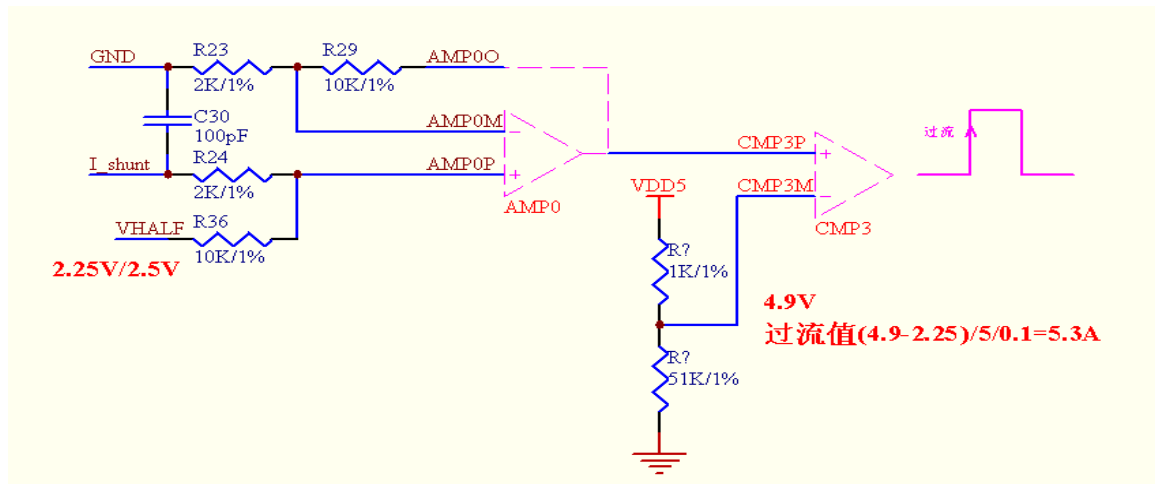
例: $RV1 = 330K\Omega$, $RV2 = 300K\Omega$, $RV3 = 6.8K\Omega$, $V_s = 4.5V$, 则最大采样电压为 $V_{smax} = \frac{330+300+6.8}{6.8} * 4.5 = 421V$



6 比较器硬件过流

68 系列芯片可通过设置比较器 3 的上升沿触发硬件过流保护中断。其硬件过流值与采样电阻 R_{sample} 、运放放大倍数 Amp 、ADC 参考电压 V_s 、比较值有关。

例: $R_{sample} = 0.1$, $Amp = 5$, $V_s = 4.5$, 比较值为 4.9, 硬件过流值 = $(4.9 - 1/2 * 4.5) / 5 / 0.1 = 5.3A$ 。



7 常见问题及解决办法汇总

7.1 硬件过流

硬件过流为我们最常见的保护方式，一般情况下，硬件过流后都不能恢复，要求停止运行，必须重新上电才能再次工作。出现硬件过流后，首先要确定是真过流还是假过流，最简单的办法就是看能否重现，而且是否有规律的重现，如果能重现，基本可以确定是真过流，如果不能，则很可能是假过流，最好能找到假过流的原因，是不是外部的偶然因素导致的误触发，如果不能找到原因，而且一般情况很难出现，但是绝对不只一次出现，也要将其规划到真过流中。这里说的过流，在不做说明的情况下都是真过流。

过流又分为，初始上电过流，和运行过程中过流。如果一上电就过流，首先要检测硬件，看驱动 IC 和功率器件，是否焊接良好，有无短路，相关器件的性能指标是否在范围内。前提是要保证软件配置正确，如驱动电平符合要求，如 FU6831 上桥为 PMOS——低有效，下桥 NMO——高有效。死区时间要足够。上下桥臂的 GS 和之间的上升下降时间不能有交叉。

功率器件的性能指标主要通过测量相关管脚之间的二极管确定（无示波器情况下，如果有，直接测量信号即可），如 HVIC 中，GND 到 LIN，GND 到 HIN，GND 到 LO，LO 到 VCC，VS 到 HO，HO 到 VB，一上这些管脚之间都存在二极管，可以直接确定是否良好。MOS 中，N MOS 中 S 和 D 之间存在二极管，应用中 G 和 S 之间一般有一个 10K~47K 的下拉电阻，PMOS 中 D 和 S 之间存在二极管，应用中 G 和 S 之间一般有一个 10K~47K 的上拉电阻。

如果驱动 IC 和功率器件都没有问题，则要通过以下几个方面考虑：

1. 是否是充电方式导致？是否是采用三相同步充电？充电开启的占空比是否太大？充电时间否太长？
2. 过流计算方式是否正确？硬件上是否加了基准电压，而计算时没有考虑？或者计算错误？
3. 是否是过流值太小？过流余量是否足够？
4. 是否是控制方式问题？其他软件可以运行，这个软件不行，确认是否是启动参数不合适？
5. 有 HALL 时，是否是接线顺序错误？
6. BLDC 时，是否是软件换向角错误？

如果是运行过程中出现的过流，除了按照初始上电过流的方法进行问题排除外，要重点考虑系统散热。前面都排除的情况下，基本可以认为软件、硬件都配置正常，是运行导致了发热，发热导致了过流。先确保功率器件的余量足够，再看系统的散热是否足够，散热条件是否良好。通过以上环节，基本可以找到问题的所在。

7.2 MOS 管开关震荡

MOS 开关震荡一般是布线不合理导致。理想情况下驱动不应该存在震荡，但是驱动信号线上有电阻、电感、电容，同时有外围的其他信号耦合，容易导致驱动信号震荡，导致 MOS 开关震荡，一般情况下通过增大 Gate 端的限流电阻可以改善，但是电阻增大以后，会导致开通、关断时间变慢，MOS 发热加剧，导通效率降低，通常还

要增大软件的死区时间，所以电阻增大的空间比较有限，在比较恶劣的情况只能通过优化 PCB 改善。

7.3 MCU 的 VDD5 与 GND 之间击穿

VDD5 与 GND 之间击穿，大多数情况下都是布线不合理导致的，VDD5 上的去耦电容没有发挥应有的作用，如 VDD5 的 GND 没有跟 MCU 内部的 GND 直接连接，导致不同的 GND 之间电势差变大，这种情况在电流场合尤其明显，VDD5 与 GND 直接就很容易超过最高电压限定值(6V)，导致 VDD5 击穿。解决这种问题的最根本的办法就是重新布线，确保 VDD5 和 GND 走线合理。

8 修改记录

版本号：第 1 位-原理 第 2 位-模块 第 3 和 4 位-细节

版本号	修改详细内容说明	生效日期	修订者	审核者
V1.0.00	初稿	2022-10-08	王延虎	
V1.0.01	修改 1.6 章节部分说明及排序，更新目录列表	2022-10-21	王延虎	

9 版权说明

版权所有©峰昭科技（深圳）股份有限公司（以下简称：峰昭科技）。

为改进设计和/或性能，峰昭科技保留对本文档所描述或包含的产品（包括电路、标准元件和/或软件）进行更改的权利。本文档中包含的信息供峰昭科技的客户进行一般性使用。峰昭科技的客户应确保采取适当行动，以使其对峰昭科技产品的使用不侵犯任何专利。峰昭科技尊重第三方的有效专利权，不侵犯或协助他人侵犯该等权利。

本文档版权归峰昭科技所有，未经峰昭科技明确书面许可，任何单位及个人不得以任何形式或方式（如电子、机械、磁性、光学、化学、手工操作或其他任何方式），对本文档任何内容进行复制、传播、抄录、存储于检索系统或翻译为任何语种，亦不得更改或删除本内容副本中的任何版权或其他声明信息。

峰昭科技（深圳）股份有限公司

深圳市南山区科技中二路深圳软件园二期 11 栋 2 楼 203

邮编：518057

电话：0755-26867710

传真：0755-26867715

网址：www.fortiortech.com