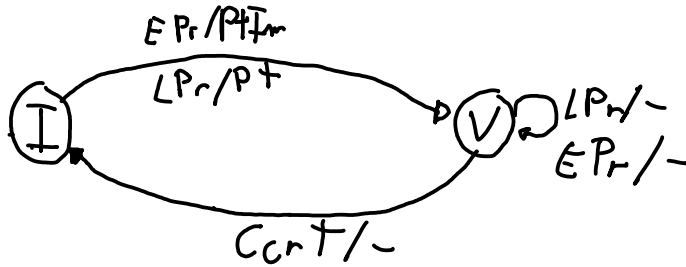
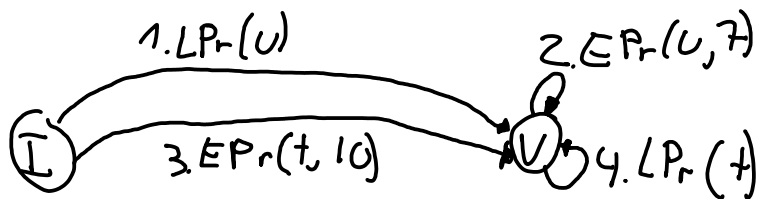


4.1 esc inmediata

1)



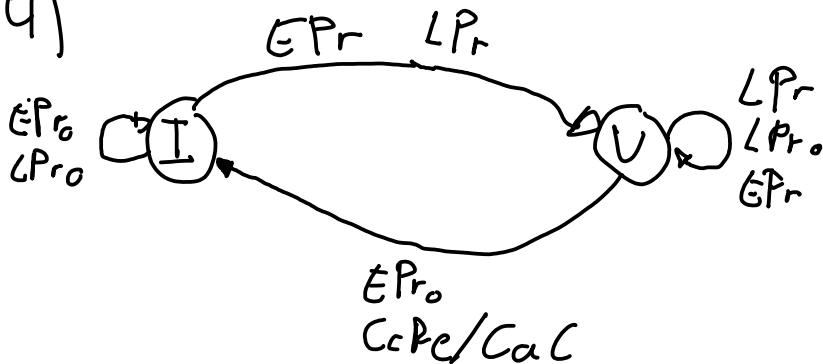
2) u:5 t:5 No estan en cache



3)

acceso	bus	v. memoria	cont/var	val	estado
lee u	S;	5	u	5	V
esc u 7	S;	7	u	7	V
esc t 10	S;	10	t	10	V
lee t	no	10	t	10	V

4)



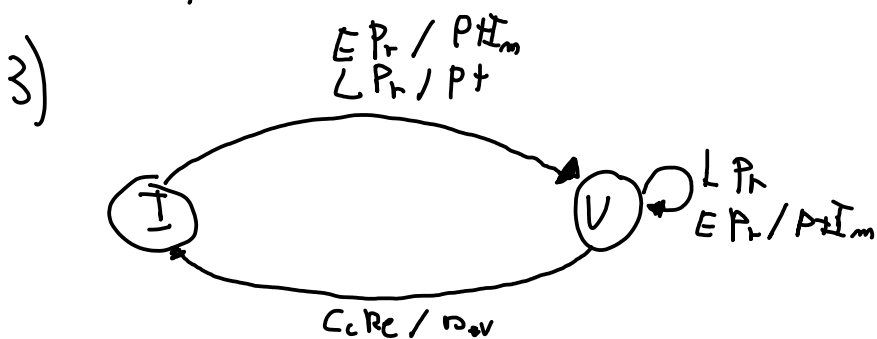
5)

acceso	mem		sub	C1			C2			C3		
	var	val		var	val	est	var	val	est	var	val	est
1 lee v	v	5	Si	v	5	v	-	-	-	-	-	-
3 lee v	v	5	Si	v	5	v	-	-	-	v	5	v
3 esc v 7	v	7	No	v	5	I	-	-	-	v	7	v
2 esc t 10	t	10	No	-	-	-	t	10	v	-	-	-
1 lee v	v	7	Si	v	7	v	-	-	-	v	7	v
2 lee t	t	10	No	-	-	-	t	10	v	-	-	-
2 esc v 9	v	9	No	v	7	I	-	-	-	v	9	v

4.2

1) Puede haber una copia de cada bloque en cada cache si todos los accesos a ese bloque son de lectura, en caso contrario se invalidarían las copias

2) Si, si es P_{HI}m se debe enviar un mensaje a los otros procesadores para que invaliden el bloque



Accesso	mem		Sub	C1			C2			C3			Bus
	var	val		var	val	est	var	val	est	var	val	est	
1 lee v	v	5	Si	v	5	v	-	-	-	-	-	-	Pt
3 lee v	u	5	Si	u	5	v	-	-	-	v	5	v	Pt
3 esc v 7	u	7	No	u	5	I	-	-	-	v	7	v	PtIm
2 esc t 10	t	10	Si	-	-	-	t	10	v	-	-	-	PtIm
1 lee u	u	7	No	v	7	v	-	-	-	v	7	v	Pt
2 lee t	t	10	No	-	-	-	t	10	v	-	-	-	Pt
2 esc v 9	u	9	No	v	7	I	-	-	-	v	9	v	PtIm

4.5

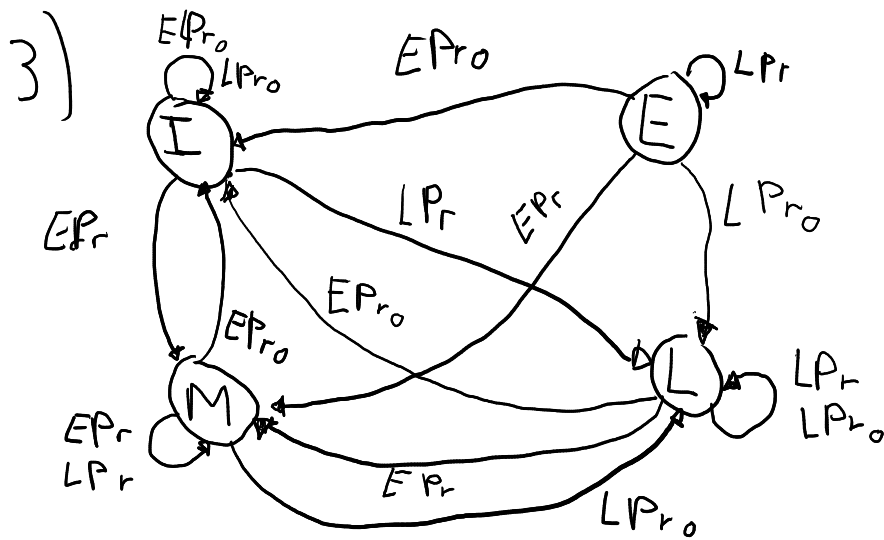
1) Si 2) Si 3) No 4) No 5) 16 bytes

4.11

1)

M	FL \bar{E}
\bar{E}	FLM
L	\bar{E} M
\bar{I}	MEL

2) ¿forma funcional?



41)

	mem		Sub	C1			C2			C3		
	var	val		var	val	est	var	val	est	var	val	est
P1 lee v	U	4	Si	U	4	E						
P2 leet	+	5	Si				+	5	E			
P1esc v32	U	4	NO	U	32	M						
P2esc +67	+	5	NO				+	67	M			
P3esc v18	U	32	C1	U	32	I				U	18	M
P1 lee v	U	18	C3	U	18	L				U	18	L
P2 lee v	U	18	C1/C3	U	18	L	U	18	L	U	18	L

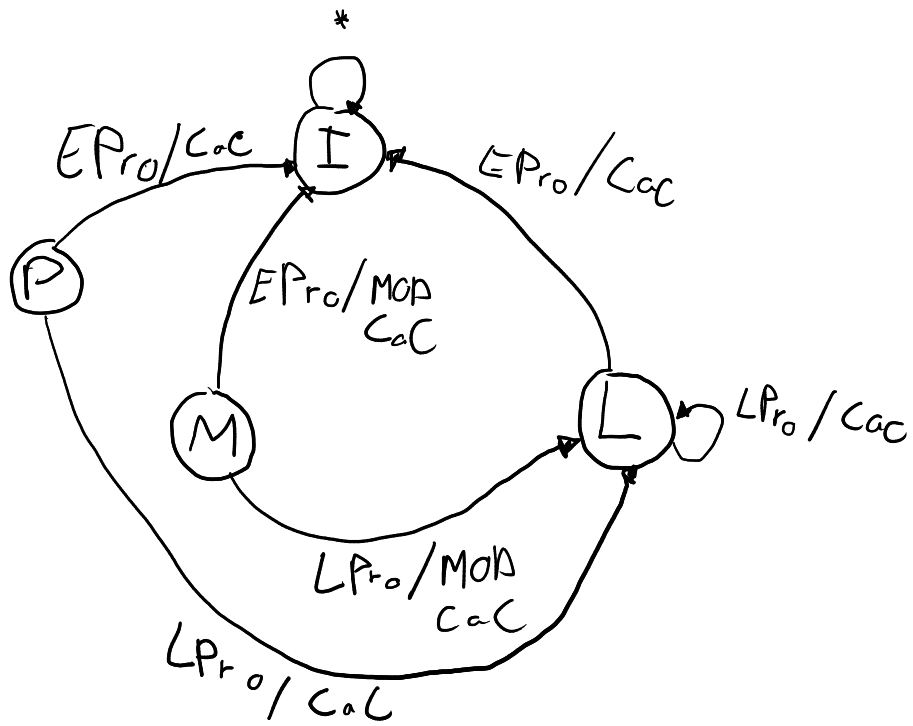
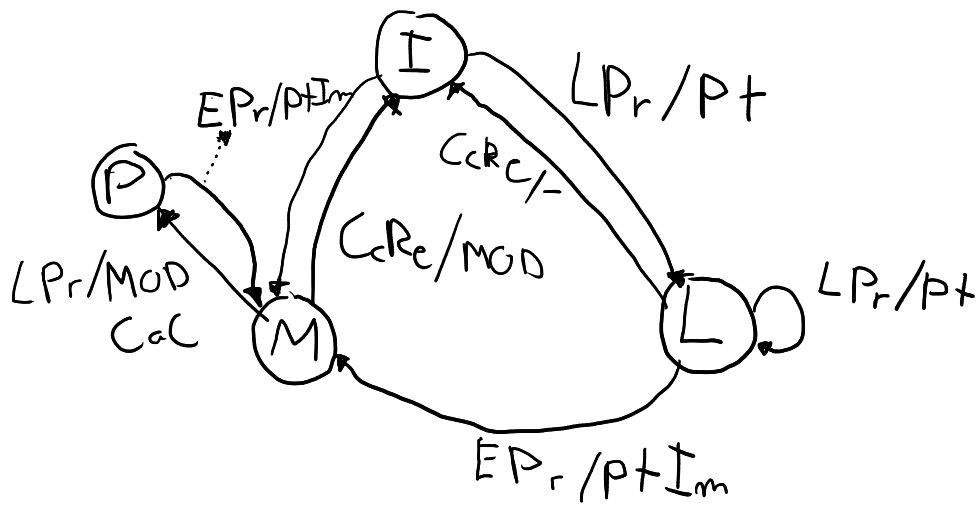
4.12

1)

M	P I
P	I L M
L	M I
I	M L

2)

3)



5)

	mem			C1			C2			C3		
	var	val	Sub	var	val	est	var	val	est	var	val	est
P1 lee v	U	4	M	U	4	L						
P2 lee t	+	5	M				+	5	L			
P1 esc v 32	U	4	N	U	32	M						
P2 esc t 64	+	5	N				+	64	M			
P3 esc v 18	U	32	C1	U	32	L				U	18	M
P1 lee v	U	18	C3	U	18	L				U	18	L
P2 lee v	U	18	C3/4	U	18	L	U	18	L	U	18	L

4.8

1)

	Bus	mem			C1			C2		
		var	val	Sub	var	val	est	var	val	est
P1 lee t	Pt	+	5	M	+	5	L			
P2 lee v	Pt	U	4	M				U	4	L
P1 esc t 21	P+Im	+	5	-	+	21	M			
P2 esc v 8	P+Im	U	4					U	8	M
P2 lee t	Pt	+	21	C1	+	21	L	+	21	L
P2 esc v 12	P+Im	+	21	-	+	21	L	+	12	M
P1 lee t	Pt	+	12	C2	+	12	L	+	12	L
P2 lee t	Pt	+	12	-	+	12	L	+	12	L

mem	var	val	Sub	C1	var	val	est	C2	var	val	est	C3	var	val	est	Bus
-----	-----	-----	-----	----	-----	-----	-----	----	-----	-----	-----	----	-----	-----	-----	-----

mem	var	val	Sub	C1	var	val	est	C2	var	val	est
-----	-----	-----	-----	----	-----	-----	-----	----	-----	-----	-----