2020-9-20

秦嘉余

191220088

1348288404@qq.com

数字电路实验四 触发器和锁存器

目录

[1.实验目的 1](#_Toc53602929)

[2.实验原理 1](#_Toc53602930)

[3.实验环境/器材 1](#_Toc53602931)

[4. 分析阻塞和非阻塞RTL 视图和仿真结果 2](#_Toc53602932)

[5.设计一个同步清零和一个异步清零的D触发器 3](#_Toc53602933)

[1设计思路 3](#_Toc53602934)

[2.实验代码 3](#_Toc53602935)

[3.RTL视图 4](#_Toc53602936)

[4.仿真测试代码及仿真图 5](#_Toc53602937)

[5.引脚分配图 5](#_Toc53602938)

[6.实验结果 5](#_Toc53602939)

[6.实验实验中遇到的问题及解决办法 6](#_Toc53602940)

1.实验目的

本次实验的目的是实现锁存器和触发器这两种时序电路的基本构件。并学习如何对时序电路进行仿真，了解Verilog 语言中阻塞 赋值语句和非阻塞赋值语句的区别。

2.实验原理

锁存器和触发器分别为电平触发和时钟边沿触发。对于各种锁存器与寄存器，例如D,JK,RS,T等等，这些器件仅仅为改变状态的方式不同，但是都符合电平和时钟边沿触发的特性。在verilog中，对于always语句中，对于的触发条件分别为\*与clock即可完成触发的条件，这就是利用verilog实现锁存器和触发器的实验原理

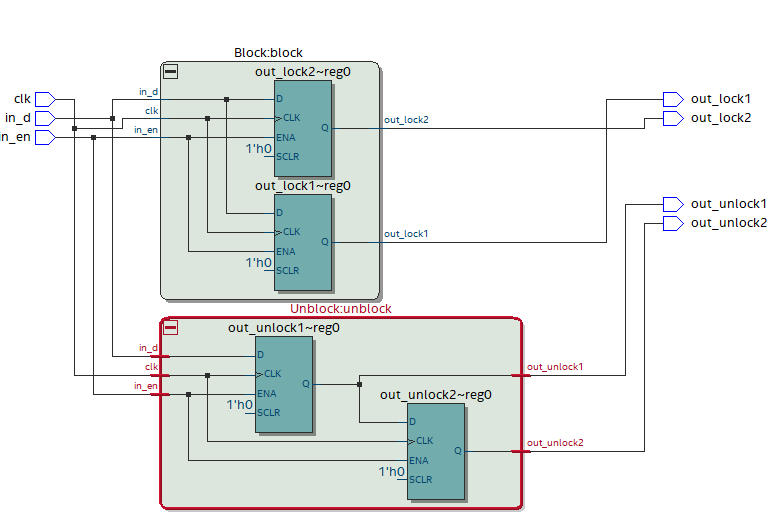
3.实验环境/器材

本次实验的环境为Quartus17.1版本

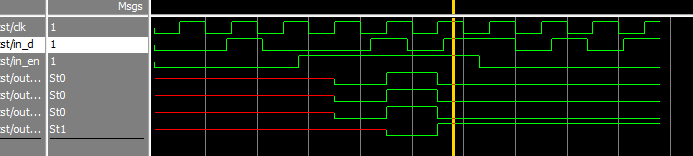
本次实验的器材为DE10 Standard开发板

4. 分析阻塞和非阻塞RTL 视图和仿真结果

文件见压缩包，RTL视图如下：



上为阻塞赋值，下为非阻塞赋值，模拟仿真如下：



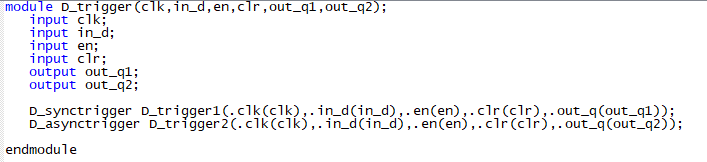
5.设计一个同步清零和一个异步清零的D触发器

## 1设计思路

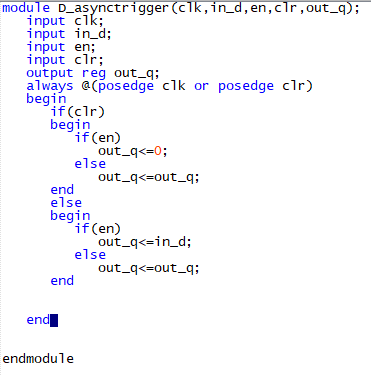
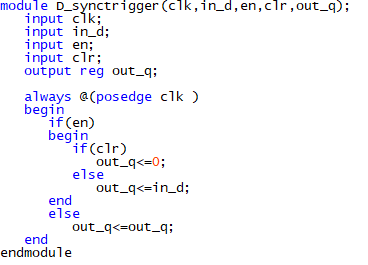
同步清零和异步清零的D 触发器的区别在于，同步清零的清零端必须在时钟有效的时候才能清零，所以为同步清零，而异步清零在clr有效时直接清零，与时钟不同步，所以为异步清零

## 2.实验代码

顶层模块为D\_trigger，如下：包含两个下层模块，分别为同步清零与异步清零的D触发器，参数分别为时钟信号clk，输入in\_d，使能端en，清零端clr，与各自的输出out\_q

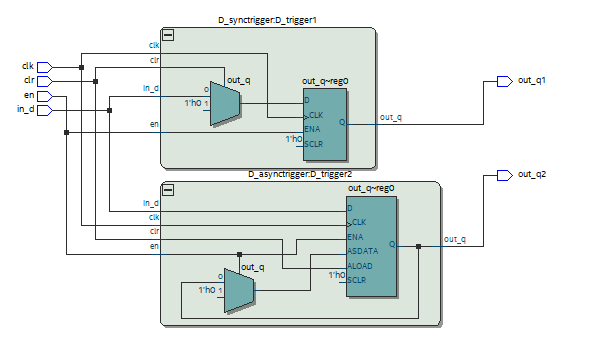


下图分别为同步清零与异步清零的D触发器模块的代码

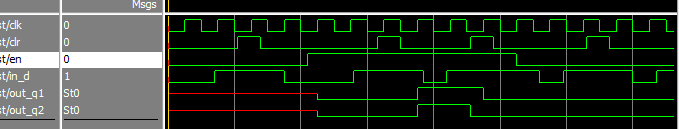
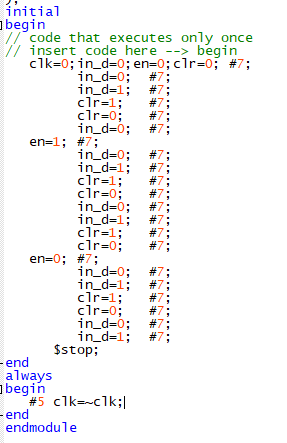


其中最大的区别为always语句的触发条件，同步清零为clr，异步清零则多包含了clr

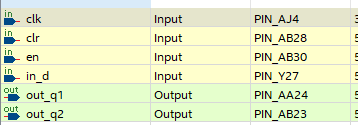
## 3.RTL视图



## 4.仿真测试代码及仿真图



## 5.引脚分配图



## 6.实验结果

已在开发板上验收，与仿真结果一致

6.实验实验中遇到的问题及解决办法

起初，不理解阻塞赋值与非阻塞赋值的区别，在上网查阅后，明白了其区别，在硬件中阻塞与非阻塞的连接的不同之处，也更加体会到硬件语言与普通编程语言的区别。