2020-10-18

秦嘉余

191220088

1348288404@qq.com

数字电路实验七 寄存器

目录

[1.实验目的 1](#_Toc53923756)

[2.实验原理 1](#_Toc53923757)

[3.实验环境/器材 1](#_Toc53923758)

[4. 存储器实例分析 1](#_Toc53923759)

[1.实验思路 2](#_Toc53923760)

[2. 实验代码 2](#_Toc53923761)

[3.RTL视图 3](#_Toc53923762)

[4.仿真结果 3](#_Toc53923763)

[5.实验结果 4](#_Toc53923764)

[5. 两个16\*8存储器 4](#_Toc53923765)

[1.设计思路 4](#_Toc53923766)

[2.实验代码 4](#_Toc53923767)

[3.RTL视图 7](#_Toc53923768)

[4.引脚分配图 7](#_Toc53923769)

[5.实验结果 7](#_Toc53923770)

[6.思考题 8](#_Toc53923771)

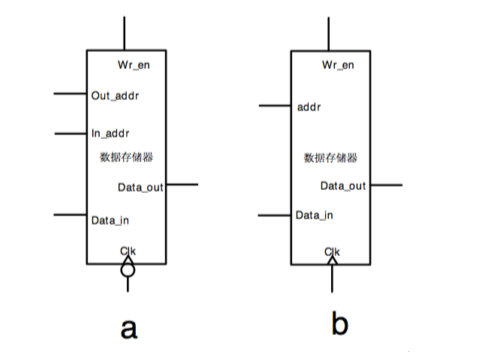
[7.实验实验中遇到的问题及解决办法 8](#_Toc53923772)

1.实验目的

本实验的目的是了解 FPGA 的片上存储器的特性，分析存储器的工作时序 和结构，并学习如何设计存储器。

2.实验原理

存储器是一组存储单元，用于在计算机中存储二进制的数据，如图7 1所 示。存储器的端口包括 † 输入端、输出端和控制端口。输入端口包括：读/写地 址端口、数据输入端口等；输出端口一般指的是数据输出端口；控制端口包括时钟端和读/写控制端口。



**写数据**：在时钟（clk）有效沿（上升或下降沿），如果写使能（Wr\_en， 也可以没有使能端）有效，则读取输入总线（Data\_in）上的数据，将其存储到 输入地址线（In\_addr）所指的存储单元中。

**读数据**：存储器的输出可以受时钟和使能端的控制，也可以不受时钟和使

能端的控制。如果输出受时钟的控制，则在时钟有效沿，将输出地址所指示的 单元中的数据，输出到输出总线上（Data\_out）；如果不受时钟的控制，则只要输出地址有效，就立即将此地址所指的单元中的数据送到输出总线上。

3.实验环境/器材

本次实验的环境为Quartus17.1版本

本次实验的器材为DE10 Standard开发板

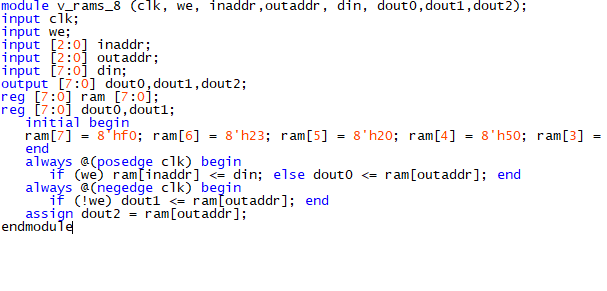
4. 存储器实例分析

## 1.实验思路

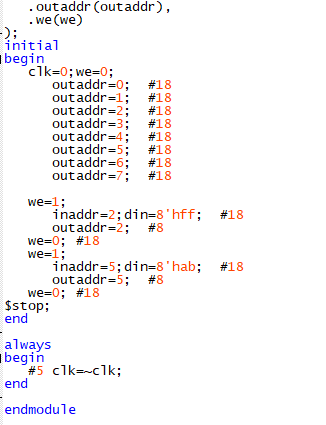
本次实验的目的是验证存储器的读取功能的时序关系，关键在于对于vt测试文件的编写，要合适的编写测试文件来实验三种输出的不同之处。在本实验中，先验证每个存储器的值，之后修改某个值后再查看这个值，以此来观察不同的输出的时序差别

## 2. 实验代码

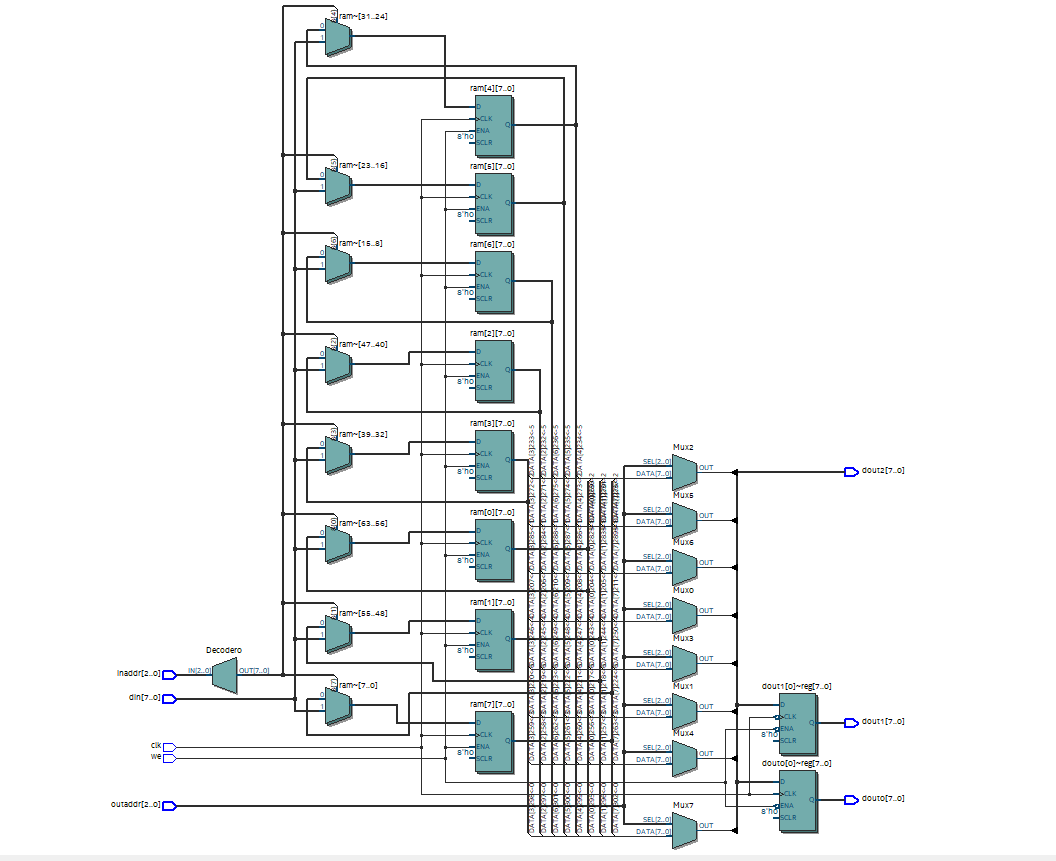
摘抄自文档，故不作赘述



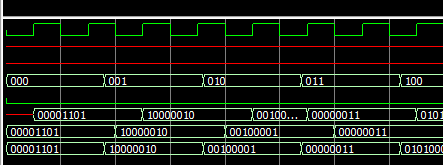
vt测试文件代码如下：

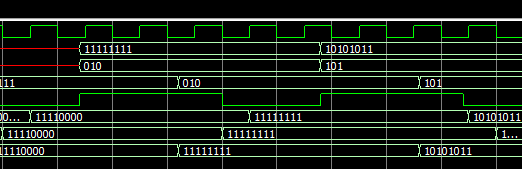


## 3.RTL视图



## 4.仿真结果





## 5.实验结果

dout0和dout1都是在we=0是才会赋值，当时钟信号上升沿到来时，dout1输出，下降沿到达时，dout2输出，而dout2与时钟无关，与outaddr保持同步输出

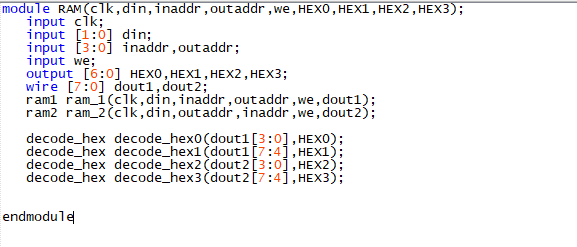
5. 两个16\*8存储器

## 1.设计思路

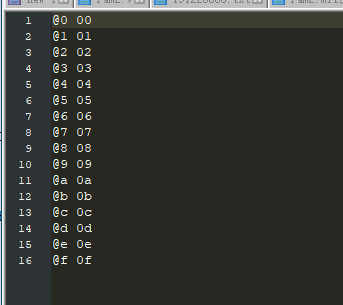
本次实验设计两个16\*8存储器，而第一个存储器需要自己手动创建，第二个存储器利用IP核由系统生成，最后在开发板上验证

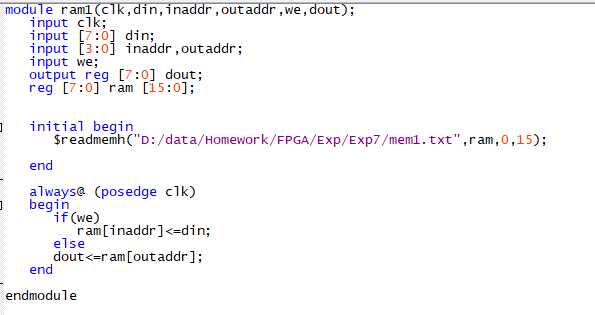
## 2.实验代码

主模块如下，其中clk为共用的时钟信号，din为共用的输入，由于开发板开关不足，所以设置成两位，高位清零，inaddr和outaddr分别为输入输出的地址，we为写入的使能端，HEX0-HEX3为输出的显示，其中HEX0,HEX1位ram1的16进制显示，HEX2,HEX3位ram2的16进制显示

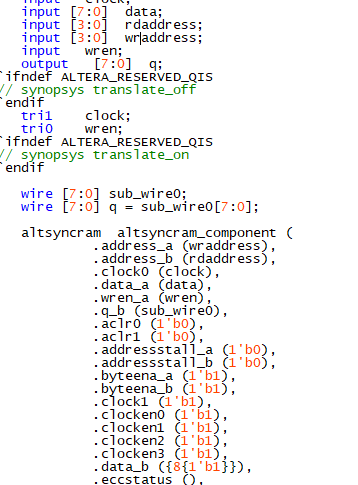


ram1的代码如下，寄存器内的内容为mem1,txt内的内容，输出也为时钟有效

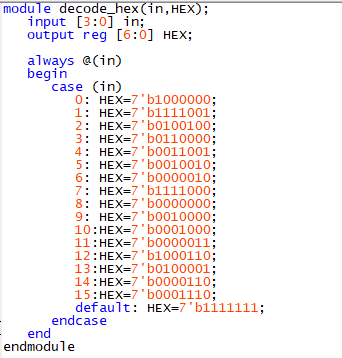




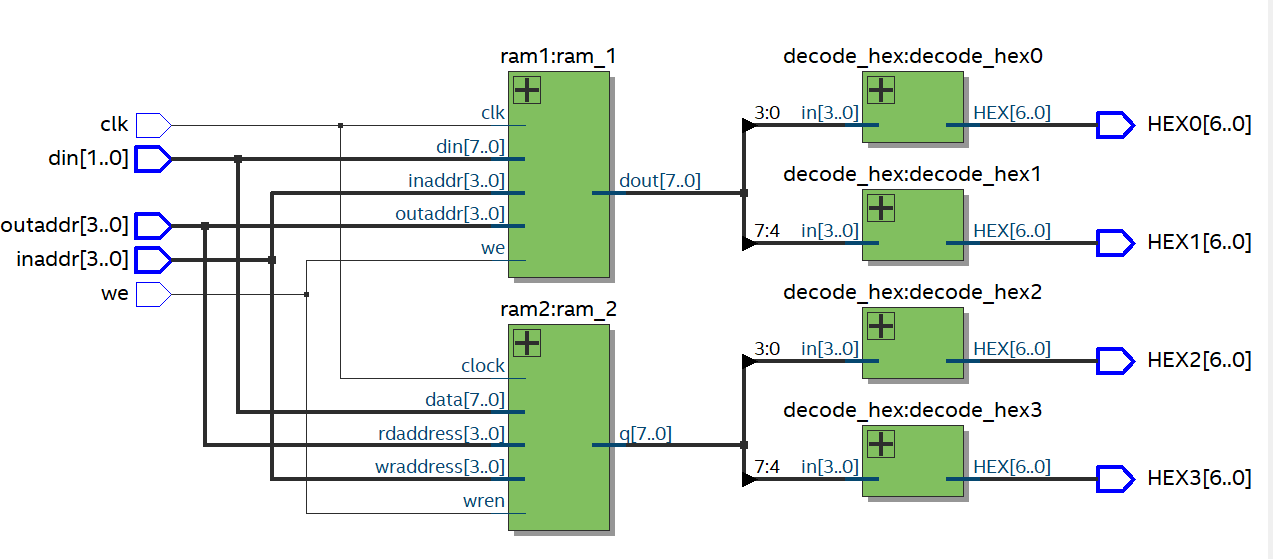
ram2的代码如下，由系统自动生成：



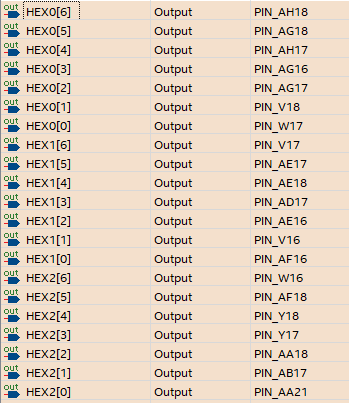
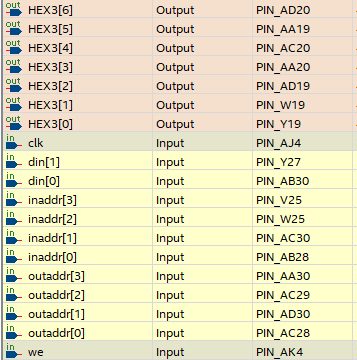
decode\_hex代码如下，功能为把2进制输出转化为16进制在七段译码管显示



## 3.RTL视图



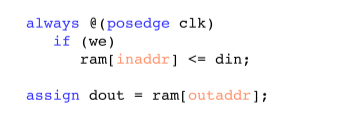
## 4.引脚分配图

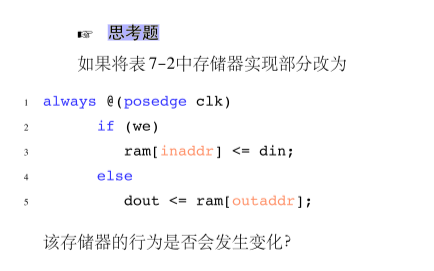


## 5.实验结果

已在开发板上验收

6.思考题





原来的代码输出与时钟信号无关，与outaddr保持同步，现在限制在always语句中，时钟信号有效才会改变

7.实验实验中遇到的问题及解决办法

在实验中发现，IP核生成的RAM2中，每次对outaddr修改后，读取其他寄存器的值，或者修改当前寄存器的值要重新输出时，RAM2总是在两个时钟周期后才会改变为实际的值。后来发现这一现象的产生与IP核系统生成的内部的时序逻辑有关，系统生成的逻辑中含有锁存器，每次时钟信号到来时，总是先锁存当前的值在寄存器中，在下一个时钟周期才输出。从这个现象中，更加能体会到：

“对于存储器，其读写时序非常重要，也是实践中容易出错的地方。读取数 据时在哪个时间点数据有效，写入数据过多久可以读取这些都要在设计时

反复检查和验证。“”

这句话的意义了