

Componenti per l'elaborazione binaria dell'informazione

Architettura degli elaboratori

M. Favalli



Engineering Department in Ferrara

Porte logiche

Il livello switch

Aspetti tecnologici

Reti logiche combinatorie

Analisi

Sintesi

Porte logiche

Il livello switch

Aspetti tecnologici

Reti logiche combinatorie

Analisi

Sintesi

Porte logiche

Si può dare una definizione duplice delle porte logiche (gate):

Visione indipendente dalla tecnologia

Semplici blocchi corrispondenti a operatori (e più in generale a semplici funzioni) dell'algebra di commutazione con le quali costruire reti logiche che realizzano funzioni più complesse

Visione dipendente dalla tecnologia

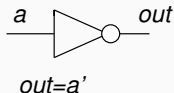
Circuiti elementari di tipo digitale messi a disposizione da una data tecnologia (ASIC, FPGA)

Al livello logico un gate è caratterizzato inizialmente da funzione e numero di ingressi (fan-in).

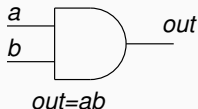
Porte logiche (fan-in ≤ 2)

Funzione e simbolo schematico

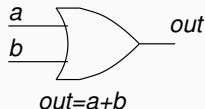
NOT



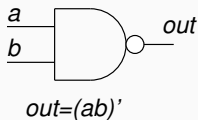
AND



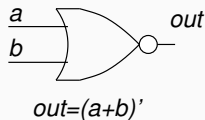
OR



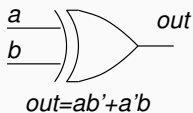
NAND



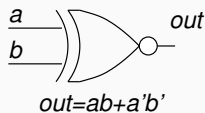
NOR



EXOR

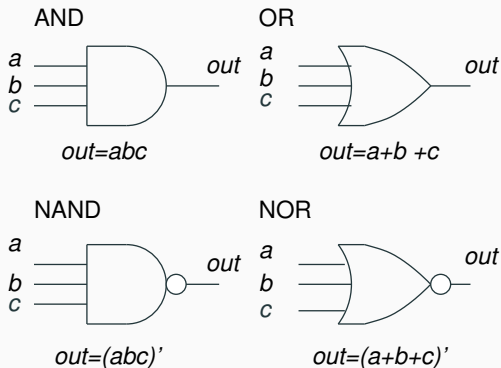


EXNOR



Porte logiche (fan-in > 2)

Funzione e simbolo schematico



- **Diverse tecnologie microelettroniche consentono di realizzare gate (TTL, ECL, MOS, CMOS, FinFET)**
- **Ciascuna tecnologia consente di realizzare in maniera efficiente solo un certo numero di tipi di gate (gli altri sono realizzabili mediante opportune reti di gate elementari)**
- **Al livello tecnologico i gate non sono caratterizzati solo dalle funzioni che realizzano, ma anche da altri parametri (costo, ritardo, consumo di potenza)**
- **Per capire questi aspetti analizzeremo una tecnologia in dettaglio**

Porte logiche

Il livello switch

Aspetti tecnologici

Reti logiche combinatorie

Analisi

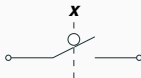
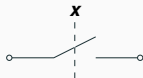
Sintesi

- La tecnologia elettronica piú diffusa é attualmente quella CMOS e quelle che stanno iniziando a sostituirla hanno un comportamento simile
- In tale tecnologia il componente elementare piú semplice descrivibile al livello logico non é il gate, ma il transistor descrivibile come un interruttore (switch)
- Un interruttore é infatti un componente binario (due stati)
- Questo ci consente di vedere il modo in cui una porta logica é costruita

Livello switch

- Supponiamo che un segnale binario (x) possa controllare lo stato (ON, OFF) dell'interruttore
- Nella tecnologia CMOS sono presenti due tipi di transistori

tipo n		tipo p	
x	stato	x	stato
0	OFF	0	ON
1	ON	1	OFF



Descrizione di reti di switch mediante l'algebra di commutazione

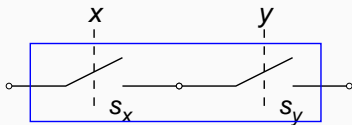
- I sistemi fisici costituiti da switch interconnessi sono descrivibili utilizzando l'algebra di commutazione
- Bisogna codificare gli stati OFF e ON con un valore binario

logica positiva		logica negativa	
0	OFF	0	ON
1	ON	1	OFF

- Per descrizione della rete, si intende un'espressione che assume il valore 1 se la rete è ON (logica positiva)

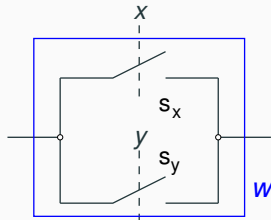
Connessioni serie e parallelo

Connessione serie:



w		
s_x	s_y	serie
OFF	OFF	OFF
OFF	ON	OFF
ON	OFF	OFF
ON	ON	ON

Connessione parallelo:



s_x	s_y	parallelo
OFF	OFF	OFF
OFF	ON	ON
ON	OFF	ON
ON	ON	ON

Rappresentazione logica

Logica positiva

s_x	s_y	serie
0	0	0
0	1	0
1	0	0
1	1	1
AND		

s_x	s_y	parallelo
0	0	0
0	1	1
1	0	1
1	1	1
OR		

Logica negativa

s_x	s_y	serie
1	1	1
1	0	1
0	1	1
0	0	0
OR		

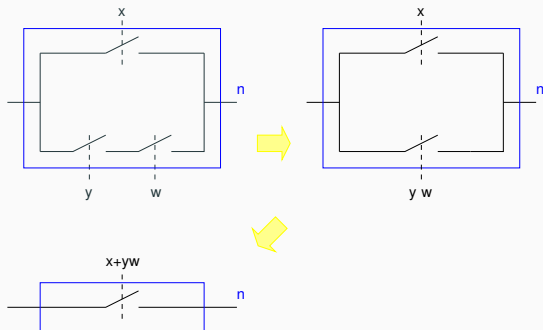
s_x	s_y	parallelo
1	1	1
1	0	0
0	1	0
0	0	0
AND		

Principio di dualità

- Utilizzando lo stesso tipo di logica, le reti serie e parallelo realizzano funzioni duali (AND, OR)
- Cambiando tipo di logica, la stessa rete viene descritta da una funzione duale
- Il principio di dualità riguarda il modello logico dei sistemi fisici
- Punto di vista del calcolo delle proposizioni
 - La serie é ON se entrambi gli switch sono ON.
 - Il parallelo é ON se uno o l'altro degli switch é ON.
 - La serie é OFF se uno degli switch é OFF.
 - Il parallelo é OFF se entrambi gli switch sono OFF.

- Reti di switch in serie e in parallelo possono essere composte in reti piú complesse
- Tali reti possono essere analizzate sostituendo iterativamente:
 1. a ciascuna serie di due o piú switch un singolo switch controllato dal prodotto logico degli ingressi degli switch sostituiti
 2. a ciascun parallelo di due o piú switch un singolo switch controllato dalla somma logica degli ingressi degli switch sostituiti

Reti di switch (esempio di analisi)

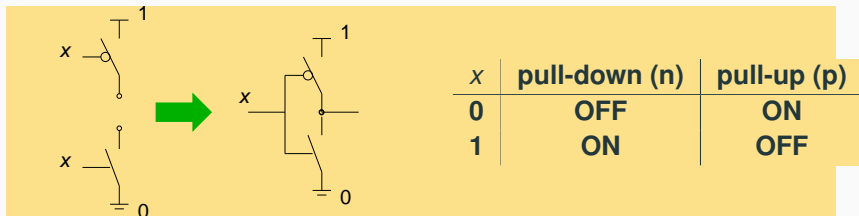


Si può quindi affermare che la rete n é ON se é vera $x + yw$

- Le reti di switch sono piuttosto interessanti, apparentemente sembrerebbero essere in grado di realizzare una qualsiasi espressione, ma c'è un problema di carattere elettrico.
- Gli switch non sono ideali ma hanno una resistenza serie per cui l'informazione si degrada attraversando serie di con troppi switch.
- Conviene utilizzarle per espressioni semplici.
- Come realizzare espressioni complesse?
- Si farà riferimento alla logica positiva

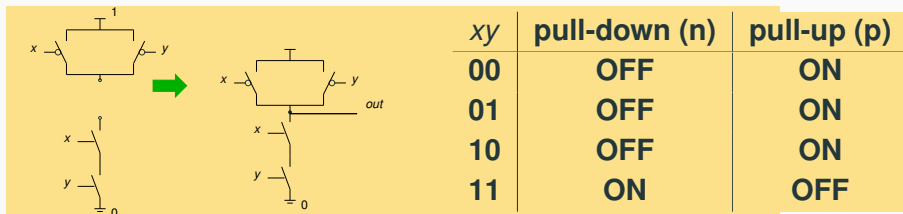
Gate (tecnologia CMOS)

- La soluzione consiste nel fare in modo che una rete di switch possa controllare gli switch di un'altra rete (con un guadagno in grado di "rinforzare" i segnali binari)
- Vediamo come esempio il caso della tecnologia CMOS
- Procuriamoci le costanti 1 (vdd) e 0 (gnd) e utilizziamo switch di tipo *p* e *n* per realizzare due reti con stati complementari



NAND

- Nella tecnologia CMOS non si può realizzare direttamente un gate AND
- La realizzazione di un NAND é simile a quella di un NOT: si costruiscono due reti complementari
 - pull-up: che pilota un 1 uno degli ingressi vale 0
 - pull-down: che pilota uno 0 quando entrambi gli ingressi valgono 1



Si realizzi la porta logica CMOS di tipo NOR ($out = (x + y)'$)

Porte logiche

Il livello switch

Aspetti tecnologici

Reti logiche combinatorie

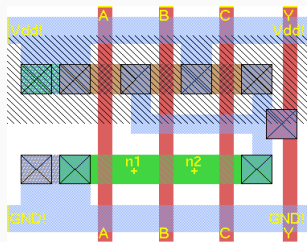
Analisi

Sintesi

- Alcune informazioni sulle porte logiche possono essere dedotte dalla loro struttura al livello switch
- Una ulteriore informazione riguarda la tecnologia:
 - i circuiti sono realizzati integrando numerose porte logiche ($> 10^6$) in un circuito integrato realizzato con materiali semiconduttori (es. silicio)
 - la tecnologia é planare: i dispositivi (switch, gate) non possono essere sovrapposti (le interconnessioni invece possono occupare diversi livelli)
 - il costo é proporzionale all'area utilizzata che dipende dal numero di dispositivi e dalle interconnessioni

- Nella tecnologia CMOS un gate corrisponde fisicamente a un'area rettangolare le cui dimensioni sono proporzionali al numero di transistori e quindi di ingressi
- In una rete complessa, un primo contributo al costo è dato da un termine proporzionale alla somma dei gate pesata sui loro ingressi
- C'è un contributo dovuto alle interconnessioni

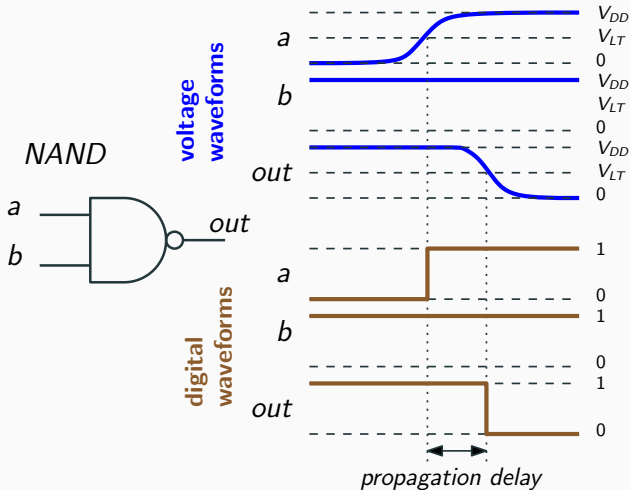
Esempio di NAND a 3 ingressi



Ritardo di propagazione

- I cambiamenti di valore degli ingressi di un gate non si riflettono istantaneamente sull'uscita
 - L'informazione é portata di valori di tensione e quindi per cambiarla é necessario muovere delle cariche
- Si ha un ritardo (detto di propagazione) che é proporzionale al numero di transistori in serie che pilotano il nuovo valore e al carico capacitivo
- Questo ritardo é molto importante perché contribuisce a determinare le prestazioni di un sistema digitale

Ritardo di propagazione



Porte logiche

Il livello switch

Aspetti tecnologici

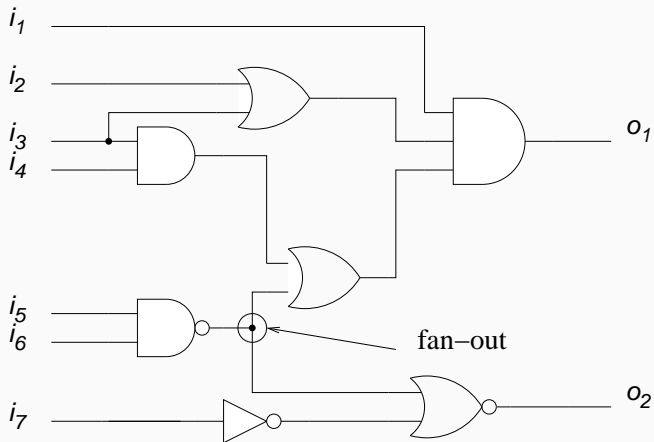
Reti logiche combinatorie

Analisi

Sintesi

- Una rete logica consiste di un insieme di porte logiche interconnesse secondo opportune regole in modo da realizzare una funzione $f : \{0, 1\}^n \rightarrow \{0, 1\}^m$
- Siano i_1, i_2, \dots, i_n gli ingressi di tale rete e o_1, o_2, \dots, o_m , le sue uscite
- Regole
 - gli ingressi di un gate possono essere dati da ingressi della rete, da una costante o da uscite di altri gate
 - l'uscita di un gate può essere connessa agli ingressi di un altro gate o può pilotare un uscita
 - le uscite di due gate non devono mai essere connesse insieme
 - non devono esistere cammini ciclici nella rete

Esempio



- **Per analisi di una rete combinatoria, si intende il processo che partendo dalla rete fornisce la funzione corrispondente**
- **Per sintesi di una rete combinatoria, si intende il processo che partendo da una funzione e da eventuali obbiettivi di progetto (costo, ritardo) produce una rete**
- **In entrambi i casi, le espressioni dell'algebra di commutazione sono il modello matematico che consente di gestire le trasformazioni che si hanno nei due processi**

Algoritmo di analisi

Rete logica



algoritmo

Espressione

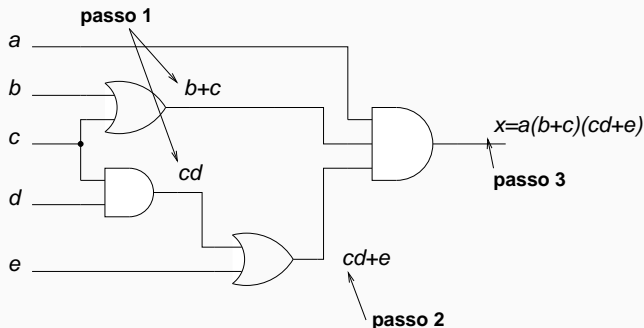


valutazione

Funzione

1. Si assegna un nome a ciascun ingresso
2. Si procede in maniera iterativa dagli ingressi del circuito esprimendo l'uscita di ciascun gate come un'espressione degli ingressi della rete
 - a ciascun passo vengono considerati tutti i gate i cui ingressi sono già stati calcolati
3. Si procede fino a quando non si ha l'espressione di tutte le uscite della rete
4. Si valutano tali espressioni ottenendo la tabella di verità

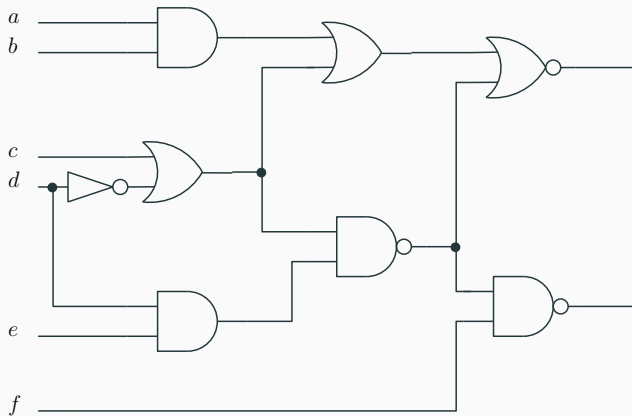
Esempio di analisi - I



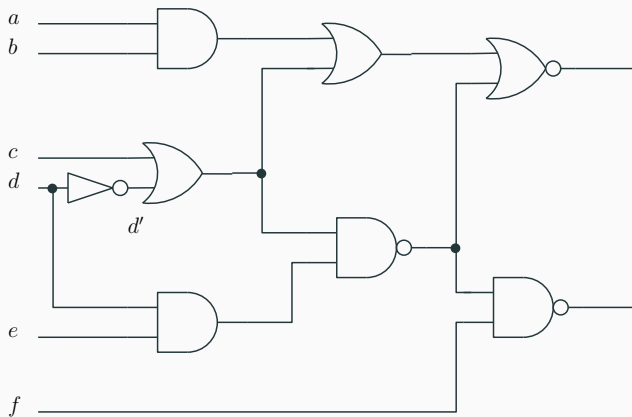
Una volta ottenuta l'espressione dell'uscita, si può fare la valutazione e ottenere la relativa funzione

<i>abcde</i>	$a(b+c)(cd+e)$	valore
00000	$0 \cdot (0+0) \cdot (0 \cdot 0+0) = 0 \cdot 0 \cdot (0+0)$	0
....
11001	$1 \cdot (1+0) \cdot (0 \cdot 0+1) = 1 \cdot 1 \cdot (0+1)$	0
....

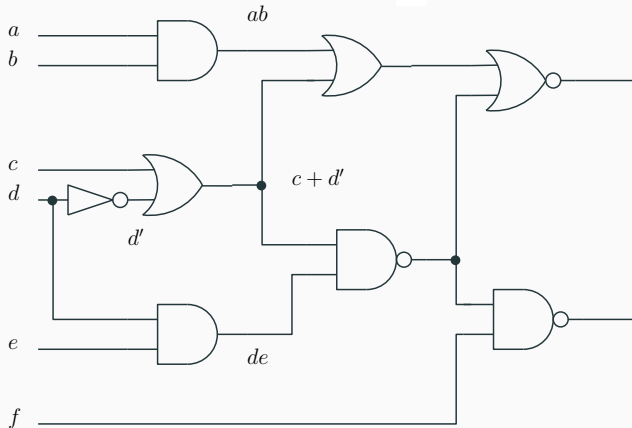
Esempio di analisi - II



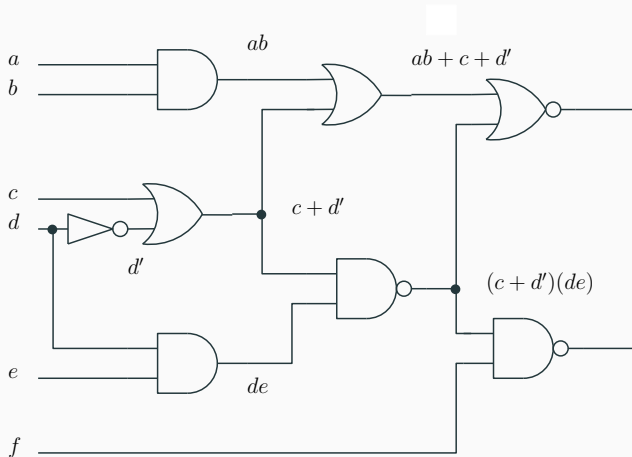
Esempio di analisi - II



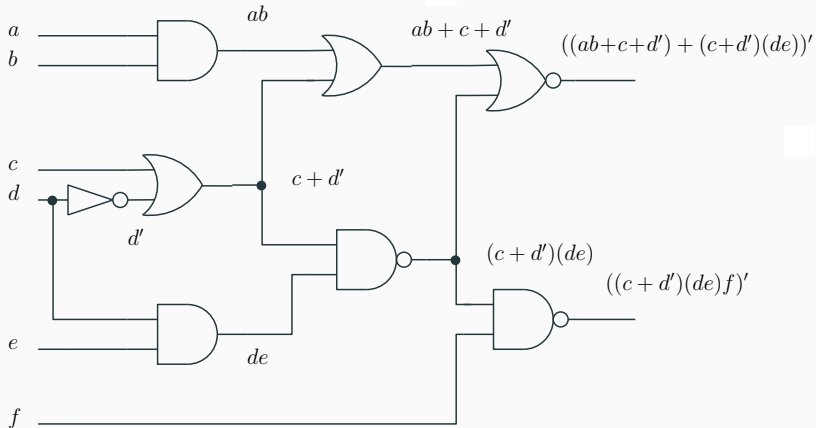
Esempio di analisi - II



Esempio di analisi - II



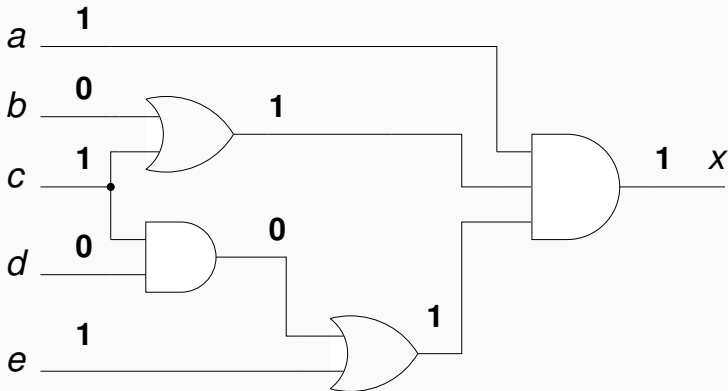
Esempio di analisi - II



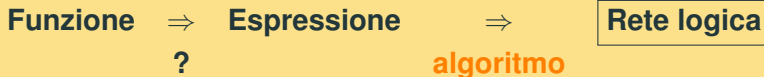
- La funzione associata a una rete combinatoria può essere calcolato senza utilizzare l'espressione corrispondente
- Le configurazioni vengono applicate agli ingressi e attraversa la rete verso le uscite calcolando l'uscita di ogni gate sulla base della sua definizione
- Questo compito può essere fatto da strumenti detti **simulatori logici**
- Indipendentemente dal metodo utilizzato, l'analisi di una rete combinatoria ha un costo proporzionale a 2^n (n è il numero di ingressi)
- Un circuito che implementa la somma in una CPU ha $n = 129$, è possibile calcolare la funzione associata?

Esempio di simulazione

Si noti che questo tipo di simulazione (funzionale) non tiene conto dei ritardi dei gate che i simulatori possono comunque tenere in conto



Algoritmo di sintesi (da espressione a rete) - I

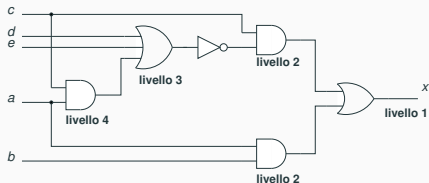


1. Si inseriscono nell'espressione tutte le parentesi compreso quelle rese non necessarie dalle regole dell'algebra di commutazione (senza considerare le complementazioni)
2. Si analizza l'espressione determinando il livello di ciascun operatore binario
 - 2.1 si inizializza un indice di livello a 1 o a 0 (se tutta l'espressione é racchiusa fra parentesi)
 - 2.2 si incrementa di 1 tale indice tutte le volte che si incontra una parentesi aperta e lo si decrementa di 1 tutte le volte che si incontra una parentesi chiusa

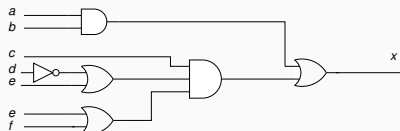
3. **Si disegnano i segnali di ingresso corrispondenti alle diverse variabili dell'espressione**
4. **Partendo dal valore piú alto dell'indice di livello, si disegnano i simboli dei gate corrispondenti agli operatori connettendo gli opportuni segnali di ingresso a tale gate**
5. **Nel caso una variabile di ingresso o una parentesi risultino complementate si aggiunge un invertitore**

Esempi di sintesi

$$\begin{aligned}
 x &= ab + c(d + e + ac)' \\
 &= (a \cdot b) + (c \cdot (d + e + (a \cdot c)))' \\
 &= {}_1(a \cdot {}_2b) + {}_1(c \cdot {}_2(d + {}_3e + {}_3(a \cdot {}_4c)))'
 \end{aligned}$$



$$\begin{aligned}
 x &= ab + c(d' + e)(f + g) \\
 &= (a \cdot b) + (c \cdot (d' + e) \cdot (f + g)) \\
 &= {}_1(a \cdot {}_2b) + {}_1(c \cdot {}_2(d' + {}_3e) \cdot {}_2(f + {}_3g))
 \end{aligned}$$



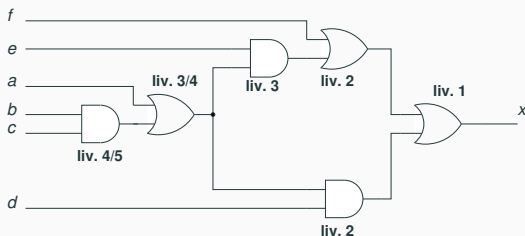
Il ruolo del fan-out

- É possibile che una porta logica ne piloti piú di una (fan-out > 1)
- Questo consente di ridurre il numero di porte logiche e di conseguenza il costo di una rete
- L'unico problema é un aumento del ritardo della rete
- Dal punto di vista degli algoritmi di analisi non cambia nulla
- Dal punto di vista della sintesi, invece, si hanno dei cambiamenti: prima del passo 3, si inserisce un ulteriore passo di ricerca di sottoespressioni comuni
- Per il momento, questa operazione verrà svolta su basi intuitive

Sintesi in presenza di fan-out

$$\begin{aligned}x &= (a + bc)d + ((a + bc)e + f) \\&= ((a + (bc))d) + (((a + (bc))e) + f) \\&= ((a +_3 (b \cdot_4 c)) \cdot_2 d) +_1 (((a +_4 (b \cdot_5 c)) \cdot_3 e) +_2 f)\end{aligned}$$

Nel disegnare la rete conviene considerare prima le sottoespressioni con i livelli maggiori



- Si é visto come si possa passare da un espressione a una rete o da una rete a un espressione a una funzione (tramite la valutazione)
- Non sappiamo ancora come passare da una funzione a un espressione
- Questo passo é quello piú rilevante dal punto di vista della sintesi