

ARM 프로세서

IT융합공학부 권혁동

Contents

ARM 프로세서

레지스터 구조

개발환경



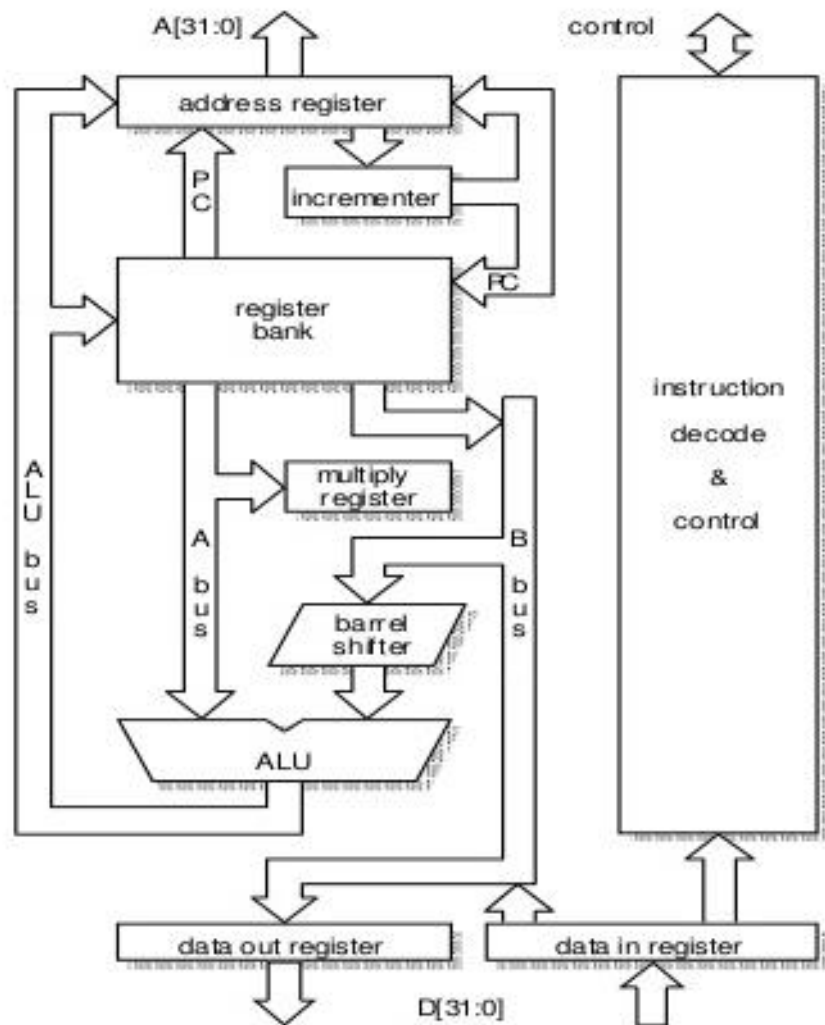
ARM 프로세서

- **Advanced RISC Machine**
- 임베디드 시스템에 자주 활용되는 프로세서
- 버클리 RISC I, II, Stanford MIPS 기반
 - load-store 아키텍처
 - 32비트 인스트럭션
 - 3-address 인스트럭션 규격
- **RISC 방식을 사용**

ARM 프로세서

- CISC
 - Complex Instruction Set Computer
 - 명령어의 길이가 길고 연산이 복잡
- RISC
 - Reduced Instruction Set Computer
 - 명령어 길이가 **16, 32비트로 균일**
 - 명령어의 실행 사이클 **1사이클로 균일**
 - **범용 레지스터**(GPR) 사용
 - 약 100개의 인스트럭션

ARM 프로세서



레지스터 구조

- 총 **37개**의 레지스터
- 모두 **32비트**로 동일한 크기
- 사용 가능한 레지스터는 **16 + 2개 레지스터**
 - 데이터 레지스터 16개
 - 상태 레지스터 2개

레지스터 구조

- 총 **37개**의 레지스터
- 모두 **32비트**로 동일한 크기
- 사용 가능한 레지스터는 **16 + 2개 레지스터**
 - 데이터 레지스터 16개
 - 상태 레지스터 2개

레지스터 구조

- 데이터 레지스터
- R0 ~ R15까지의 레지스터
- R13, R14, R15는 특정 용도로 사용
 - R13: 스택 포인터
 - R14: 링크 레지스터
 - R15: 프로그램 카운터
- R13, R14는 GPR로도 사용 가능
- R0를 사용하는 인스트럭션은 다른 GPR(R1 ~ R13)과 조합 가능

레지스터 구조

- 상태 레지스터
- CPSR(Current Program Status Register)
- SPSR(Saved Program Status Register)

레지스터 구조

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
N	Z	C	V	Q	Res	J	Res	GE[3:0]	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	E	A	I	F	T	Mode	Mode	Mode	Mode	Mode

- 8비트 네 구간으로 구성
 - Flag, Status, Extension, Control

필드	기능	필드	기능
N	음수 플래그, 플래그 설정 연산 결과 기록	GE[3:0]	SIMD greater - or - equal
Z	제로 플래그, 플래그 설정 연산 결과 0	E	엔디안 제어
C	캐리	A	1일 경우, 확실치 않은 abort 실행 안함
V	오버플로우	I	1일 경우, IRQ 비활성화
Q	포화 플래그, 포화 시에 기록	F	1일 경우, FIQ 비활성화
J	1일 경우, 자바 실행 가능	T	1일 경우, Thumb / 0일 경우, ARM 상태
Res	예비용	Mode	프로세서 모드

개발환경

- 인스트럭션 세트
 - load-store 아키텍처
 - 3-address data processing
- 다수의 레지스터를 대상으로 load-store 가능
- 소스파일 규격
 - 작성: C 또는 어셈블리어
 - 컴파일: ARM 오브젝트 포맷(.맷) 파일
 - 링크: ARM 이미지 포맷(.aif) 파일
 - 이미지 파일은 ARM 심볼릭 디버거(ARMsd)로 디버깅 가능

개발환경

- ARM C 컴파일러
 - ANSI C 기준을 따름
 - 외부 함수 ARM 프로시저 호출 함수 사용 가능
 - ARM 오브젝트 포맷 대신 어셈블리 소스 출력 가능
- ARM 링커
 - 오브젝트 파일들을 모아 실행 가능한 프로그램을 생성
 - 오브젝트 파일과 오브젝트 모듈간의 심볼릭 관계를 형성