HỌC VIỆN CÔNG NGHỆ BƯU CHÍNH VIỄN THÔNG KHOA KỸ THUẬT ĐIỆN TỬ I



BÁO CÁO: BÀI TẬP LỚN HỌC PHẦN ĐIỆN TỬ SỐ

Giảng viên : Vũ Anh Đào

Nhóm sinh viên: Nhóm 3

Trần Quang Anh B22DCCN044

Nguyễn Hữu Phúc B22DCAT224

Phí Quốc Tư Sơn B22DCAT249

Hà Nội, năm 2024

Mục lục

I. Nhiệi	m vụ và đánh giá các thành viên	3
II. Nội d	lung	3
1. N	Tô phỏng hệ thống bằng phần mềm LogicWorks/Protus	3
1.1.	Mạch hiển thị thời gian với khung 12 giờ	3
1.2.	Sơ đồ khối	4
1.3.	Chức năng từng khối	4
	hiết kế mạch tuần tự đồng bộ dùng trigơ JK để mô phỏng mạch đị	
khiến (của máy bán hàng tự động	8
2.1.	Dùng phương pháp đồ hình trạng thái	8
2.2.	Thiết kế mạch	12

I. Nhiệm vụ và đánh giá các thành viên

Họ và tên	Chức vụ	Nhiệm vụ	Mức độ tham gia
Trần Quang Anh	Thành viên	Nghiên cứu và làm bài 2	Tích cực
Nguyễn Hữu Phúc	Nhóm Trưởng	Thiết kế mạch bài 1 và vẽ trên phần mềm Proteus	Tích cực
Phí Quốc Tư Sơn	Thành viên	Tìm hiểu IC 74390 và viết báo cáo	Tích cực

II. Nội dung

1. Mô phỏng hệ thống bằng phần mềm LogicWorks/Protus

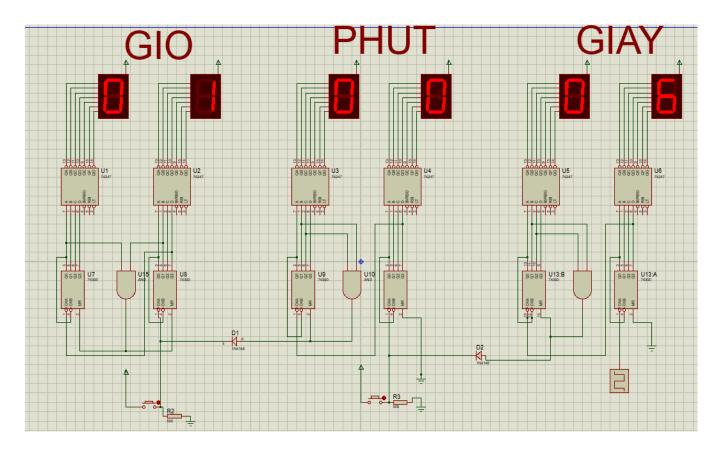
Sử dụng IC 74390 để thiết kế hệ thống hiển thị thời gian với khung 12 giờ. Mô phỏng hệ thống bằng phần mềm LogicWorks/Protus

1.1. Mạch hiển thị thời gian với khung 12 giờ

a. Linh kiện cần dùng

- IC 74390
- IC 74247
- LED 7 đoạn A chung
- Cổng logic AND 2 đầu vào 1 đầu ra
- Nút bấm

b. Sản phẩm



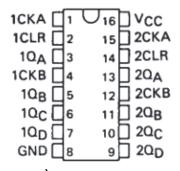
1.2.Sơ đồ khối

- Khối tạo xung
- Khối giải mã
- Khối hiển thị
- Khối nút bấm

1.3. Chức năng từng khối

a. Khối tạo xung

- IC 74390 bao gồm 2 chân Clock, 1 chân MR (Master Reset) và 4 chân
- Khối tạo xung sử dụng 6 IC 74390 đc thiết kế để đếm các xung điện và chia tần số
- Chức năng của các chân:
 - o Q0 Q3 là các chân đầu ra của QC
 - $\circ~$ CKA, CKB là các chân nhận xung Clock.
 - MR là chân Master Reset. Chân MR hoạt động ở chế độ tích cực cao.
 Để IC đếm hoạt động bình thường ta nối chân MR của IC với GND (tích cực thấp)



Sơ đồ chân IC 74390

'390, 'LS390 **BCD COUNT SEQUENCE** (EACH COUNTER) (See Note A)

COUNT		ουτ	PUT	
COONT	σ_{D}	σc	α_{B}	\mathbf{Q}_{A}
0	L	L.	L	L
1	L	L	L	н
2	L	L	н	L
3	L	L	н	н
4	L	н	L	L
5	L	Н	L	н
6	L	н	н	L
7	L	н	н	н
8	н	L	L	L
9	н	L	L	н

FUNCTION TABLES '390, 'LS390 BI-QUINARY (5-2) (EACH COUNTER) (See Note B)

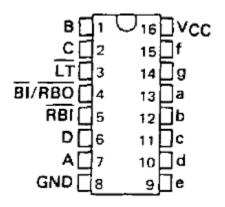
COUNT		OUT	PUT	
COONT	Q_{A}	α_{D}	α_{C}	α_{B}
0	L	L	L	L
1	L	L	L	н
2	L	L	Н	L
3	L	L	Н	н
4	L.	Н	L	L
5	н	L	L	L
6	н	L	L	н
7	н	L.	Н	L
8	н	L	н	н
9	н	н	L	L

- NOTES: A. Output QA is connected to input B for BCD count.
 - B. Output QD is connected to input A for bi-quinary
 - count.

 C. H = high level, L = low level.

Bảng trạng thái IC 74390

b. Khối giải mã



Sơ đồ chân IC 74247

- Khối giải mã bao gồm 6 ic 74247 dùng để giải mã cho khối hiển thị ứng với các ic của giờ, phút, giây.
- IC 74247 sử dụng đầu vào 4 bit đầu vào nhị phân cho đầu ra hiển thị số từ 0 đến 9 trên LED 7 đoạn A chung.
- Sơ đồ chân IC 74247:
 - O Các chân từ A đến D: chân nhận dữ liệu đầu vào;
 - Các chân QA đến QG: hiển thị bit trên LED 7 đoạn tương ứng các LED từ a đến g;

	240, 247, ES247 TONOTION TABLE (11)														
DECIMAL OR		,	INP	UTS			BI/RBO†			o	UTPU	rs			NOTE
FUNCTION	LT	RBI	D	С	В	A		а	ь	c	d	е	f	9	
0	н	H	L	L	L.	L	н	ON	ON	ON	ON	ON	ON	OFF	
1	н	×	L	L	L	н	н	OFF	ON	ON	OFF	OFF	OFF	OFF	
2	Н	×	L	L.	н	L	н	ON	ON	OFF	ON	ON	OFF	ON	
3	н	×	Ł	L	н	н	H	ON	ON	ON	ON	OFF	OFF	ON	
4	Н	×	L	н	L	L	н	OFF	ON	ON	OFF	OFF	ON	ON	
5	Н	×	L	н	L	H	н	ON	OFF	ON	ON	OFF	ON	ON	
6	н	×	L	н	н	L	н	ON	OFF	ON	ON	ON	ON	ON	
7	н	×	L	н	н	н	н	ON	ON	ON	OFF	OFF	OFF	OFF	
8	н	×	н	L.	L	L	н	ON	ON	ON	ON	ON	ON	ON	1
9	н	×	н	L	L	H	н	ON	ON	ON	ON	OFF	ON	ON	
10	н	×	н	L	н	L	н	OFF	OFF	OFF	ON	ON	OFF	ON	
11	н	×	н	L	н	н	н	OFF	OFF	ON	ON	OFF	OFF	ON	
12	н	×	н	н	L	L	н	OFF	ON	OFF	OFF	OFF	ON	ON	
13	н	×	н	н	L	н	н	ON	OFF	OFF	ON	OFF	ON	ON	
14	н	×	н	H	н	L	н	OFF	OFF	OFF	ON	ON	ON	ON	
15	н	×	н	н	н	н	H	OFF	OFF	OFF	OFF	OFF	OFF	OFF	
哥	×	×	×	×	×	×	L	OFF	OFF	OFF	OFF	OFF	OFF	OFF	2
RBI	н	L	L	L	L	ᆫ	L	OFF	OFF	OFF	OFF	OFF	OFF	OFF	3
ĒŦ	L	×	×	×	×	×	н	ON	ON	ON	ON	ON	ON	ON	4

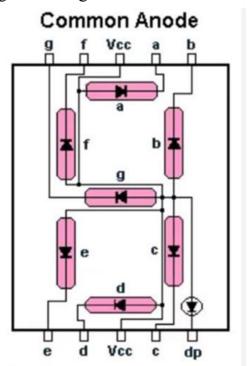
Bảng trạng thái IC 74247 chuyển đổi từ thập phân sang nhị phân

- Ở các LED hiển thị số giờ, phút và giây:
 - Tại hàng đơn vị ta sử dụng bộ đếm Mod 10 để hiển thị các số từ 0 đến 9
 và quay lại.
 - o Khi đếm hết một chu kì ta chuyển sang đếm hàng chục, ở hàng chục ta sử dụng bộ đếm Mod 6 hiển thị từ 0 đến 5, để hiển thị được Mod 6 thì cần phải Reset tại thời điểm 0110. Do IC chỉ có 1 chân MR để Reset nên ta đưa dữ liệu của chân Q1 và Q2 qua cổng AND sau đó đưa vào chân MR của IC ta được bộ đếm Mod 6.

Để hiển thị giờ đến 12 giờ (00h00p00s đến 11h59p59s), tại hàng chục ta thực hiện bộ đếm Mod 1 (0 -> 1) và hàng đơn vị thực hiện bộ đếm Mod 10 (0 -> ... -> 9). Nhưng khi hàng chục tiến đến 1 ta chỉ để hàng đơn vị tiến tới 1 để thỏa mãn yêu cầu đề bài nên ta cần kết hợp 2 IC để đưa ra dữ liệu thỏa mãn. Vì vậy ta cần kết hợp bit ở chân Q0 ở IC hàng chục và bit ở chân Q1 ở IC hàng đơn vị qua một cổng AND đưa lối ra vào chân MR của 2 IC.

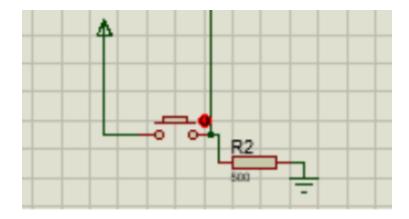
c. Khối hiển thị

- Khối hiển thị sử dụng 3 LED 7 đoạn A chung thể hiện giờ, phút, giây để hiển thị với khung 12 giờ
- LED 7 đoạn A chung cấu tạo bởi 7 LED đơn nối tiếp nhau đánh dấu từ a đến g, có chân chung nối với nguồn VCC.



- LED 7 đoạn A chung

d. Khối nút bấm



- Khối nút bấm dùng để điều chỉnh cũng như tạo xung con cho IC giải mã với mục đích thử nghiệm các trường hợp nhanh hơn.

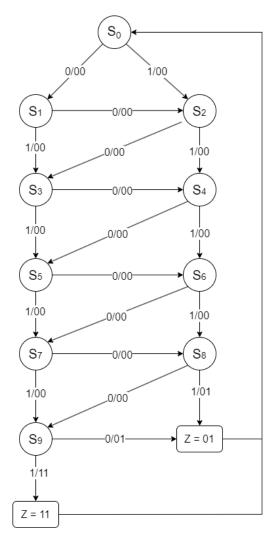
2. Thiết kế mạch tuần tự đồng bộ dùng trigo JK để mô phỏng mạch điều khiển của máy bán hàng tự động

Một máy bán hàng tự động sẽ thả kẹo sau khi nhận được 50 xu. Máy có một khe nhận tiền xu gồm đồng 5 xu và 10 xu, mỗi lần nhận một xu. Nếu đưa vào nhiều hơn 50 xu, máy sẽ trả lại tiền thừa. Sau khi sản phẩm được đưa ra, máy sẽ trở lại trạng thái đợi ban đầu. Hãy thiết kế mạch tuần tự đồng bộ dùng trigơ JK để mô phỏng mạch điều khiển của máy bán hàng tự động.

2.1. Dùng phương pháp đồ hình trạng thái

D	Tương ứng
0	5 xu
1	10 xu

Z_1Z_0	Tương ứng
00	Không làm gì
01	Nhả kẹo
11	Nhả kẹo và 5xu
10	Thừa



Đồ hình trạng thái

S_n	S _r	n+1	Z_1	Z_0
	D = 0	D = 1	D = 0	D = 1
S_0	S_1	S_2	00	00
S_1	S_2	S_3	00	00
S_2	S_3	S_4	00	00
S_3	S ₄	S_5	00	00
S_4	S_5	S_6	00	00
S_5	S_6	S_7	00	00
S_6	S_7	S_8	00	00
S_7	S_8	S_9	00	00
S_8	S_9	S_0	00	01
S_9	S_0	S_0	01	11

Bảng trạng thái

S_n	S _r	n+1	Z_1	Z_0	J_3	K ₃	J_2	K_2	J_1	K_1		J_0K_0
	D= 0	D= 1	D= 0	D= 1	D= 0	D= 1	D= 0	D= 1	D= 0	D=1	D= 0	D= 1
0000	0001	0011	00	00	0X	0X	0X	0X	0X	1X	1X	1X
0001	0011	0010	00	00	0X	0X	0X	0X	1X	1X	X0	X1
0011	0010	0110	00	00	0X	0X	0X	1X	X0	X0	X1	X1
0010	0110	0111	00	00	0X	0X	1X	1X	X0	X0	0X	1X
0110	0111	0101	00	00	0X	0X	X0	X0	X0	X0	1X	1X
0111	0101	0100	00	00	0X	0X	X0	X0	X1	X1	X0	X1
0101	0100	1100	00	00	0X	1X	X0	X0	0X	0X	X1	X1
0100	1100	1101	00	00	1X	1X	X0	X0	0X	0X	0X	1X
1100	1101	0000	00	01	X0	X1	X0	X1	0X	0X	1X	0X
1101	0000	0000	01	11	X1	X1	X1	X1	0X	0X	X1	X1

Bảng hàm kích

Bảng Karnaugh

• J₃:

$D/Q_3Q_2Q_1Q_0$	0000	0001	0011	0010	0110	0111	0101	0100	1100	1101
0	0	0	0	0	0	0	0	1	X	X
1	X	X	X	X	X	X	X	X	0	1

$$J_3 = \overline{Q}_3 Q_2 \ \overline{Q}_1 \overline{Q}_0 + Q_3 Q_2 \overline{Q}_1 Q_0$$

• K₃:

$D/Q_3Q_2Q_1Q_0$	0000	0001	0011	0010	0110	0111	0101	0100	1100	1101
0	0	0	0	0	0	0	1	1	X	X
1	X	X	X	X	X	X	X	X	1	1

$$K_3 = Q_2 \overline{Q}_1$$

• J₂:

$\boxed{D/Q_3Q_2Q_1Q_0}$	0000	0001	0011	0010	0110	0111	0101	0100	1100	1101
0	0	0	0 <	1	X	X	X	X	X	X
1	X	X	X	X	0	0	0	0	0	1

$$J_2 = \overline{D}\overline{Q}_3 + D$$

• K₂:

$D/Q_3Q_2Q_1Q_0$	0000	0001	0011	0010	0110	0111	0101	0100	1100	1101
0	0	0	/ 1	1	X	X	X	\mathbf{X}	X	X \
		(
1	X	x \	X	\mathbf{x}	0	0	0	0 /	1	1 /
	11				Ü	Ü	Ü	Ü		

$$\mathbf{K}_2 = \overline{\mathbf{Q}}_3 \overline{\mathbf{Q}}_2 \mathbf{Q}_1 + \mathbf{Q}_3 \mathbf{Q}_2 \overline{\mathbf{Q}}_1$$

• J₁:

$D/Q_3Q_2Q_1Q_0$	0000	0001	0011	0010	0110	0111	0101	0100	1100	1101
0	0	1	X	X	X	X _	0	0	0	0
1	X	X	0	0	0 <	1	X	X	X	X

$$J_1 = \overline{D}\overline{Q}_3 + DQ_2\overline{Q}_1$$

• K₁:

$D/Q_3Q_2Q_1Q_0$	0000	0001	0011	0010	0110	0111	0101	0100	1100	1101
0	1	1	X	X	X	X	0	0	0	0
1	X	X	0	0	0 (1	X	X	X	X

 $K_1 = \overline{D}\overline{Q}_3\overline{Q}_2$

• J₀:

$D/Q_3Q_2Q_1Q_0$	0000	0001	0011	0010	0110	0111	0101	0100	1100	1101
0	1	X	X	0	1	X	X	0	1	X
1	X	0	1	X	X	0	1	X	X	1
$J_0 = \overline{Q}_3 \overline{Q}_2 \overline{Q}_1 \overline{Q}_0 + \overline{Q}_3 \overline{Q}_2 Q_1 Q_0 + \overline{Q}_3 Q_2 Q_1 \overline{Q}_0 + \overline{Q}_3 Q_2 \overline{Q}_1 Q_0 + Q_3 Q_2 \overline{Q}_1 \overline{Q}_0 + Q_3 Q_2 \overline{Q}_1 Q_0$										

• K₀:

$\boxed{D/Q_3Q_2Q_1Q_0}$	0000	0001	0011	0010	0110	0111	0101	0100	1100	1101
0	1	X	X	1	1	X	X	1	0	X
1	X	1	1	X	X	1	1	X	X	1

2.2.Thiết kế mạch