

# **RTL8762D 硬件使用指南**

**Draft v1.0**

**2021/1/21**

## 修订历史 (Revision History)

日期	版本	修改	作者
2021/01/ 22	Draft V0.1	初稿	

Realtek Confidential

# 目 录

目 录.....	1
1 特别说明.....	4
2 芯片配置.....	5
3 复位.....	6
4 晶振需求.....	7
4.1 量产频偏校准说明.....	8
4.1.1 所有 PCB 使用一样的电容设定，不做单独校准.....	8
4.1.2 每块 PCB 做单独校准.....	8
4.2 起振等待时间设定.....	8
5 PAD.....	11
6 Flash.....	12
6.1 Bypass mode.....	12
6.2 外部 Flash 使用建议.....	12
7 特别提示.....	13
8 麦克风.....	14
8.1 Analog MEMS MIC.....	14
8.2 Digital MIC.....	14
8.3 Omnidirectional Condenser MIC.....	15
9 AUXADC & LPC.....	16
10 DC/DC Buck.....	18
11 eFuse 烧写.....	19
12 天线.....	20
12.1 PCB 天线.....	20
12.2 顶针天线.....	21
13 RF 电路.....	22
13.1 RF power pin.....	22
13.2 RF Matching circuit.....	22
13.3 RF trace impedance.....	22

14 PCB Layout Guide .....	24
14.1 元件布局顺序 .....	24
14.2 DC/DC 电路元件 Placement & Layout.....	24
14.3 电源 Bypass 电容布局规范 .....	26
14.4 外部 Flash 及 I8080.....	27
14.5 RF 布局走线规范 .....	28
14.6 40MHz 晶振布局走线规范.....	30
14.7 MISC .....	31
14.8 ESD Layout.....	32
14.9 MP 测试点 .....	33
15 两层板注意事项.....	34
16 MP 产线 ESD 保护注意事项.....	35
17 Debug 流程 .....	36
18 RTL8762C 和 RTL8762D 差异 .....	37

## 1 特别说明

文中说明无特别标注部分，一般以 RTL8762D 代指所有 IC。

Realtek Confidential

## 2 芯片配置

RTL8762D 系列芯片配置表

	RTL8762DGF	RTL8752DJF RTL8762DJF RTL8762DDF	RTL8762DW	RTL8762DK	RTL8762DKF
package	QFN32	QFN40	QFN56	QFN48	QFN48
Flash type	Internal	internal	external	external	internal
VBAT range <sup>(1)</sup>	1.8~3.3V				
IO number <sup>(2)</sup>	18 <sup>(3)</sup>	26 <sup>(3)</sup>	38 <sup>(3)</sup>	32 <sup>(3)</sup>	34 <sup>(3)</sup>
AUX ADC channel number <sup>(4)</sup>	4	6	8	8	8
SPI	2				
UART	2+1 <sup>(5)</sup>				
I2C	2				
IR T/RX	1				
Key scan	1				
I8080 interface	NO		1		NO
MIC BIAS	NO	1			
SPIC	0	0	3 <sup>(6)</sup>	1 <sup>(6)</sup>	0

- 1) 使用 external Flash, VBAT 会受限于 Flash 电压;
- 2) external 32.768KHz 共用 2 个 IO, MIC BIAS 共用 1 个 IO, external Flash 4-bit mode 共用 2 个 IO; SWD port 和 UART port 计入 IO 总数;
- 3) P0\_3 为 log pin 只能 NC, 不能复用;
- 4) Audio ADC 使用 P2\_6, P2\_7; 另外有 1 Channel Low power competitor;
- 5) 1 个 UART 已作 log 使用;
- 6) SPIC0 固定接 external flash

### 3 复位

HW\_RST\_N 是复位管脚，低电平有效。该管脚为高阻态，芯片内建~100K ohm 上拉，建议在外部管脚添加电容。如果不用 reset IC，建议外部加 10K 上拉电阻。

Realtek Confidential

## 4 晶振需求

**40MHz crystal:**为 MCU active 状态的参考时钟，RTL8762D 可以使用 CL 规格为 7pF 或者 9pF 的 40M 晶振。晶振规格要求请参考 HDK 文档中 rBom list。

使用 CL=7/9pF 晶振是可以只使用芯片内部电容作为匹配电容，但量产时需要对每颗 IC 单独做校准。

如果期望使用统一的电容设定值，不对每块 PCB 都做单独的频偏校准，**建议使用 CL=9pF** 的晶振和外部电容 C<sub>1</sub>, C<sub>2</sub> 和芯片内部电容共同调整频偏。

如何选择合适的内部&外部电容值，请参考 4.1 量产频偏校准说明。

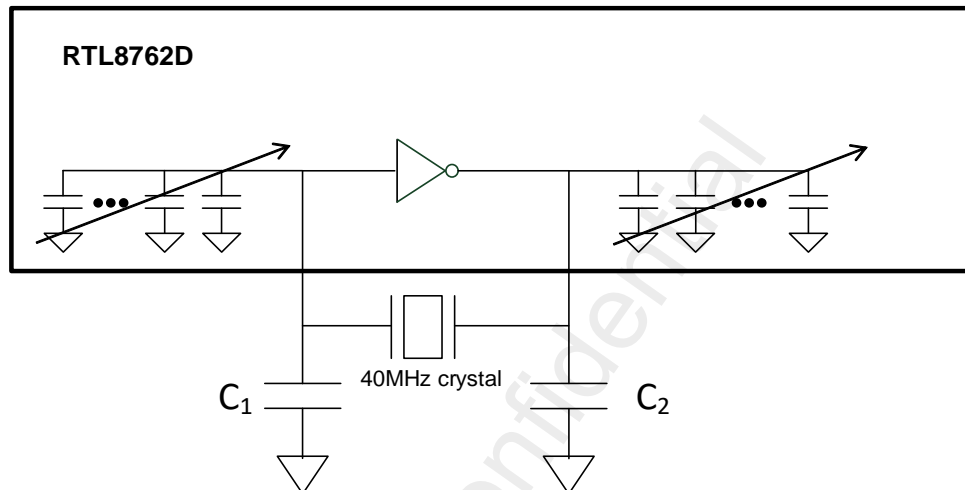


图 4.1 40MHz Xtal Specification

**32.768 KHz crystal:**晶振规格要求具体请参考 HDK 文档中 rBom list，如果使用 CL 规格为 7pF 的 32.768KHz 晶体时，匹配电容可以不上件。

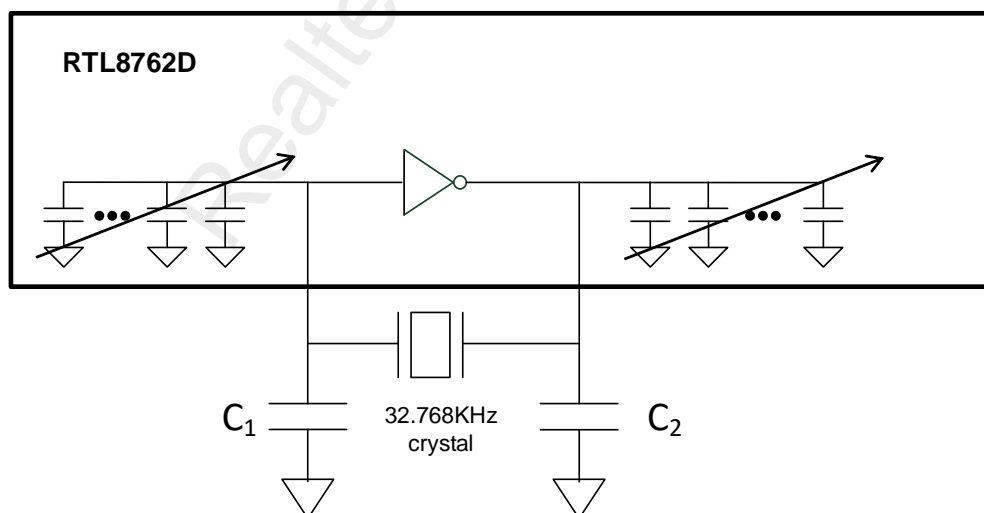


图 4.2 32.768KHz Xtal Specification



## 4.1 量产频偏校准说明

按量产校准策略，分两种情况处理。

### 4.1.1 所有 PCB 使用一样的电容设定，不做单独校准

如果所有 PCB 使用统一的电容设定，需按如下流程找最佳电容设定值。

1. 将 internal cap 设定到较小的值（离最低档位差 10 档左右）
2. 计算调整外部电容值，将频偏调到+10KHz 内。
3. 再次调整 internal cap 值，将频偏绝对值尽量到 0KHz
4. 测试多块 PCB 确认频偏设定的准度。

用同样的设定测试多块 PCB 的频偏（建议 5 块以上）。计算所有板子的频偏值，越接近 0KHz 越好。一般情况应该能将平均值调整到+5KHz 内，越小越好。例如下表，频偏平均值为+3.2KHz。

	频率 ( GHz )	频偏 ( KHz )
1号	2.442003	3
2号	2.442004	4
3号	2.442007	7
4号	2.441998	-2
5号	2.442004	4
avg		3.2

建议量产频偏测试标准定在+35KHz~+40KHz。物料的改变后需要重新调整电容设定值。生产时需要注意频偏是否有异常飘动，假设频偏测试的标准是+35KHz，发现下列情况建议检查电容值和芯片内部 CL 值是否需要重新调整。

- 晶振物料有批次变动。
- 抽测板子频偏平均值大于+15KHz（或+20KHz）。
- 生产时发现超过+35KHz 的产品数量异常增大,例如频偏 failed 的比例显著增大。
- 发现频偏分布明显向某方向漂移，例如频偏都是+XX KHz。
- 在+25KHz~+30KHz 或-25KHz~-30KHz 区间的产品数量比例开始增大。

### 4.1.2 每块 PCB 做单独校准

如果对每块 PCB 都单独做频偏校准，频偏可以控制到较小的范围，需要注意以下几点。

- CL=7/9pF 的晶振，可以只用 internal 电容对频偏做调整。
- CL 越小，每一档 internal 电容对应频偏 step 越大。

## 4.2 起振等待时间设定

起振等待时间是为了保证晶振有足够的起振时间，当晶振起振时间大于 IC 设置的起振等待时间，会造成 SW 死机。IC 起振时间可通过 MP TOOL 设定，而晶振起振时间与 XTAL 电容有直接关系，XTAL 电容越大，晶振起振时间越久，通过示波器可测 PCBA 晶振起振时间。

晶振起振时间测试流程如下：

按下图所示搭建相应测试平台，步骤如下：

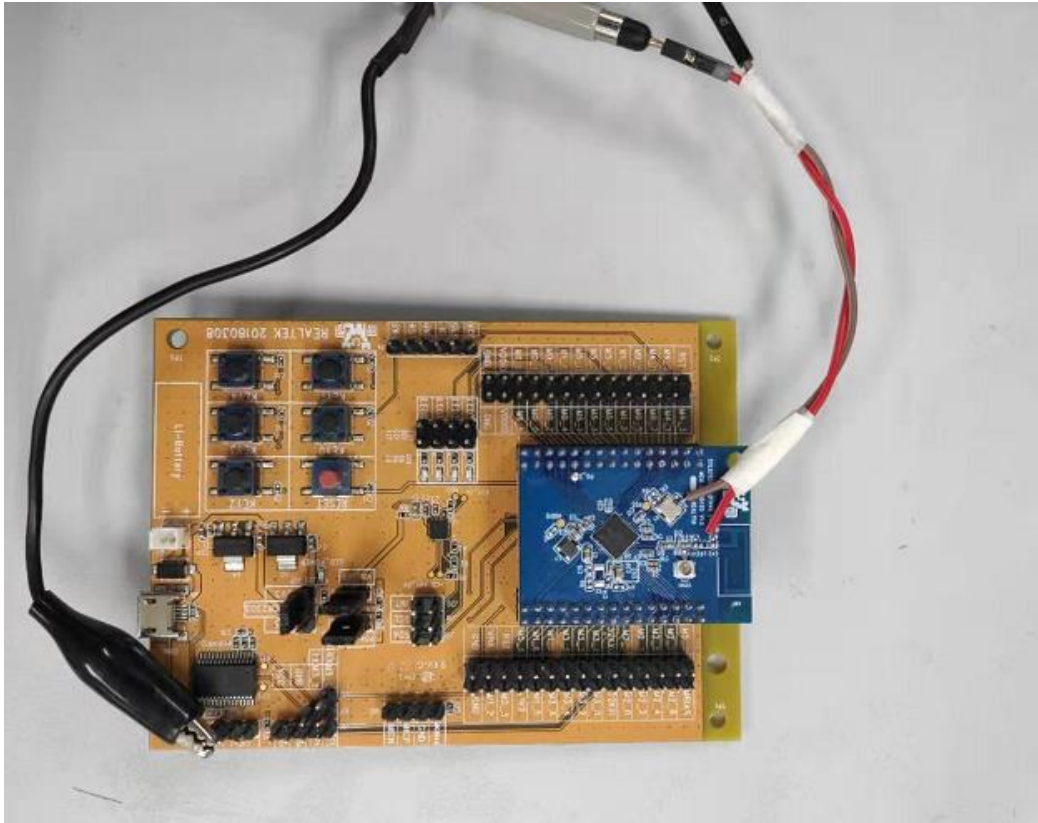


图 4.3 晶振起振时间测试平台

- 1.采用两根杜邦线相互紧密绞合形成双绞线，其中一根焊接在 40MHz XTAL 的 xo 管脚(图 4.3 中灰色杜邦线)，另外一根悬空(图 4.3 中红色杜邦线)
- 2.Micro USB 连接 EVB Mother Board 供电
- 3.将示波器探头连接到双绞线中红色杜邦线(即双绞线中未与 xo 相连的那根)

按照上述操作步骤搭建相应测试平台后，EVB 供电 3V，待 RTL8762D 系列芯片由 DLPS 状态切换到 Active 状态时观测由双绞线中灰色杜邦线耦合到红色杜邦线 40MHz XTAL 的 xo 管脚波形，并测量相应起振时间（可先设置横轴 scale 为 500ms,待捕捉到波形后再调整横轴 scale 为 500us），结果如下图所示，起振时间约为  $2T=750*2=1500\mu s=1.5ms$ 。注意此时 40MHz XTAL 所接外部电容为 10pF。部分 crystal 起振时间数据见附件。

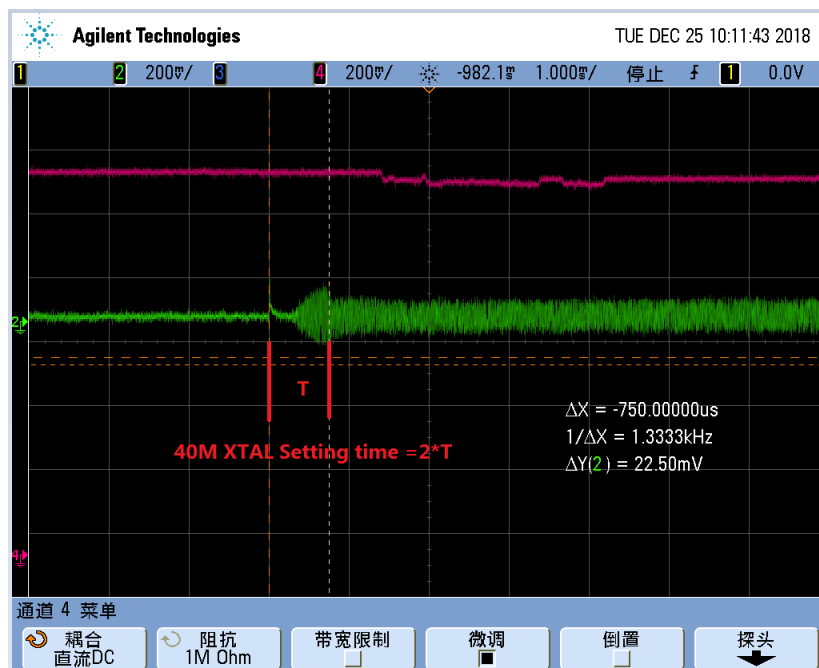


图 4.4 10pF 外部电容起振时间波形

IC 正常工作，LOP\_xtal\_delay time 设置必须大于 XTAL setting time，IC 不会出现死机情况。264 patch 中 40MHz XTAL LOP Delay default 值为 0x60（3ms），LOP\_Xtal\_delay time 值可通过 MP TOOL config file 设置，Value 值可选择 0~0xC0,每档 32us。

Internal cap 设置 default value (12pF)					
料号	型号	Bypass 电容(pF)	频偏(KHz)	起振时间(ms)	LOP Xtal delay time 设置(ms)
TST (嘉硕)	TZ0308D (CL=9pF)	1.3	-45	0.51*2	>1.02
		1.5	-63	0.52*2	>1.04
		1.6	-65	0.53*2	>1.06
		3	-72.5	0.55*2	>1.1

晶振 CL 参数请参考晶振 datasheet.

Shunt Capacitance (Co)	3.0 pF max
Load Capacitance (CL)	9 pF
Aging	+/-2ppm/year

## 5 PAD

RTL8762D IO 分为 3 类。Digital IO, Analog/digital IO, Special/Digital;

**Digital IO:** 只能用于 digital signal, 可以切出 pin mux 列表所支持的 IO 功能。

**Analog/Digital IO:** 支持 ADC 功能, 也可以切换成 digital IO 使用。ADC 分为 AUX ADC 和 Audio ADC。

Audio ADC 是 Microphone 专用, 固定在 P2\_6, P2\_7 上。

**Special/Digital:** 用于 32.768KHz crystal 和 MIC BIAS, 也可以切换成 digital IO 使用。

所有 IO 都支持 Wakeup 功能, 上拉和下拉可接不同电阻来实现强拉和弱拉。

DLPS mode PAD 不正确的设定会导致异常漏电, 参考如下注意事项:

- Pull high 到 VDD, 或 Pull down 到 GND。必须到 VDD 或 GND, 中间电压会导致漏电。
- Out High 或 out low, 外部需要断路。
- Pull none + PAD shut down, 在 PAD 电压在 VDD 到 GND 中间时使用。
- Boot code 会在开机阶段修改某些 pin 的状态。
- GPIO 部分有重叠 mapping 到 PAD, 使用 GPIO 时需要注意。
- SWD, UART, P0\_3 为 IC 设计时的 default 状态, 复用时需要特别注意。在 PCB 设计中, 请将这些管脚引出测试点。
- I8080 和 45MHz SPI signal 有特定 pin 脚不可随意切换。

PAD 电气参数参考 datasheet, PAD 有防倒灌电路, PAD 电压 > VBAT 时不会倒灌。但 PAD 电压不得超过 3.3V。

PAD default 都是 weakly pull, 根据 PAD 不同, 有 Weakly pull up 和 Weakly pull down 两种状态, pull 设定在 Reset 状态同样生效。

具体参考 HDK 中的 [RTL8762D\\_IOPin\\_Information\\_XXXXXX.xls](#)

## 6 Flash

RTL8762DW, RTL8762DK 没有内部 Flash, 需要搭配外部 Flash 使用。可搭配 Flash 参考 QVL, RTL8762DGF, RTL8752DJF, RTL8762DJF/DDF, RTL8762DKF 有内部 Flash。

### 6.1 Bypass mode

- 在 RTL8762D 芯片上电或 Reset 时, 如果 P0\_3 被拉低, 内部/外部 Flash 中的代码不会运行(但不会被擦除), 芯片执行 Rom code。  
(注意: 上电后 P0\_3 会切为 Log output, 需要在上电后尽快让 P0\_3 回到悬空状态, 或者用 500ohm 电阻串联下拉 P0\_3 到 GND)
- 在 RTL8762D 芯片上电或 Reset 时, 如果 P0\_3 NC (P0\_3 内部 default pull high) Flash 中的代码会被执行。

### 6.2 外部 Flash 使用建议

外部 NOR Flash 需要接在 RTL8762DW/DK SPIC 接口, 可支持 1-bit 模式 (Standard SPI), 2-bit 和 4-bit 模式 (QSPI)。使用 QSPI mode 时 P1\_3, P1\_4 需要接到 Flash, 不能做普通 IO 使用。其相应电路如下图所示, 具体请参考 reference design。

外部 Flash, 做 XIP 时需要跑 SPI CLK 20MHz, layout 需要注意。

若 Flash 为常压 Flash, 电源电压从 1.8V 到 3.3V 的上升时间要控制在 15ms 内。

FM 系列 Flash, WP 和 HOLD pin 没有 internal pull high, 1bit mode 使用时需要特别注意在外部 pull high 这两个 pin。

SPIC 仅限于接 flash, 不允许复用。

Flash 选型请参考 RT8762D Flash AVL 文档。

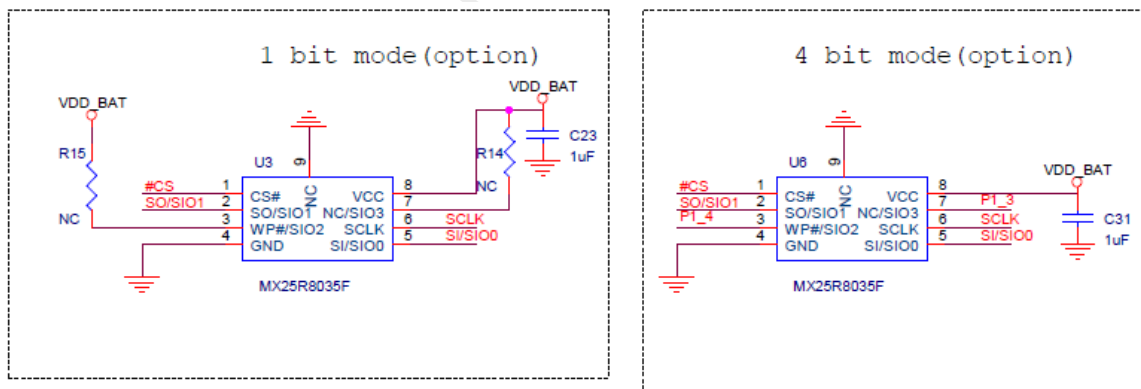


图 6.1 Flash 参考电路

## 7 特别提示

如下情况请在使用时特别注意

1. IC 未上电时, ADC pin 不得加载电压, 此时灌入电流超过 1mA 会导致此 pin 上的 ADC 通道毁坏。  
(数字功能不受影响)
2. 如果 IC 有 VDDIO pin, VDDIO pin 的电压不得超过 VBAT pin 的电压。
3. IO pin 上的电压不得超过 3.6V
4. 芯片的 1.2V 和 1.8V 输出, 只能给芯片自身使用, 不得外接。
5. GPIO 到 PAD 的映射有复用, 相关信息请查看 RTL8762D\_IOPin\_Information。
6. SPI 45MHz 必须使用指定 Pin, 信号定义参考 RTL8762D\_IOPin\_Information。
7. 部分 IO pin 的有上电默认功能, 相关信息请查看 RTL8762D\_IOPin\_Information



### 8.3 Omnidirectional Condenser MIC

对于电容式麦克风，建议使用伪差分模式连接，参考电路如下图，

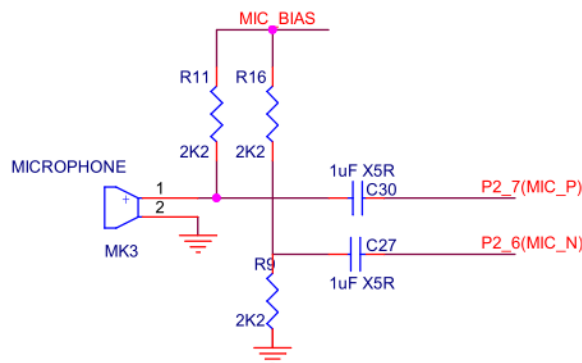


图 8.3 ECM MIC



## 9 AUXADC & LPC

RTL8762D 集成了一个 12bits SAR ADC 模块，max400kbps。由 Analog Mux 分时切到不同的通道，可进行通用的模拟到数字信号的切换，ADC pin 可以复用为普通 IO 功能。

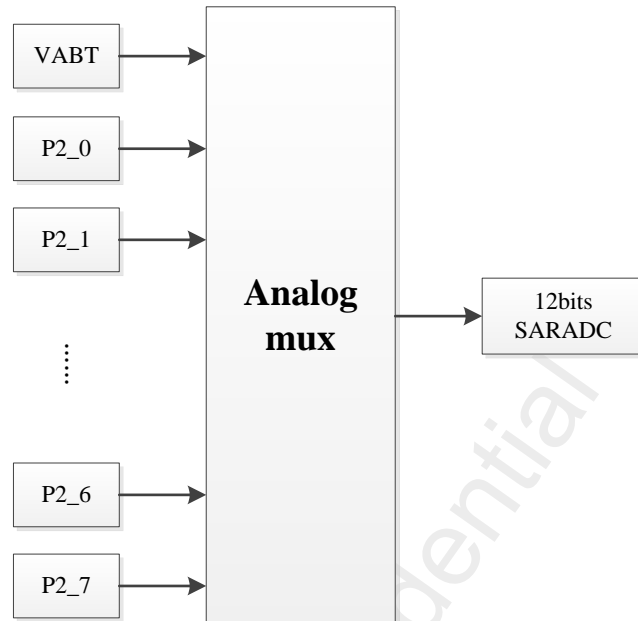


图 9.1 AUXADC 结构

RTL8762D 的 ADC 支持单端输入模式和差分输入模式，VBAT 通道可以直接检测芯片 VBAT pin 的电压。**ADC 必须配合 RTK 提供 RTK ADC lib 使用。只有 RTK ADC lib 才能使用芯片内部 K 值，正确换算实际电压值。ADC 量测电压不得超过  $\min\{VBAT, VDDIO\}$  电压值。ADC pin 没有防倒灌功能，关机时如果 ADC pin 上灌入电源，灌入电流超过 1mA 会导致此 ADC 通道烧毁。**

RTL8762D 内建一个低功耗比较器，可以在电压大于或小于设定值时 wakeup 芯片。可以切到 ADC Channel 和 VBAT Channel 中的任意一个。

RTL8762D 的 AUXADC 有两种模式：

**Bypass 模式(range:0~0.9V):**

该模式下 ADC 最大输入电压不能超过 0.9V，AUXADC 满量程电压约为 0.9V，**输入电压超过 ADC 量程会导致 IC 损坏。**

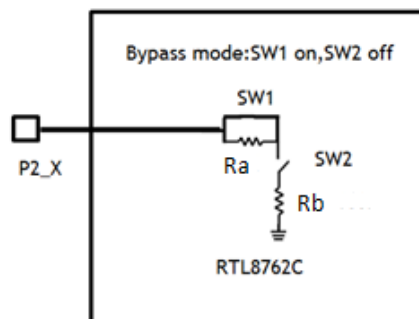


图 9.2 Bypass 模式

如测量锂电池，建议使用如下电路， $R1=220K$ ， $R2=1000K$ ， $C1=0.1\mu F$ 。因为 ADC 阻抗大，第一次 sample 值可能不稳定，建议取样多次后做平均。如果 VCC 本身有波动，建议 C2 上一个较大的电容抑制波

动。

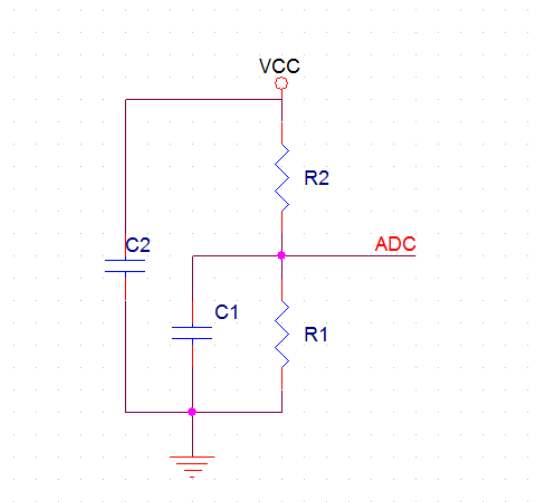


图 9.3 Bypass 模式分压电路

#### Divide 模式(range:0~3.3V):

该模式下,AUXADC 采样瞬间,ADC 管脚 P2\_X 到 Ground 阻抗为  $R_a + R_b$  之和,AUXADC 满量程 3.3V,输入电压为 3.3~3.6V 时, ADC 值可能会爆表,导致测到的电压不准。ADC pin 内部负载阻抗~500K,在连续采样模式下,  $R_a + R_b$  的阻值会受采样率影响,采样率越高阻值越低。因为 ADC 负载阻抗大,所以在外部阻抗大的状况下,采样值容易发生波动。Divider mode 不适合外部接大阻抗使用。

**VBAT channel 只能在 divide mode 下使用,可以在芯片内部测试芯片的 VBAT pin 供电电压。**

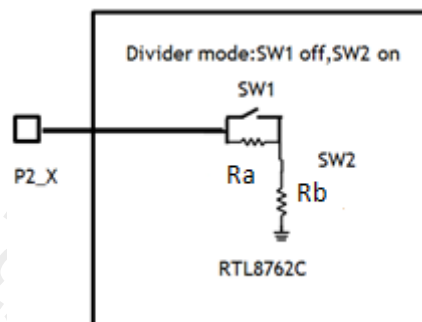


图 9.4 Divide 模式

## 10 DC/DC Buck

RTL8762D 集成了一个 DC-DC buck 模式的电压转换模块，HVD 是 Buck 电路的输入管脚，LX 是 Buck 电路的输出管脚，在 HVD 管脚上必须接一个电容，在 LX 管脚上必须连接一个的功率电感，电感具体参数请参考 HDK、在 PCB 设计上，功率电应当尽量靠近 LX 管脚。

L1, C8, C7 值的组合可能会变化，请严格按 HDK reference design 上的元件值做硬件设计。

RTL8762DW, RTL8762DK 的 VBAT pin 同时给 **IO PAD, SWR 和芯片 AON** 供电，需要特别注意这个 Pin 脚的旁路电容不得改小。

**注意：相关电路的元件不要修改元件值，否则导致 RF 性能恶化，或芯片损坏。电感用料规格会影响 RF 性能和功耗。请参照 HDK rBom 选料。**

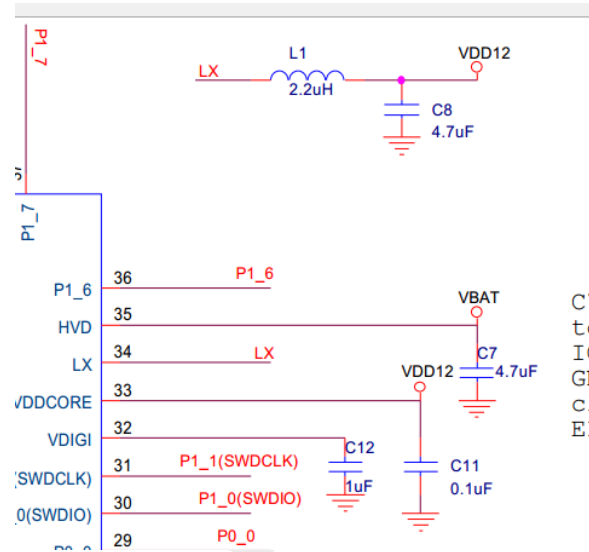


图 10.1 BUCK 电路

## 11 eFuse 烧写

RTL8762D 有内部 eFuse，安全机制需要在量产时烧写 IC 内部的 eFuse。当对 eFuse 进行烧录时，**VBAT 电压必须为 2.5V**( $\pm 10\%$ )。eFuse 区域只能进行一次写操作，因此在烧录前确保待烧录的数据正确。何时需要烧写 efuse，具体参考 RTL8762D Security Mechanism User Guide

Realtek Confidential

## 12 天线

### 12.1 PCB 天线

PCB 天线虽然占用较大的 PCB 区域，但具有费用低，易于生产，无线通信距离足够使用等优点。

天线通常为四分之一波长的直线，在便携设备中，为了缩小便携设备的尺寸，常将天线设计为曲线。在 PCB 天线设置中，天线尺寸和性能是相互冲突的，小尺寸天线和宽带宽，高性能一般难以同时实现，因此天线的净空区是天线设计中的一个关键因素。在 PCB 设计天线净空区域时，强烈推荐参考下图。

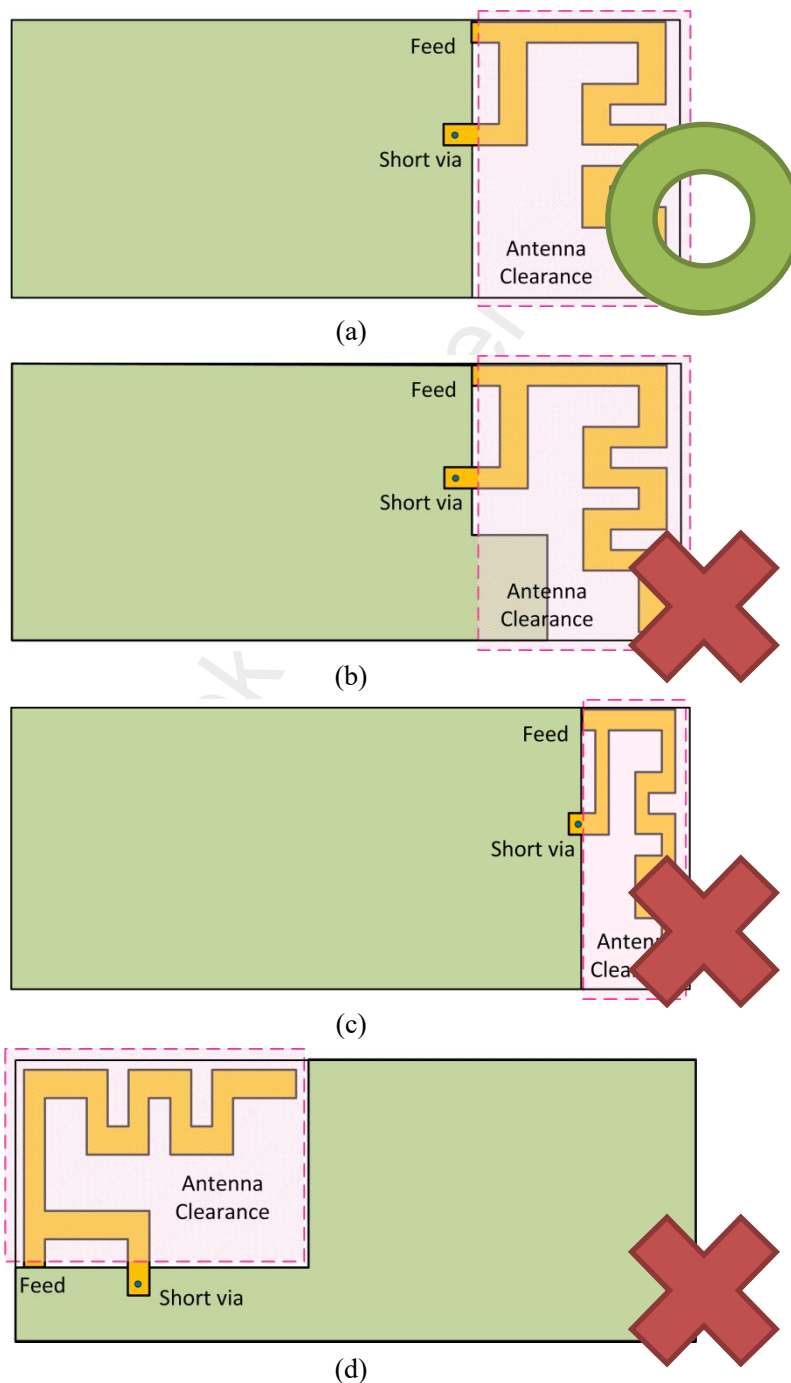


图 11.1 Antenna design

净空区域是指除了天线本身，不允许摆放其他任何金属，在 Fig.(a)-Fig.(d) 4 个不同设计中，Fig.(a)具有最佳性能，该设计中保证了理想的净空区域，并将多余的 GND 区域删除。

当允许的净空区域不够大时，可以参考 Fig.(c)所示的设计，尽管天线线长约 1/4 波长，但天线的性能和带宽同样受到限制。

根据经验参考，在净空区域应当禁止摆放任何金属，否则天线性能将受到极大的干扰。

虽然 Fig.(d)满足以上要求，但其天线性能并没有 Fig.(a)那么理想，这是因为 GND 平面恰好位于天线辐射方向上，从而导致天线性能。

## 12.2 顶针天线

顶针天线也是常见的天线方案,对外壳有一定的要求。外壳和 PCB 板之间的间距必须大于 10mm，从而保证天线良好的辐射特性。使用顶针天线，RF 路径需要加 DC block 电容，防止焊接顶针时损坏芯片 RF。

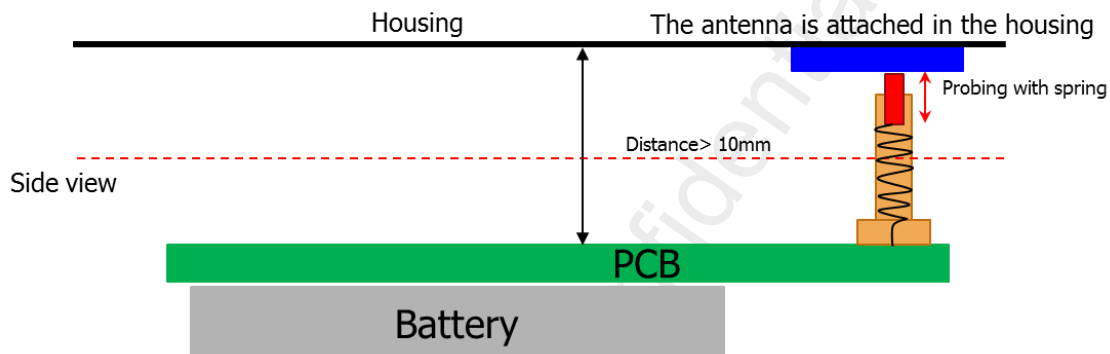


图 11.2 顶针天线模型

## 13 RF 电路

### 13.1 RF power pin

VD12\_PA, VD12\_SYN 和 VD12\_TRX 是 RF 接收和发射模块的电源供电管脚，其正常工作电压都为 1.2V，可以直接从芯片的 VDDCORE 引出。

VD12\_PA, VD12\_SYN 和 VD12\_TRX 管脚上应该单独添加去耦电容，并且保证电流先经过电容，再进入相应的管脚。

### 13.2 RF Matching circuit

为了保证射频信号从 RFIO 到天线端的传输效率，需要添加一个阻抗匹配电路，当回波损耗大于 10dB 时，表示 90%的能量能够传输到天线端。

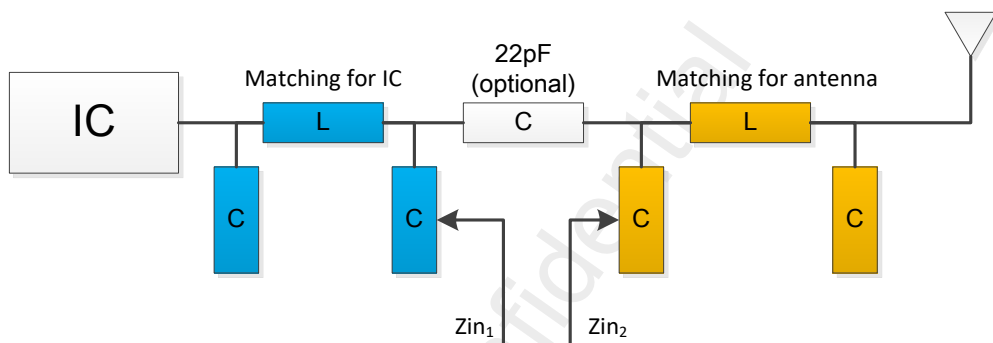


图 13.1 RF matching circuit

在上图中，芯片端的阻抗匹配电路由三个元件构成，天线端的阻抗匹配电路由另外三个元件构成，从而使得在  $Z_{in1}$  和  $Z_{in2}$  端的阻抗为  $50\ \Omega$ 。只有当使用 PCB 天线或芯片天线时，22pF 的隔直电容才允许省略。

芯片端的阻抗匹配网络同样用于谐波抑制，推荐值请参考 Realtek HDK 文档，选择使用和 QVL 中完全一致的料件，否则 RF 性能可能无法保证。

天线端的阻抗匹配器件值由天线端决定，在某些设计中，天线的阻抗匹配网络仅使用 2 个元件就能实现。但建议在 PCB 设计中保留 3 个器件的封装焊盘，用于在最后阶段的微调。

### 13.3 RF trace impedance

RF 信号走线必须将特征阻抗设计为 50 ohm，走线的特征阻抗由受以下参数影响，设计时应当小心注意：

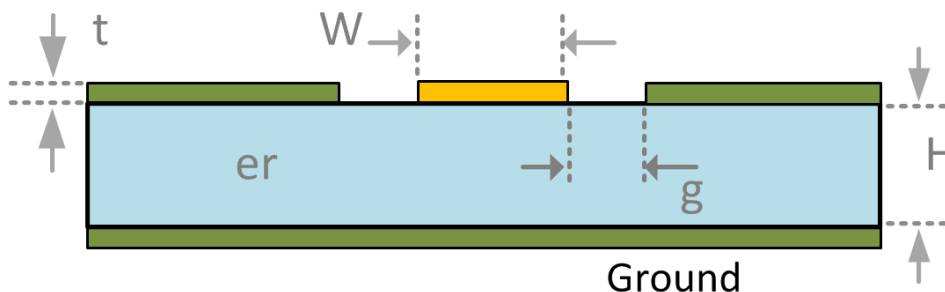


图 13.2 RF trace impedance

- 走线宽度 W：走线宽度 W 减少，阻抗增加。
- RF 走线层到参考层高度 H：H 增加，阻抗增大。

- RF 走线和相邻 GND 平面间距  $G$ :  $G$  增加, 阻抗增大, 注意 RF 走线和相邻 GND 平面间距应该保持两边对称一致。
- 铜厚  $t$ : 铜厚  $t$  降低, 阻抗增加。
- 板材介电常数: 介电常数增加, 阻抗减小。

在设计 RF 走线时, 必须考虑以上参数, 可以通过在网络上查询获取一些免费的阻抗计算软件, 使用这些软件计算确定 RF 走线的几何尺寸。

RF 信号的走线必须保证阻抗连续不变。因此, RF 走线宽度应当保持不变, 走线两端铺设的铜皮应当保证完整。

和其他信号走线不同, RF 走线必须被地包裹, 例如使用 CPWG (共面波导结构)。任何其他走线应该远离 RF 走线, 否则因为走线之前相互耦合, 导致 RF 信号性能受到影响。

Realtek Confidential



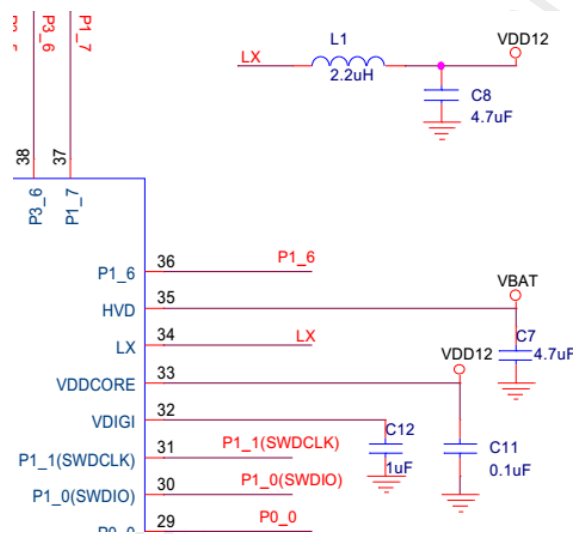
## 14 PCB Layout Guide

### 14.1 元件布局顺序

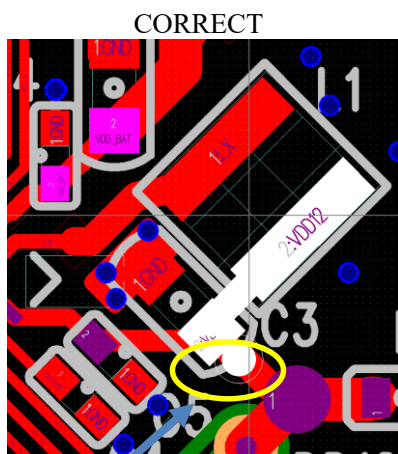
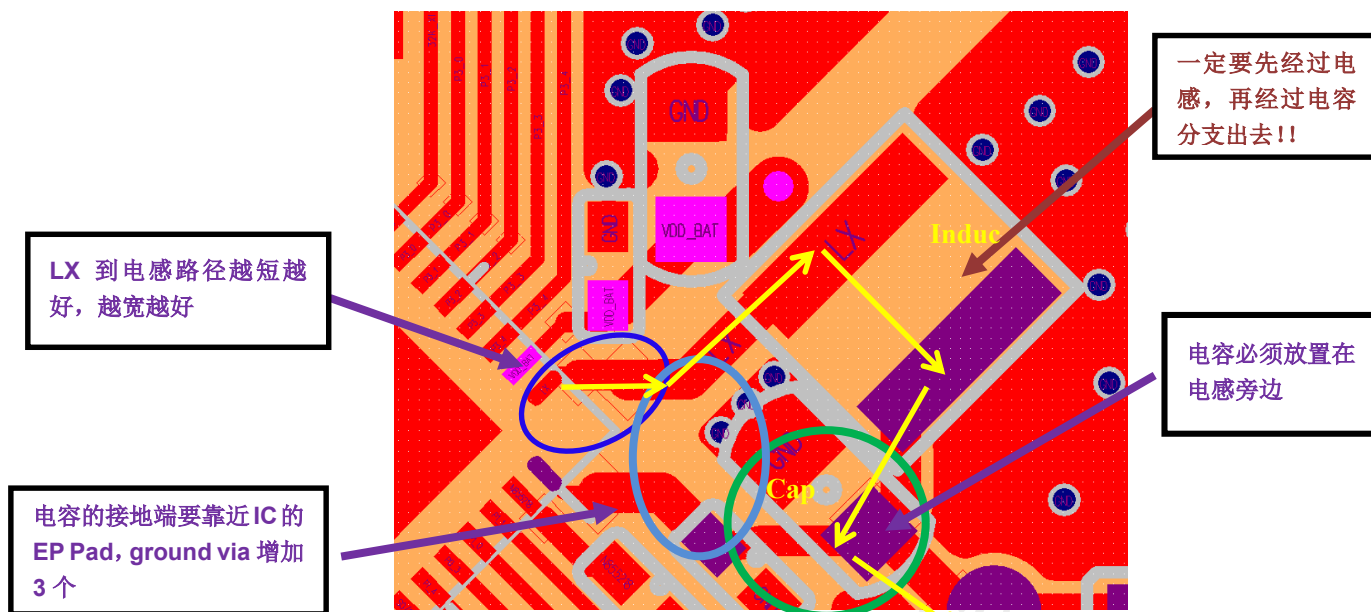
请按如下顺序布置元件，顺序靠前的元件意味着布局时需要尽量靠近 IC.

1. DC/DC 电路元件
2. VBAT bypass 电容
3. RF 电路元件
4. 40MHz 晶振
5. RF VDD bypass 电容
6. 其他 bypass 电容

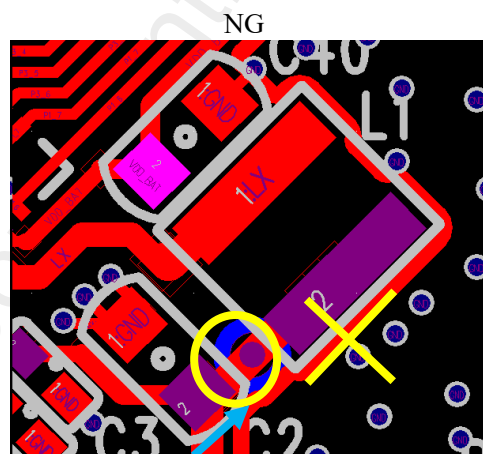
### 14.2 DC/DC 电路元件 Placement & Layout



- HVD/VBAT 的电源输入线尽量粗，建议 20 或者 25mil。
- DC/DC 的电感及电容放置必须靠近 CHIP 的输入端。
- DC/DC LX Pin 经过电感和电容形成一个稳定、低噪声的电压源，先经电感再经电容，严格禁止未经过电容就分支出去（如图黄线标示）。考虑 EMI 问题，LX 信号线必须短而粗，Trace 宽度建议 15mil 以上。
- 电容的接地端尽可能靠近 IC 的 E-PAD，如果空间足够，电容的 GND VIA 可以放三个，让 GNG 的回流比较好。



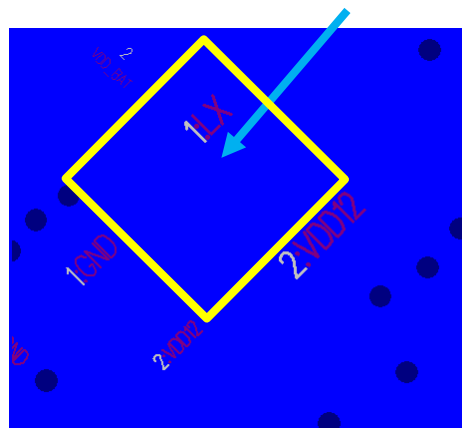
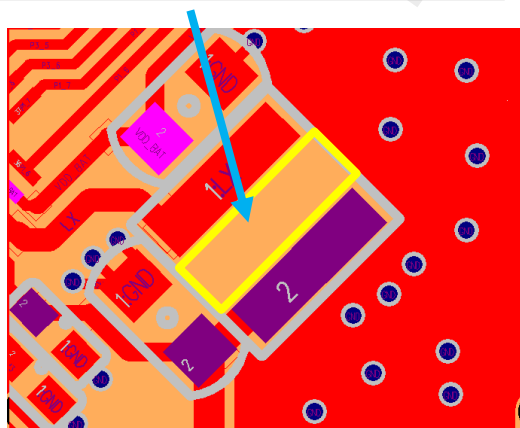
LX 输出经电感→电容之后才下 VIA



LX 输出经电感后提前下 VIA，没有经过电容 → NG 严禁

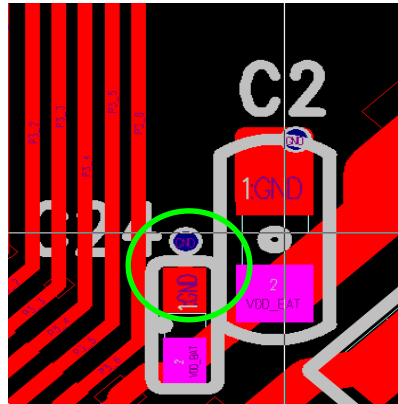
电感两个 PAD 中间不铺地（如黄色方框处）。

电感的下方（背层）应没有金属或信号线，让下方的铺地保留完整

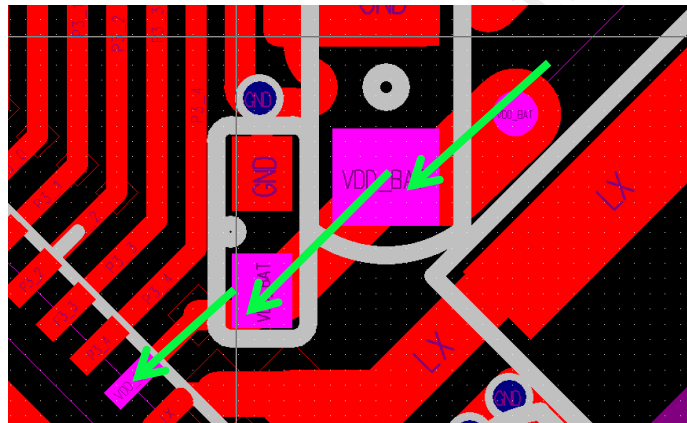


## 14.3 电源 Bypass 电容布局规范

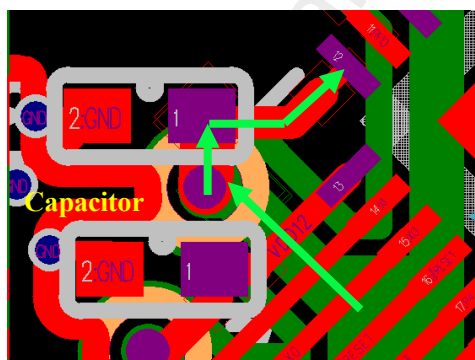
- Bypass 电容放置必须靠近 Power pin 的输入端,回流无阻隔, 正常回流到芯片 GND。
- Bypass 电容独立过孔接地, 且过孔尽量靠近电容 PAD, 减小回流路径, 如下图标注。



- 电源线走线路径必须先经电容再进 Power pin 的输入端, 线宽建议 15mils 以上。



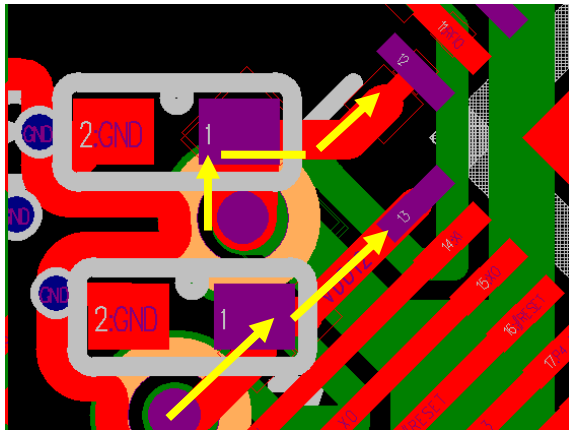
- 电源的 Bypass 电容摆放必须靠近 IC, 走线必须先经过电容, 再进入 IC 或输出给其他分支电源。



务必遵照电流流向

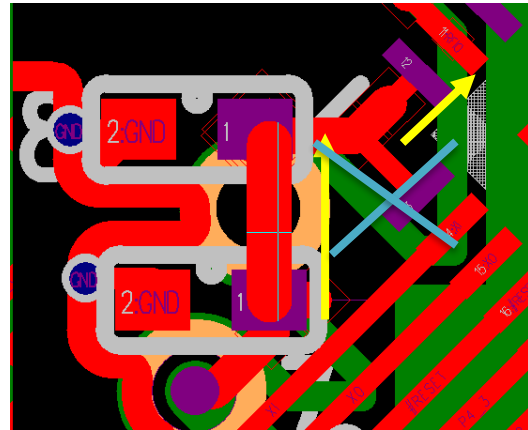
- 如果同电源 net 有 2 个相邻的 Bypass 电容元件, 必须单独和 IC Power Pin 连接, 不可以直接连接在一起, 不可采用 NG 接法。

CORRECT



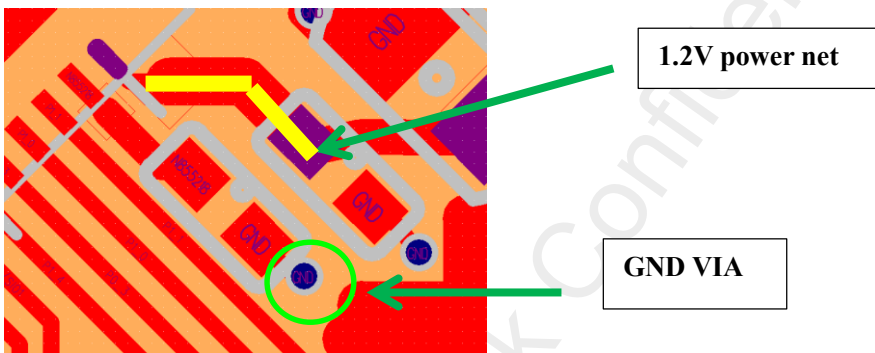
电容元件必须单独和 CHIP Pin 连接

NG



禁止直接连在一起

- VDIGI 和 VDDIO 的 Bypass 电容尽可能远离 1.2V 电源 Net



## 14.4 外部 Flash 及 I8080

RTL8762D 主时钟最大为 90MHz，其中 Flash 在 QSPI mode 速率为 45MHz，I8080 速率为 20MHz。时钟速率较高，在布线时要求尽量走等长线，布线建议如下：

- 外部 flash QSPI mode 布线
  - QSPI 走线与相邻信号间的 spacing (H) 必须至少大于 2 倍线宽 (H=2W)；
  - QSPI 各走线 (CLK、#CS、SIO0~SIO3) 走线长度差需小于+/-100mil，总长度小于 2.5 inches；
  - QSPI 各走线上勿有残段；
  - QSPI 各走线 (CLK、#CS、SIO0~SIO3) 串联 0ohm 电阻必须靠近 SOC 端；
- I8080 走线
  - I8080 走线与相邻信号间的 spacing (H) 必须至少大于 2 倍线宽 (H=2W)；
  - I8080 各走线 (WR#、CS#、DCX、RD#、Vsync、D0~D7) 走线长度差需小于+/-100mil，总长度小于 2.5 inches；
  - I8080 各走线上勿有残段；
  - I8080 各走线 (WR#、CS#、DCX、RD#、Vsync、D0~D7) 串联 0ohm 电阻必须靠近 SOC 端；

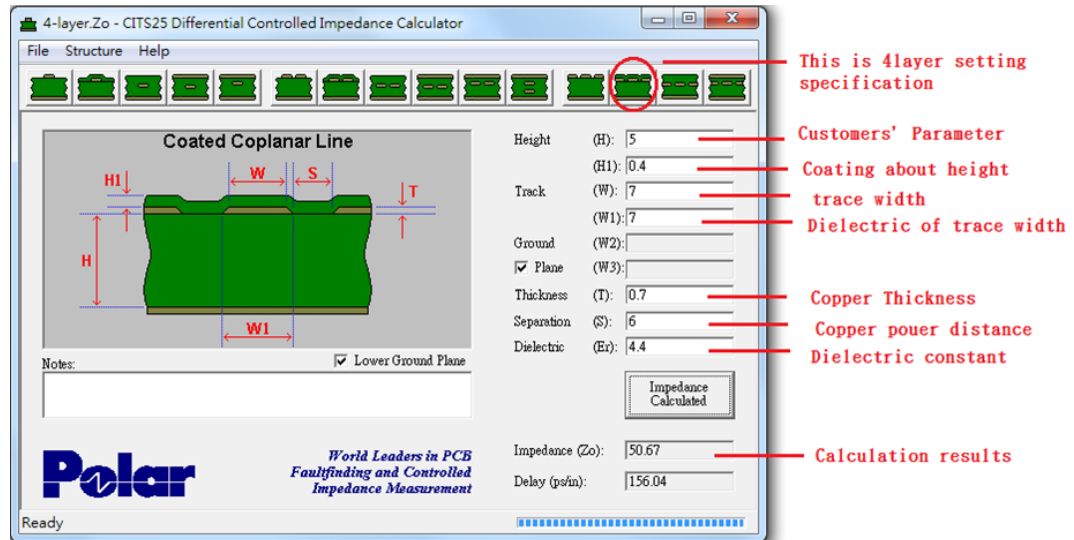
## 14.5 RF 布局走线规范

### RF 阻抗计算

RF 线是指 IC RFIO Pin 脚到天线间的连线，这段连线必须小心控制。如果 RF 阻抗不在  $50\Omega \pm 10\%$  内，RF 性能将会受到很大的影响。可以使用 RF 阻抗计算工具得出符合 50 欧姆阻抗线宽、线距来进行走线。

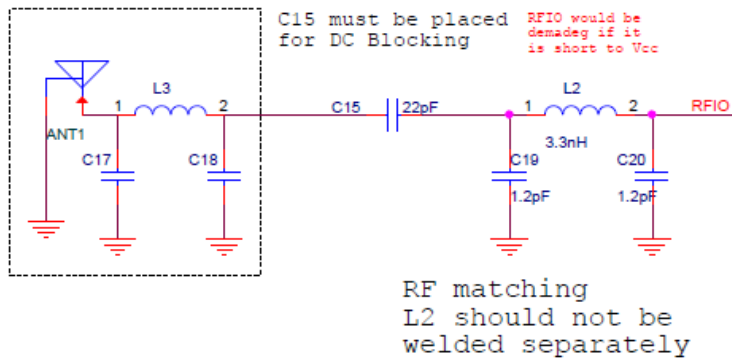
参数包括 RF 信号线到参考层的距离 (H)、绿漆厚度 (H1)、线宽 (W)、线宽误差 (W1)、铺铜厚度 (T)、铺铜间距 (S)、介电常数 (Er)。

如下范例：参照板厂的工艺条件选择恰当的参数，使用工具计算阻抗 ( $Z_0$ )。合理的选择参数非常重要，若不合理，需要寻找工艺条件比较好的板厂，需要花费更高的 PCB 成本。

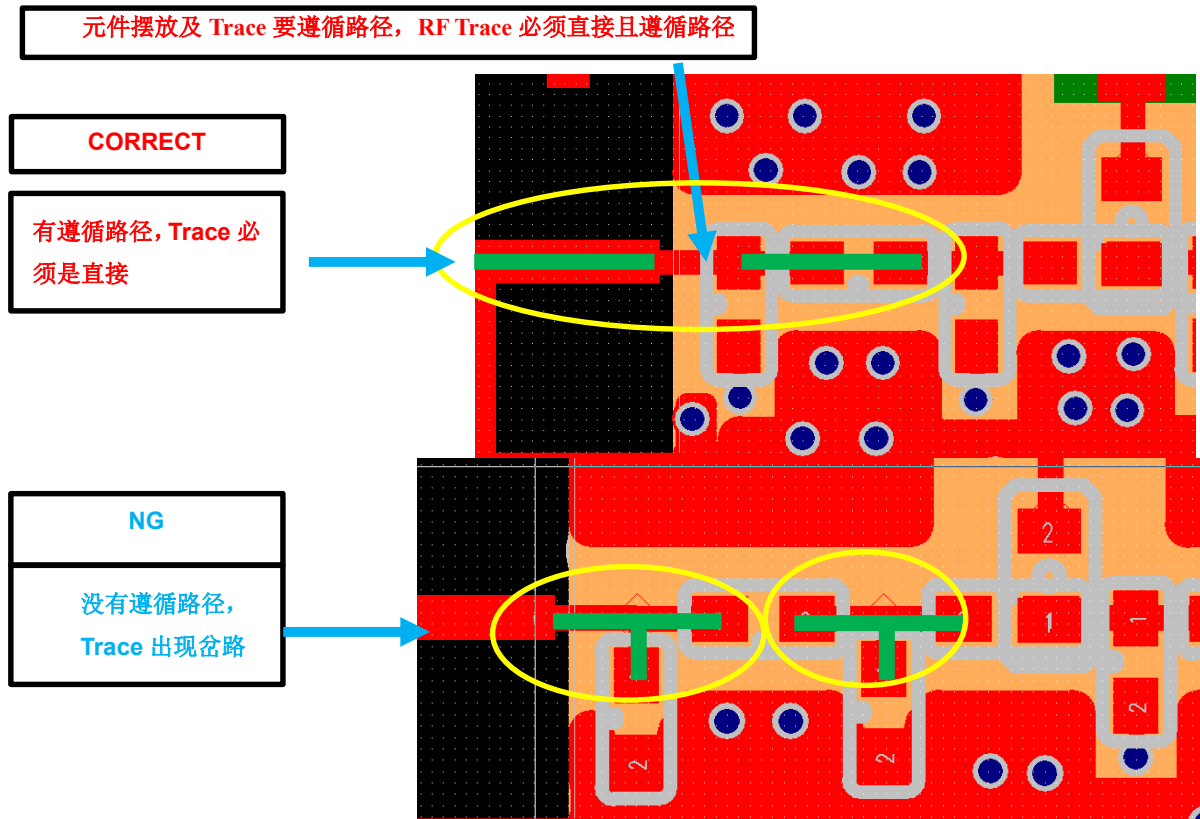


- 为了避免 RF 阻抗的较大变化，建议 RF 线不得小于 8mil。

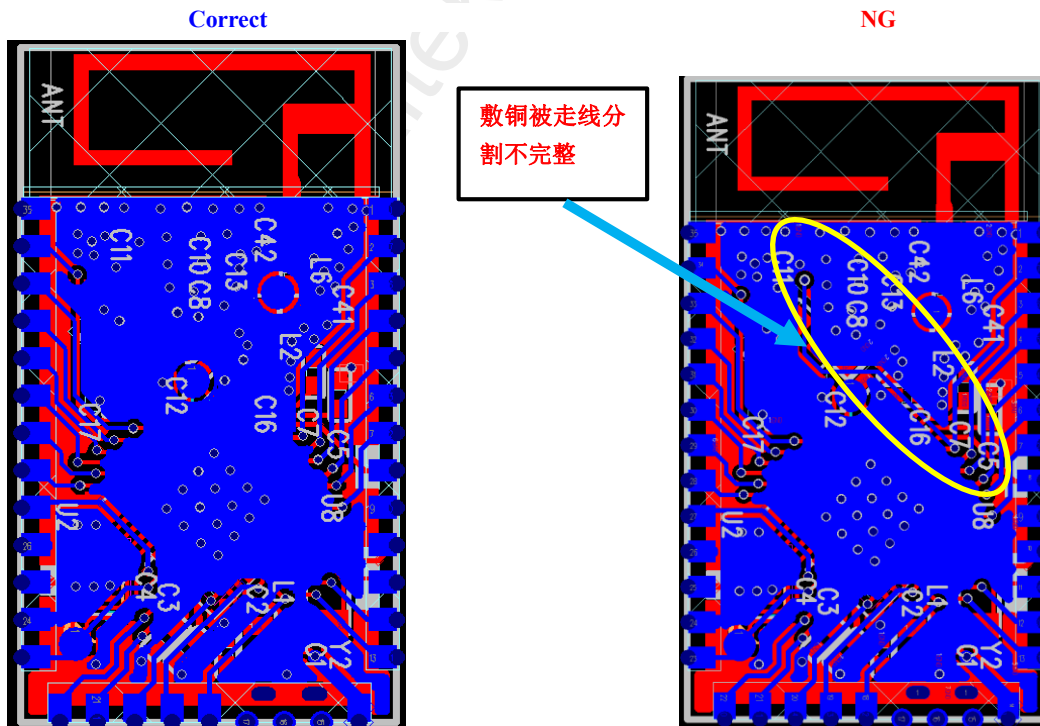
Depending on antenna design,  
this pi-matching is decided by customer



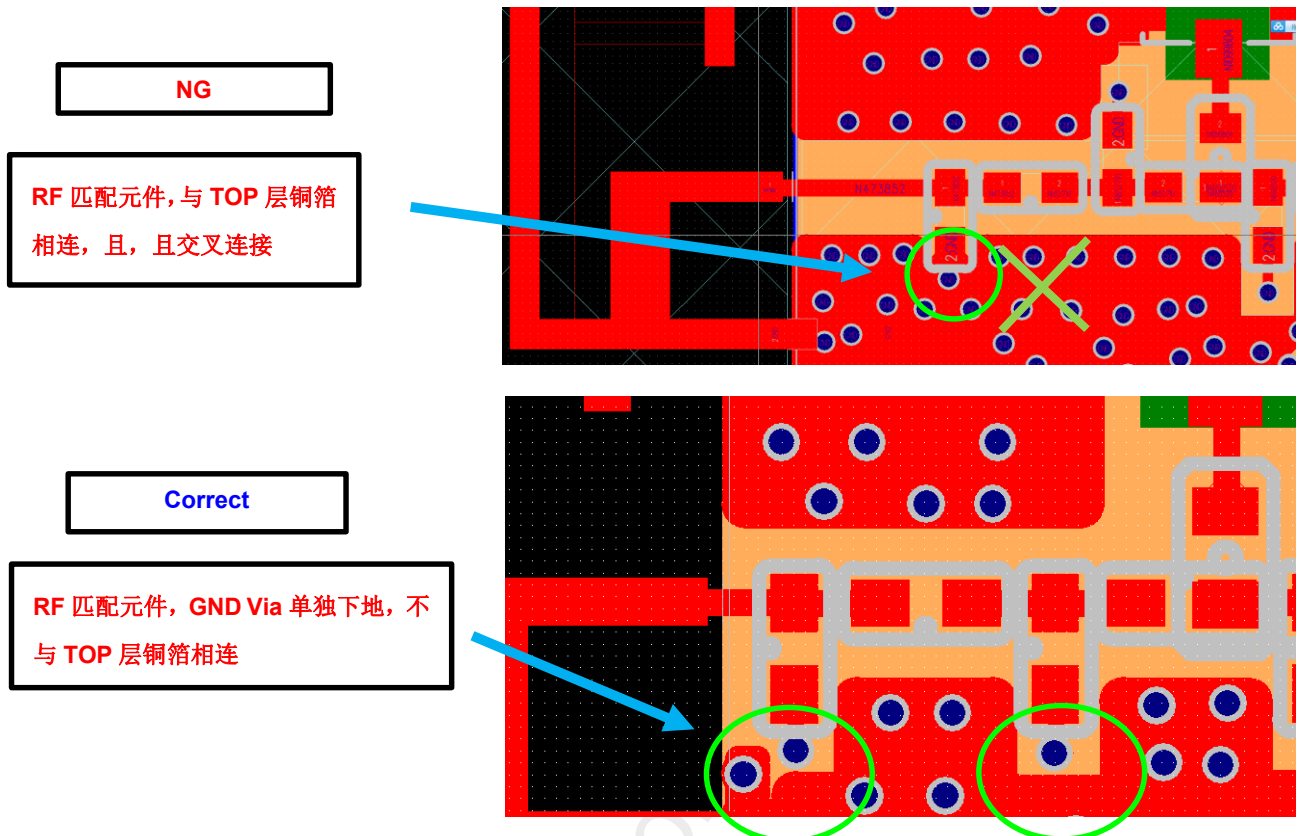
- 与 PCB 板厂确认制板参数是否满足板厂工艺要求。
- RF 测试点 TP10 放置避免出现岔路，如果测试点放置在 BOTTOM 层，可在路径上加 VIA 连接。
- RF 匹配元件尽可能靠近 IC RFIO Pin 脚。



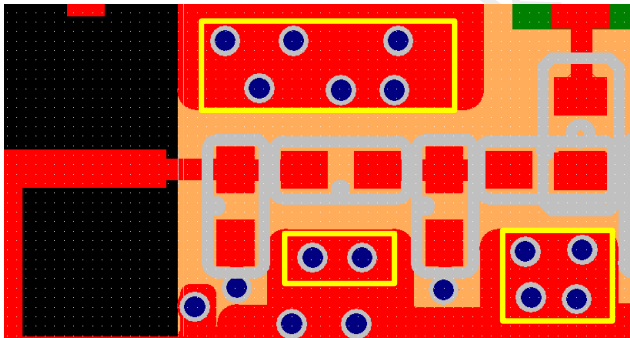
- 2 层板或者 4 层板设计，BT CHIP（TOP 层）的下层必须是接地层（GND 层）。
- RF 匹配元件及走线的参考层，禁止有任何信号线穿越（2 层板 PCB 尤其要注意）。
- 天线区域需要禁空，不应该有铜，天线下方不应该有信号线。
- 天线参考地尽快回流到芯片地，天线回流路径需要：距离最短、没有阻隔、连接良好。下面两图中，右图覆铜被走线分割不完整，左图比较好。



- RF 元件 GND VIA 要尽可能靠近 PAD，一个 GND VIA，且单独下地，不与 TOP 层铜箔相连，铺铜要用覆盖连接。



RF Trace 附近的铺铜区域都要打上 GND VIA 做完整的接地(如下图圈选处)

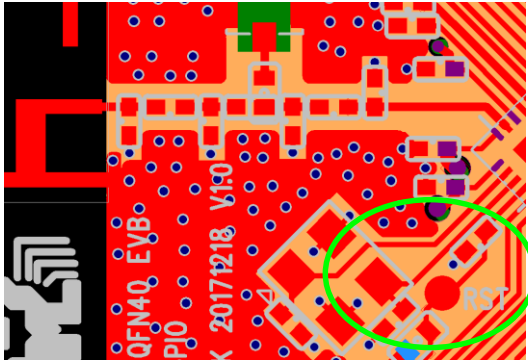


- 对天线最好的方式，压缩其他区域，保留 RF 的净空区。

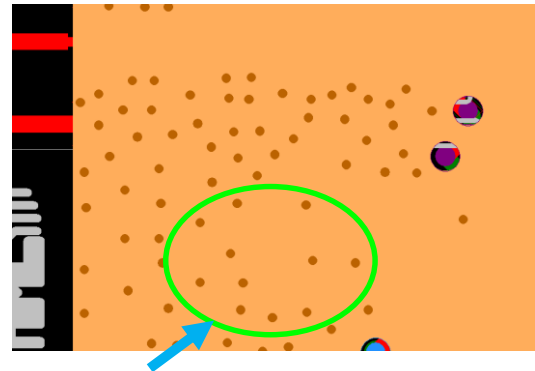
## 14.6 40MHz 晶振布局走线规范

- 在没有结构限制情况下，Crystal 和 BT CHIP 要放在同一层面。
- 为了避免干扰 RF 信号，Crystal 尽量远离 RF Trace。
- Crystal 的放置应尽可能靠近 BT CHIP，路径要短，Trace 宽度建议超过 6mil。
- 如果是 2 层板，禁止在 Crystal 的背层走线，让背层（BOT）的铺铜保留完整性。





TOP Layer:Crystal 范围，需注意和 RF trace 的距离

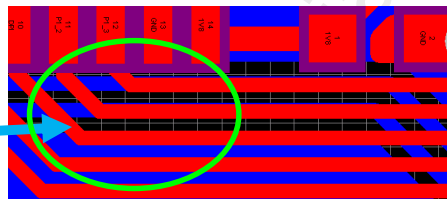


BOT Layer Crystal 范围：  
禁止任何走线，保留铺铜完整

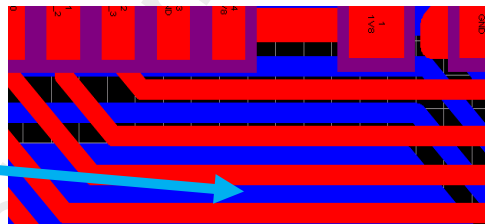
## 14.7 MISC

- 上下层走线时尽可能不要平行重叠的走线

错误示范：  
上下层平行重叠走线



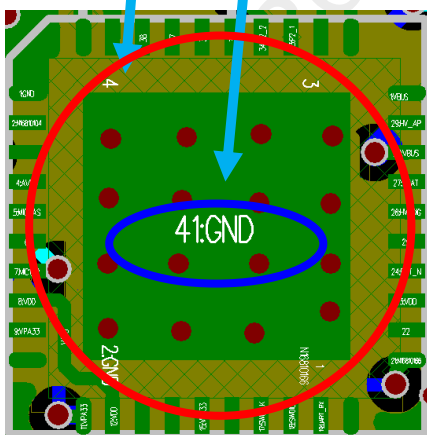
正确示范：  
上下层平行错开走线



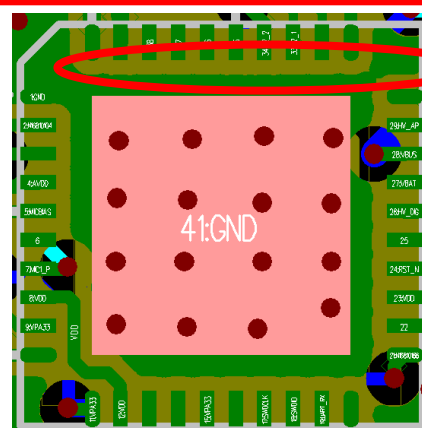
- External flash 必须尽可能的靠近 IC 摆放。

IC Pin PAD 和 EPPAD 中间不铺铜，必须让 GND PAD 直接与第二层(GND Layer)连接

EP PAD 中间要打上 GND Via 与第二层(GND Layer)连接



Correct



NG

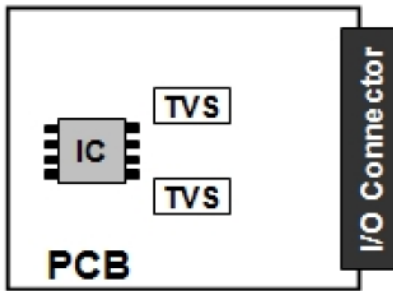


## 14.8 ESD Layout

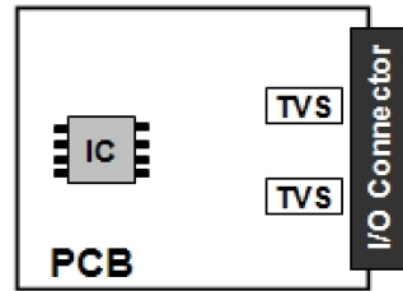
为保护 IC 不被 ESD 损坏，PCB 设计中需注意如下事项：

- 为敏感器件和敏感信号线添加 ESD 保护管（常见 TVS）。TVS 摆放位置应尽可能靠近 ESD 源头（接头等处），与被保护 IC 的距离要远于 ESD 源。布线时需将 ESD 源直接接到 TVS，减少 TVS 管和回流地之间的寄生电感。

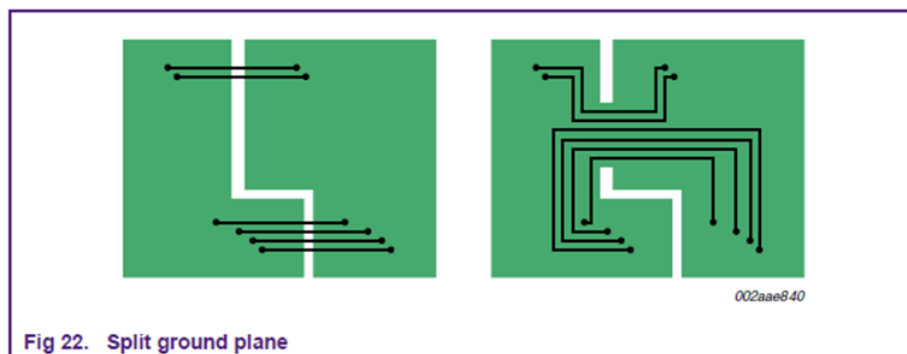
**Poor PCB Layout**



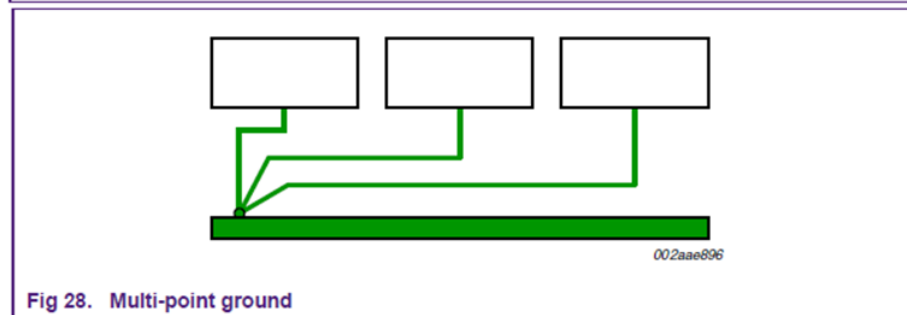
**Good PCB Layout**



- 分割地平面时要注意缩短信号线的回流路径，采用星状线的方式实现并联接地。

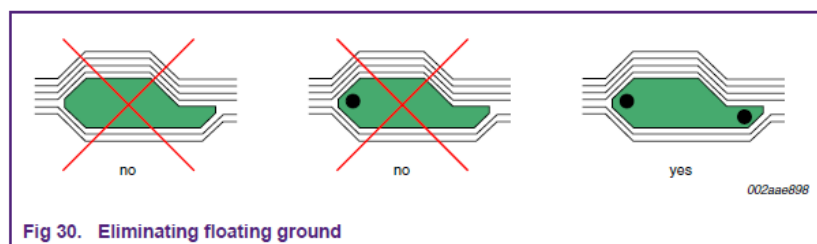


**Fig 22. Split ground plane**

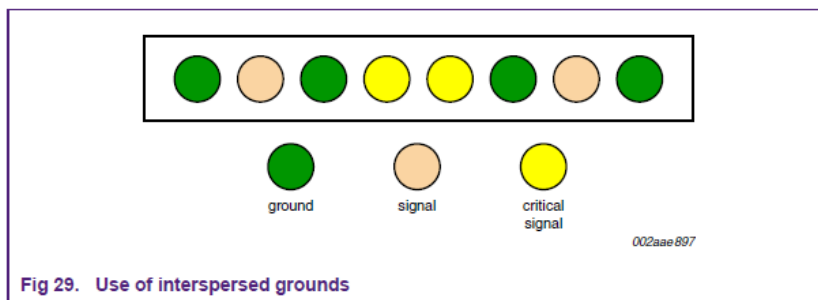


**Fig 28. Multi-point ground**

- 删除孤岛铜皮，用地将敏感信号包裹起来，防止其他信号的辐射干扰

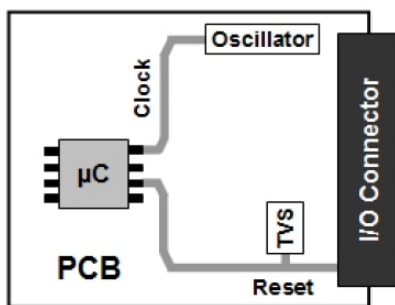


**Fig 30. Eliminating floating ground**

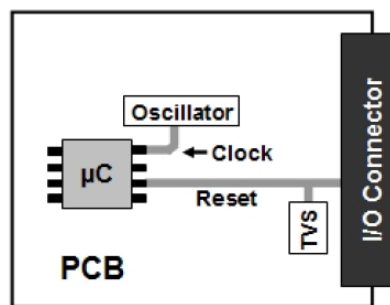


- 尽量缩短线长以减少寄生电感。因直角走线会产生更大的电磁辐射，避免直角走线连接到器件或走线上。高速电路设计时，更需注意这点。
- 尽量增大过孔的钻孔直径和焊盘直径，减少过孔的寄生电感。
- 布线时，让敏感信号线远离 PCB 板边。为避免走线与天线间的串扰，走线需远离天线，天线需放在离接头较远的位置。布局时，将所有的接头和板边接线放在 PCB 板边一侧，ESD 敏感器件放到 PCB 中心。

Poor PCB Layout



Good PCB Layout



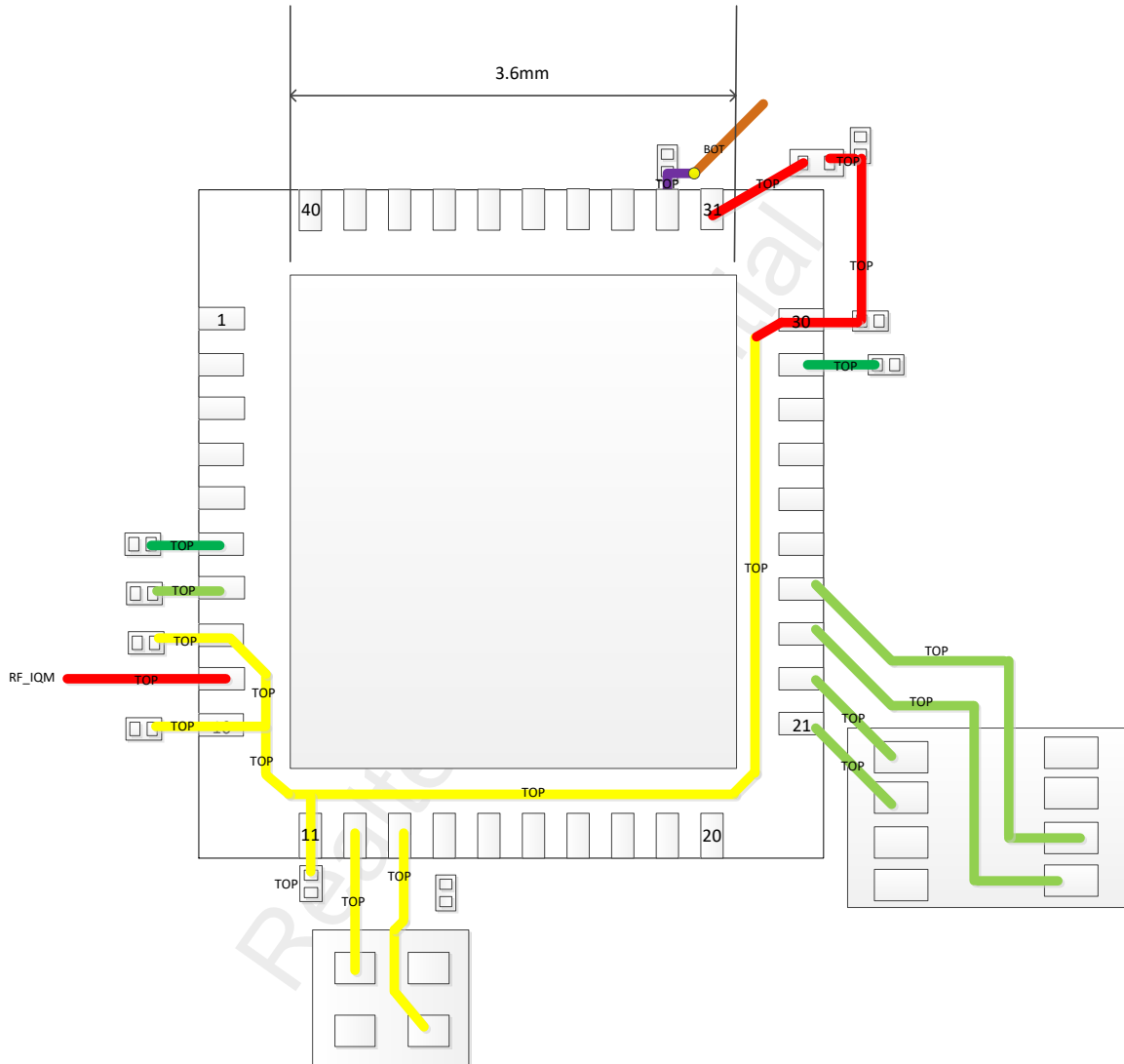
## 14.9 MP 测试点

为配合量产测试平台对 PCBA 进行测试，开发者在设计 PCB 时需要引出以下测试点

测试点	电源或信号	描述
1	VBAT	被测设备电源
2	GND	电源地
3	LOG (P0_3)	调试和程序擦除
4	TX/RX(P3_0/P3_1)	芯片调试/下载端口

## 15 两层板注意事项

- BT CHIP、RF、Crystal、Buck 区域，尽量避免于这些区域走线。
- 2 层板走线尽可能走在同一层面。
- 走线要贯穿到背层，背面的走线尽可能短或者集中在一起，维持背面敷铜的完整。
- VDD12 走线可将 EPAD 尺寸改小到 3.6mm，trace 从 IC package 缝隙中穿过。
- 其他注意事项见上文（仅供参考，工艺不好会 VDD1V2 对地 Short）。



## 16 MP 产线 ESD 保护注意事项

- 刷锡膏的机台需要接地
- 待处理的 PCB 需要放在绝缘托盘上, 若是放置在金属平面或是桌面, 该桌(平)面需要接地。
- 现场人员需要配戴有接地的静电手环 (无线手环防静电效果有限, 不建议配戴)
- 避免使用阴阳板
- 要上 IC 的那面应该留至第二次打件, 减少 IC 触碰金属或是机台的次数
- 若是操作员需要目检 PCBA 打件有无歪掉, PCBA 需要放置在绝缘盘上, 操作员需要配戴静电手环, 使用的金属镊子尖端需要套上绝缘套
- IC 过完锡炉之后, 操作员需要将 PCBA 放置在绝缘且独立的托盘上
- rework 工作台, 焊枪, 静电手环及工作桌垫都需要接地
- SMT 机台由金属线串在一起, 再由管线接到大
- 会接触到 PCB 的人员要配戴不导电指套
- 摆件修正不要用金属镊子碰触 IC 引脚
- 定时于压克力载木上涂上静电液
- PCBA 半成品运送或暂时置放须放置于有分隔的绝缘托盘, 一片 PCBA 置放一格, 禁止 PCBA 堆栈, 以免 PCBA 碰撞产生 CDM 问题

## 17 Debug 流程

1. P0\_3 拉低后给 IC 上电。(Flash bypass)
2. 检查 VBAT/VDDIO 电压是否正确，应该在 datasheet 规定范围内。
3. 检查 SWR 的 1.2V 是否有输出，电压是否正确。
4. 检查 40MHz 晶体是否起振。
5. 检查 log UART 是否有输出。
6. 检查 UART 是否能通。
7. 检查外部 Flash 是否正常工作(使用外部 Flash 的 IC)。

## 18 RTL8762C 和 RTL8762D 差异

- 40MHz Crystal request 改变，RTL8762D 只能使用 CL=7/9pF 的 crystal;
- 支持 3 组 SPIC 接口，并且速度更快;
- RTL8762D RAM 大于 RTL8762C;
- RTL8762D Maximum Clock 90MHz，RTL8762C 只有 40MHz;
- RTL8762D 支持双 PDM 输入 DMIC;

Realtek Confidential