

Last Updated: 2022-08-02



Quartus II® 사용설명서

- Version 13.0 Service Pack 1



김 윤 홍

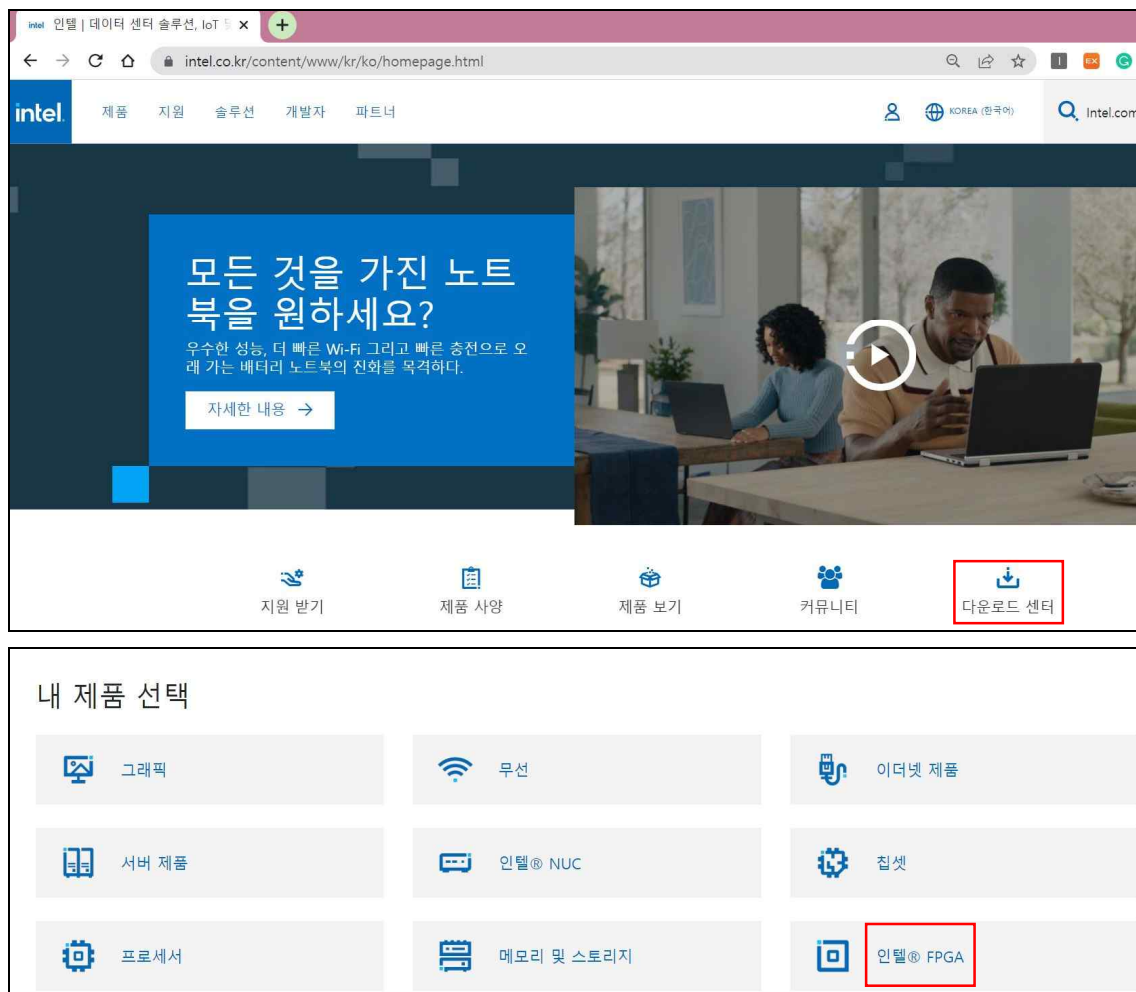
Quartus II Web Edition (13.0 SP1)

■ Quartus II 란?

- ALTERA社(2015년에 Intel에 인수됨)의 FPGA(Field-Programmable Gate Array) 디바이스에 디지털 시스템을 구현하기 위한 설계 소프트웨어.
- 학과에서 보유한 실험장비에 탑재된 FPGA 칩(Cyclone II)에 사용가능한 Quartus II의 최상위 버전(무료사용가능한 Web Edition 기준)인 13.0 Service Pack 1을 사용

■ Quartus II 설치

- 1) Intel의 홈페이지(<http://www.intel.com>)에 접속한 후, 다음 절차에 따라 설치파일을 download 받는다.



인텔® SoC FPGA용 ARM® 개발 스튜디오 (8)	☞ Linux용 인텔® Quartus® 프라임 스탠다드 에디션 디자인 소프트웨어 버전 21.1.1	736594	07/01/22	21.1.1
인텔 FPGA 장치 제품군 지우기	☞ Windows용 표준 에디션 소프트웨어 버전 21.1.1 인텔® Advanced Link Analyzer	736625	07/01/22	21.1.1
인텔® Arria® (82)				
인텔® Cyclone® (82)				
인텔® Stratix® (58)				
인텔® MAX® (44)	☞ Windows용 프라임 라이트 에디션 디자인 소프트웨어 버전 21.1.1 인텔® Quartus®	736572	07/01/22	21.1.1
Intel® Agilex™ FPGAs 및 SoC FPGAs (26)				
HardCopy™ ASIC 장치 (2)	☞ Questa*-인텔® FPGAs Windows용 소프트웨어 버전 22.2	734930	06/20/22	22.2

인텔 FPGA 장치 제품군 지우기	☞ Windows용 프라임 프로 에디션 디자인 소프트웨어 버전 22.2 인텔® Quartus®	734898	06/20/22	22.2
인텔® Arria® (82)				
인텔® Cyclone® (82)				
인텔® Cyclone® 10 FPGA (74)	☞ Linux용 프라임 프로 에디션 디자인 소프트웨어 버전 22.2 인텔® Quartus®	734897	06/20/22	22.2
Cyclone® IV FPGA (44)				
Cyclone® V FPGA 및 SoC FPGA (44)				
Cyclone® III FPGA (8)	☞ Linux용 프라임 프로 에디션 디자인 소프트웨어 버전 22.1 인텔® Quartus®	727906	04/05/22	22.1
Cyclone® II FPGA (4)				
Cyclone® FPGA (2)				
인텔® Stratix® (58)	☞ 인텔® Quartus® Windows용 Prime Pro Edition 디자인 소프트웨어 버전 22.1	727907	04/05/22	22.1
인텔® MAX® (44)				

추가 소프트웨어 지우기	제목	ID	날짜	버전
인텔® FPGA 시뮬레이션 도구 (4)	☞ Intel® Quartus® II Web Edition Design Software Version 13.0sp1 for Linux	711790	06/30/13	13.0sp1
인텔® FPGA용 DSP 빌더 (2)				
인텔 FPGA 장치 제품군 지우기	☞ Intel® Quartus® II Web Edition Design Software Version 13.0sp1 for Windows	711791	06/30/13	13.0sp1
인텔® Arria® (82)				
인텔® Cyclone® (82)				
Cyclone® II FPGA (4)	☞ Intel® Quartus® II Subscription Edition Design Software Version 13.0sp1 for Windows	711920	06/30/13	13.0sp1
인텔® Stratix® (58)				
인텔® MAX® (44)				
Intel® Agilex™ FPGAs 및 SoC FPGAs (26)	☞ Intel® Quartus® II Subscription Edition Design Software Version 13.0sp1 for Linux	711919	06/30/13	13.0sp1

Downloads

[Multiple Download](#)
[Individual Files](#)
[DVD Files](#)
[Additional Software](#)

Multiple Download

Intel® Quartus® II Web Edition Software (Device support included)

Download
Quartus-web-13.0.1.232-windows.tar

Size: 4.4 GB
SHA1: ada26bcb93044169c38c1e5a319cea5acc501438

Download and install instructions:

1. Download the software .tar file and the appropriate device support files.
2. Extract the files into the same temporary directory.
3. Run the setup.bat file.

[Read Intel® FPGA Software Installation FAQ](#)

Note: The Intel® Quartus® II software is a full-featured EDA product. Depending on your download speed, download times may be lengthy.

possible security threats, including intentional misconduct by third parties. Intel is not liable for any downtime or service interruption, for any lost or stolen data or systems, or for any other damages arising out of or relating to any such actions or intrusions or resulting from use of Software. Intel does not give or enter into any condition, warranty, or other term with respect to interoperability.

Intel does not warrant or assume responsibility for the accuracy or completeness of any information, text, graphics, links or other items within the Software. Please click "Accept" below to continue the download process.

Accept

Reject

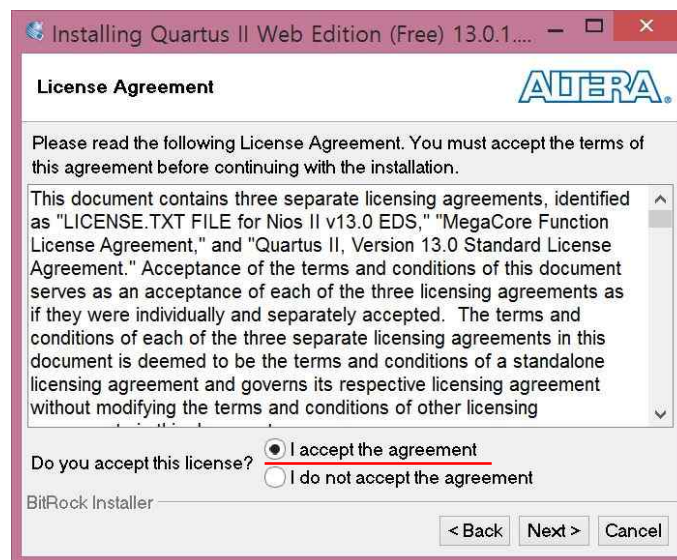
■ Download 파일명: [Quartus-web-13.0.1.232-windows.tar](#)

- 2) Download된 파일을 같은 폴더에 압축해제한 후에
- setup.bat을 실행하거나,
 - components\QuartusSetupWeb-13.0.1.232을 실행하여 Quartus II를 설치

C > Family (D:) > 다운로드			
이름	수정한 날짜	유형	크기
components	2022-08-02 오후 2:...	파일 폴더	
Quartus-web-13.0.1.232-windows	2022-08-02 오후 2:...	ALZip TAR File	4,604,690KB
<u>setup</u>	2013-06-14 오전 8:...	Windows 배치 파일	1KB

C > Family (D:) > 다운로드 > components			
이름	수정한 날짜	유형	크기
arria_web-13.0.1.232.qdz	2013-06-14 오전 4:...	QDZ 파일	478,475KB
cyclone_web-13.0.1.232.qdz	2013-06-14 오전 4:...	QDZ 파일	582,546KB
cyclonev-13.0.1.232.qdz	2013-06-14 오전 4:...	QDZ 파일	765,883KB
max_web-13.0.1.232.qdz	2013-06-14 오전 4:...	QDZ 파일	6,912KB
ModelSimSetup-13.0.1.232	2013-06-14 오전 7:...	응용 프로그램	798,027KB
QuartusHelpSetup-13.0.1.232	2013-06-14 오전 7:...	응용 프로그램	364,318KB
<u>QuartusSetupWeb-13.0.1.232</u>	2013-06-14 오전 8:...	응용 프로그램	1,608,518KB

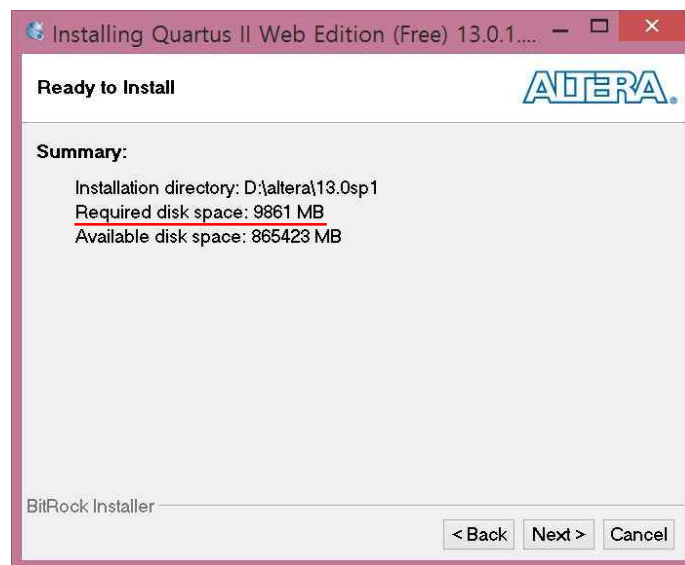
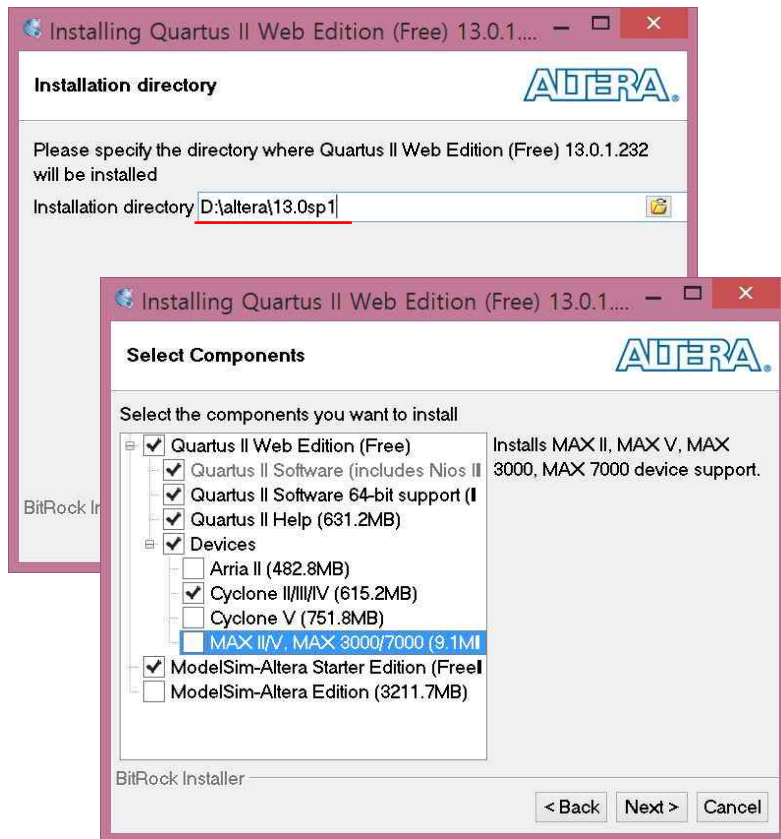
3) 설치화면



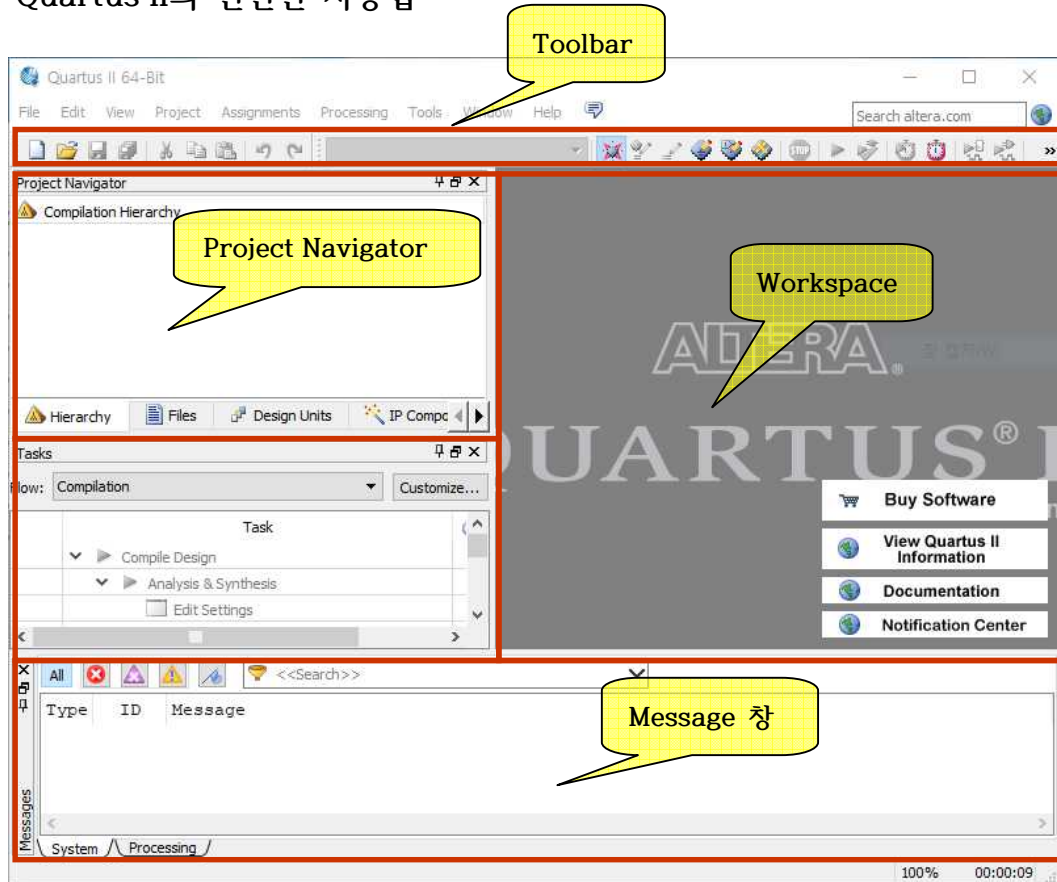
- 기본 설치폴더: <C:\altera\13.0sp1>
 - 필요하면 다른 드라이브에도 설치가능

- 바탕화면 단축아이콘



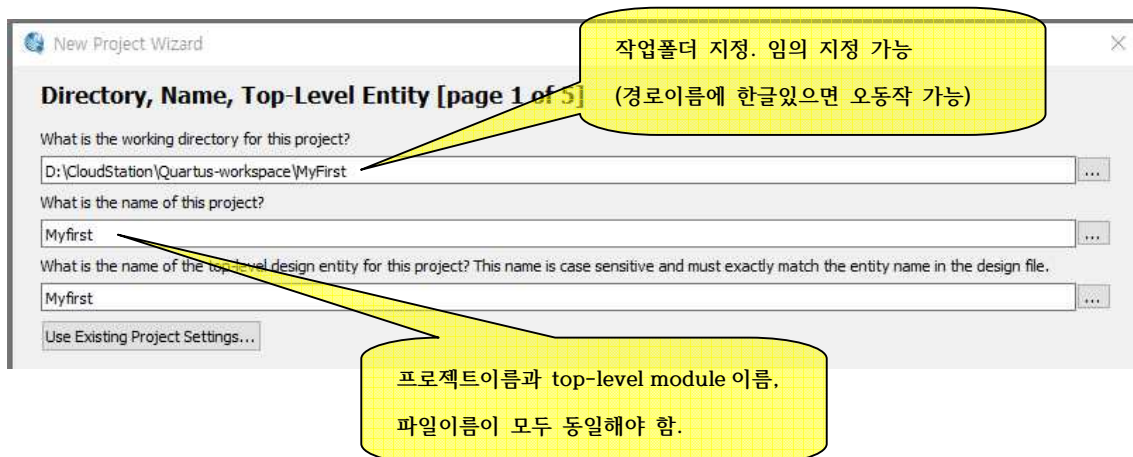


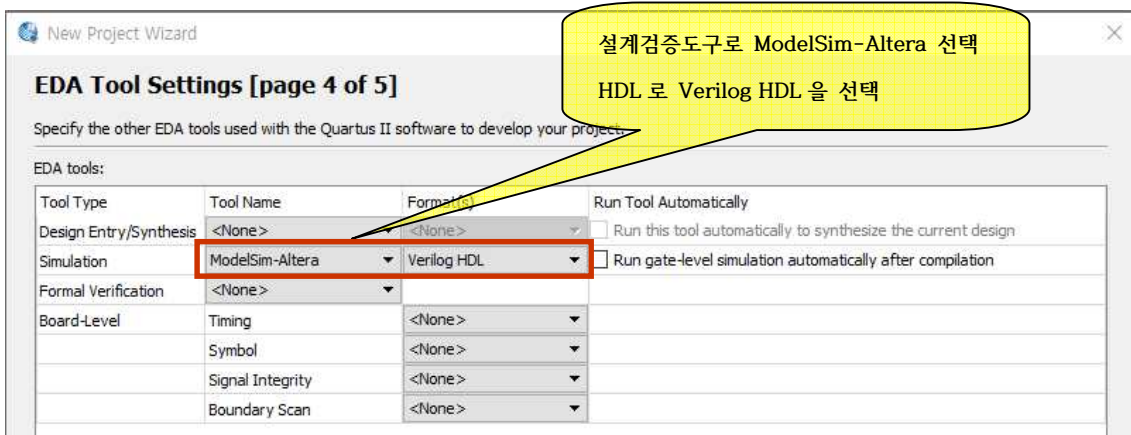
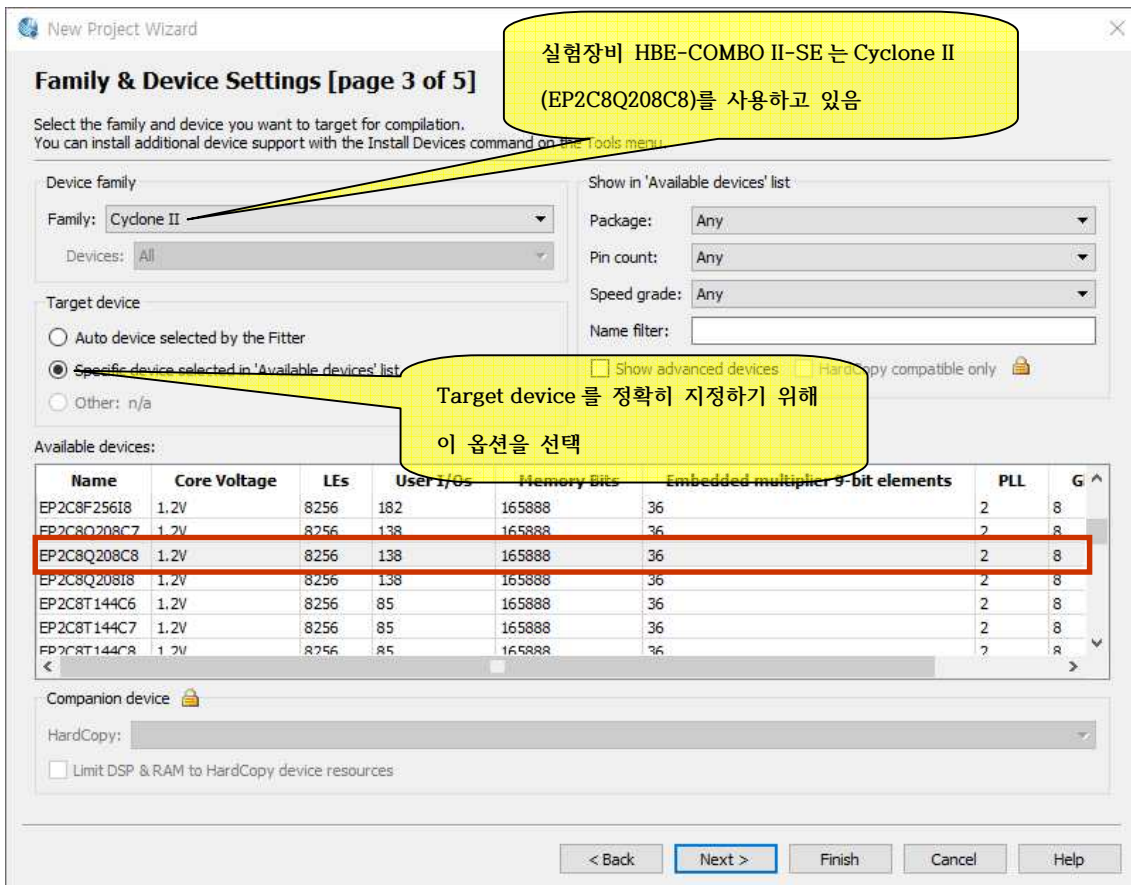
■ Quartus II의 간단한 사용법



< Project Wizard 를 사용하여 새로운 프로젝트 설정하기 >


File-[New Project Wizard] 메뉴를 클릭하여, 새로운 프로젝트를 설정한다.

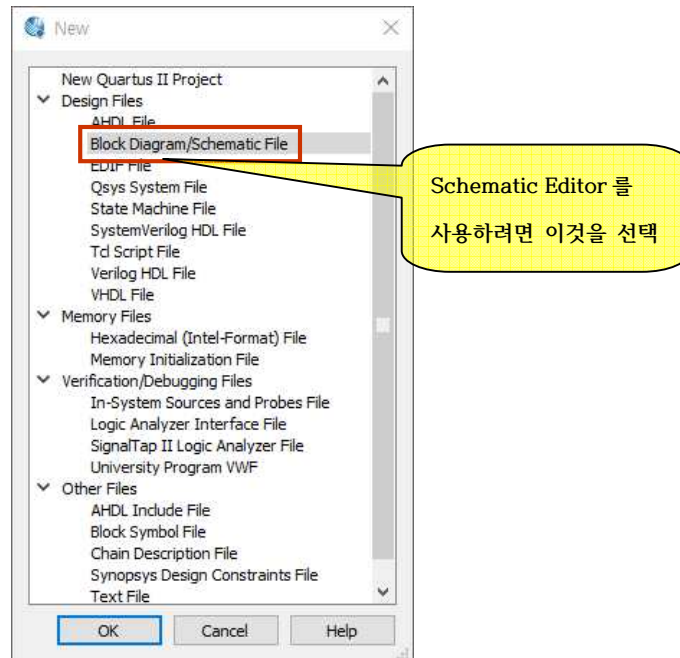




< Schematic Editor를 이용하여 설계하기 >

준비된 프로젝트에 schematic editor를 사용하여 설계된 회로도를 입력할 수 있다.

- 1) File-New 메뉴를 선택하거나, Toolbar에서 를 클릭

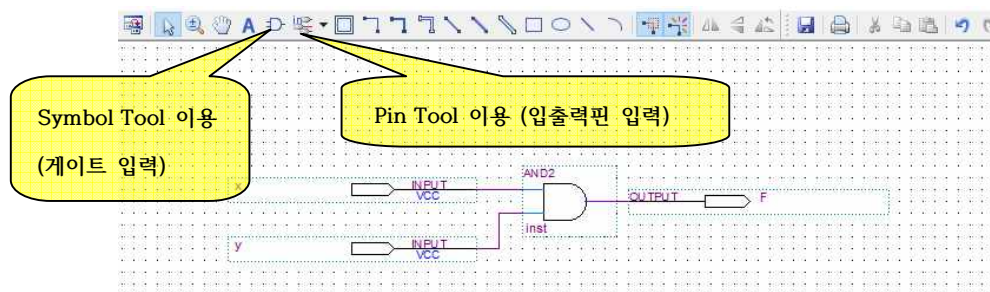


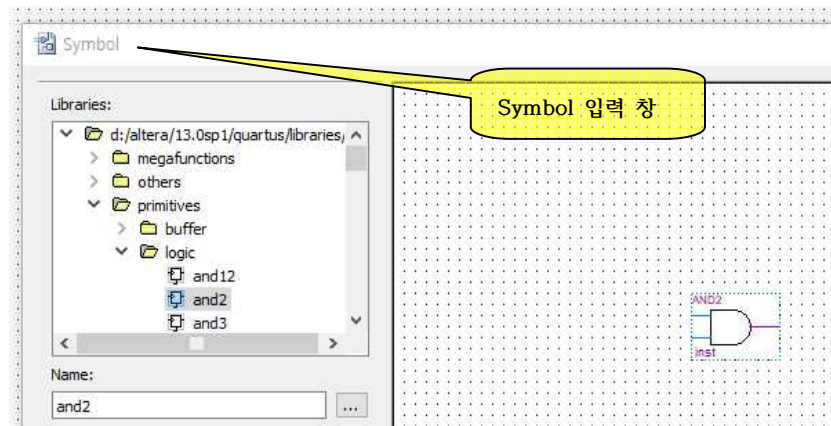
- 2) Symbol 불러오기

설계자가 사용할 gate symbol을 화면에 불러오는 과정이다.

- ① Schematic Editor내의 원하는 위치에서 더블 클릭하거나, 마우스 우클릭을 하여 단축 메뉴에서 Insert - Symbol 을 선택한다.

또는





- ② Symbol 대화상자의 Libraries에서 원하는 심볼을 찾아서 선택한 후에 OK버튼을 클릭한다.

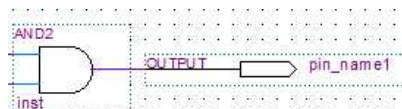
megafunctions	<ul style="list-style-type: none"> · ALTERA에서 별도로 지원하는 매크로함수 라이브러리. · arithmetic, gates, IO, storage 등이 저장됨.
others	<ul style="list-style-type: none"> · maxplus2, opencore_plus 라이브러리가 저장됨. · TTL 등의 매크로함수 라이브러리
primitives	<ul style="list-style-type: none"> · gate-level의 기본 심볼 라이브러리 <ol style="list-style-type: none"> 1) logic : 기본 게이트 심볼 포함 2) pin : 입출력 핀 심볼 포함 3) storage : 플립플롭 관련 심볼 포함

- ③ 원하는 Symbol들을 불러온 후, 필요한 경우 symbol을 복사하여(Ctrl키+drag) 사용한다.

3) Symbol들의 입출력 노드 연결하기


- Symbol을 직접 drag하여 이동시켜 입출력 노드를 연결하거나,
- 입출력선을 drag하여 서로 연결시킬 수 있다.

4) 입출력 핀에 이름 부여하기

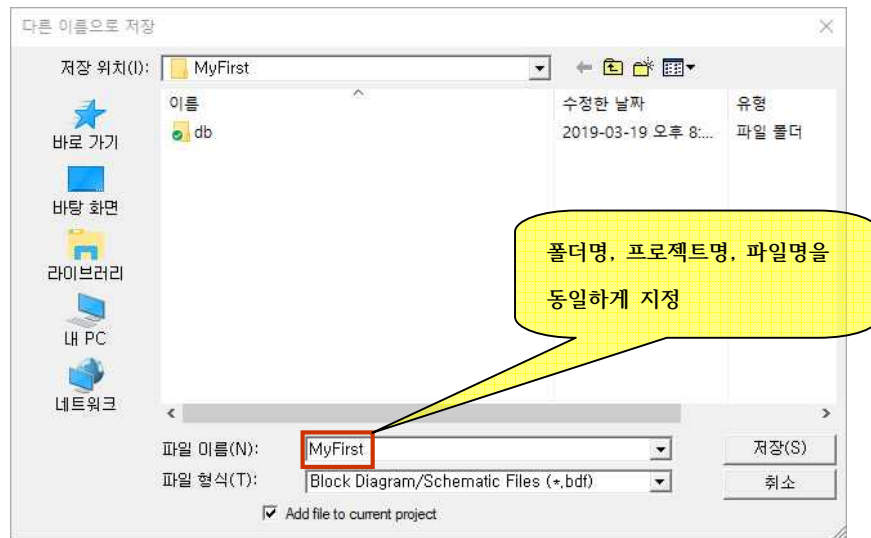


- pin_name을 더블 클릭한 후에 적당한 이름을 입력하고 엔터를 치거나,
- pin_name에 오른쪽 마우스버튼을 클릭하여 [Properties]메뉴를 선택한 후 팝업창에서 직접 입력한다.

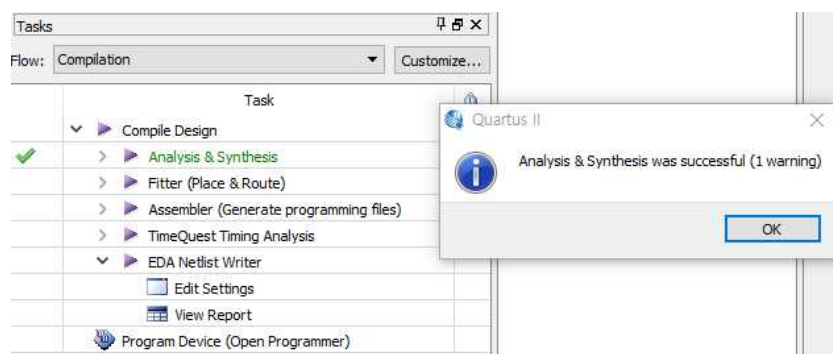
5) 설계한 회로의 저장 및 오류 검사하기

- Toolbar에서  를 클릭하거나,
- Processing-Start-[Start Analysis & Synthesis] 메뉴를 선택한다.

① 처음 저장할 경우에는 다음과 같은 창이 먼저 표시된다.



② 설계된 회로를 MyFirst.bdf 파일에 저장하고 Analysis & Synthesis 과정을 수행한 후에 성공 여부를 출력한다.



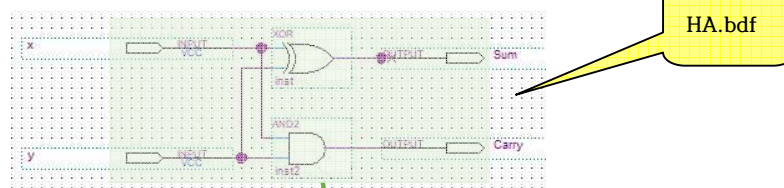
- 정상적인 경우 에러와 경고가 없다는 메시지상자가 표시된다.
- 회로설계에 이상이 있는 경우에는 경고나 에러가 메시지상자에 표시된다.
- 각 오류메시지에 대한 오류위치를 확인하려면, 해당 메시지를 선택한 후, 마우스 우클릭 메뉴 중에서 Locate-[Locate Design Files]선택한다.

< Symbol 저장하기 >

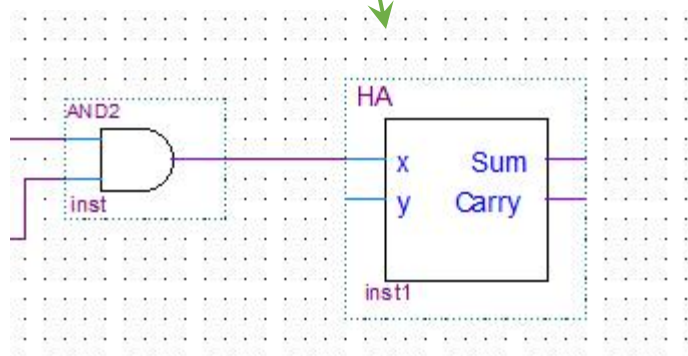
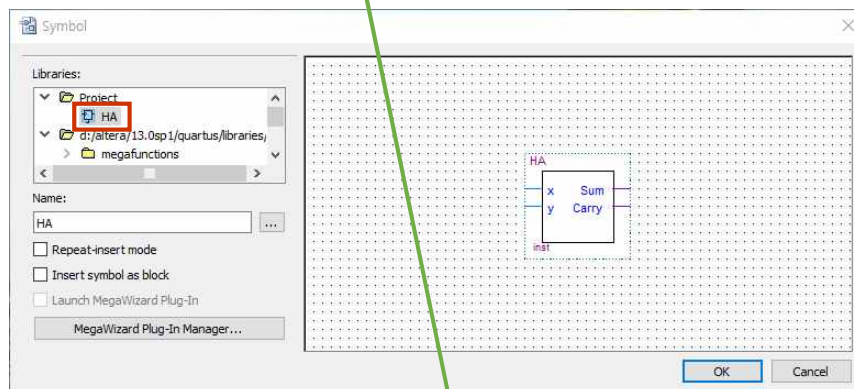
사용자가 직접 만든 논리회로를 다음에 재사용하기 위해 심볼로 저장할 수 있다.

- ① Schematic editor를 통하여 설계한 회로를 File-[Create/Update]-[Create Symbol File for Current File] 메뉴를 선택하면 심볼(*.bsf 파일)로 저장된다.

(예) 아래 회로를 HA.bdf에 저장한 후에 symbol로 등록을 하면 HA.bsf가 프로젝트 폴더 밑에 저장된다.




- ② 다음에 해당 심볼을 불러올 때는 심볼 창 의 Project폴더 밑에서 찾아 선택한다.



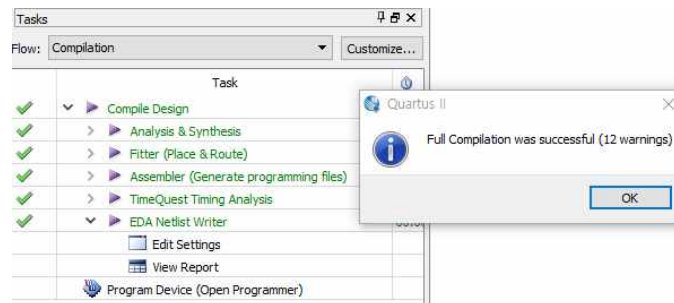
< Quartus II Compiler >

- Block Design File(.bdf), Verilog Design File(.v) 등의 설계파일들을 simulation과정이나 programming 과정을 수행할 수 있게 하는 출력파일을 생성.
- 설계한 회로에 대해 4단계의 compiler과정을 수행
[Analysis & Synthesis] → [Fitter] → [Assembler] → [Timing Analyzer]

1) Schematic Editor 등을 이용하여 회로를 설계


2) Toolbar에서  를 클릭하거나, Processing-[Start Compilation] 메뉴를 선택하여

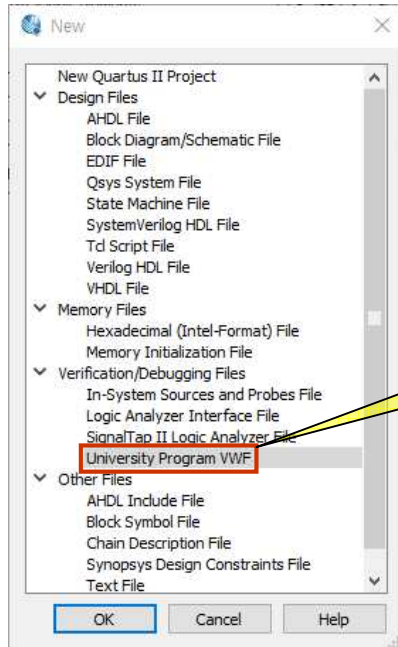
Compilation 과정을 수행하면 그 성공 여부가 다음과 같이 출력된다.



< Vector Waveform File 생성하기 >

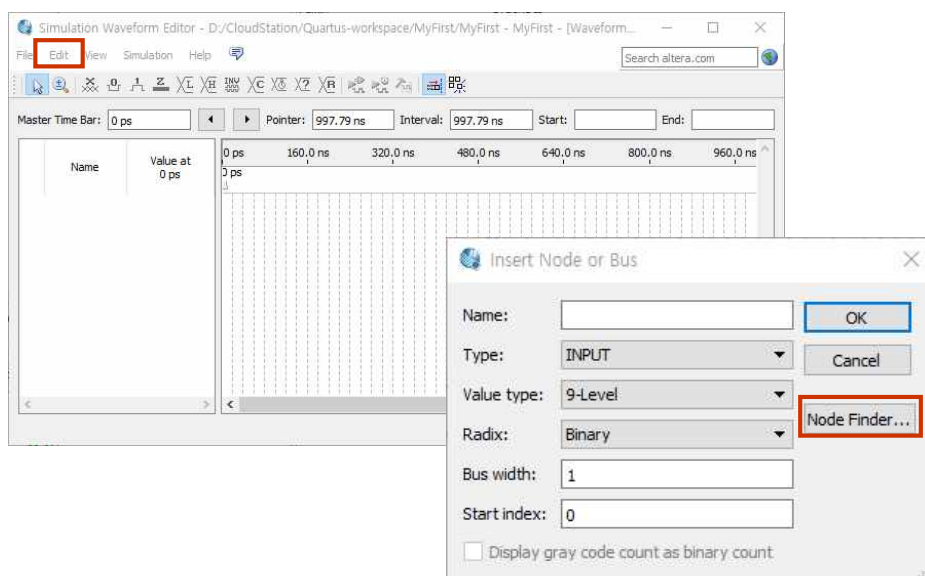
설계한 회로의 동작을 확인하기 위해 입력하기 위한 입력파형을 편집. (*.vwf 파일)

- 1) File-New 메뉴를 선택하거나, Toolbar에서 를 클릭

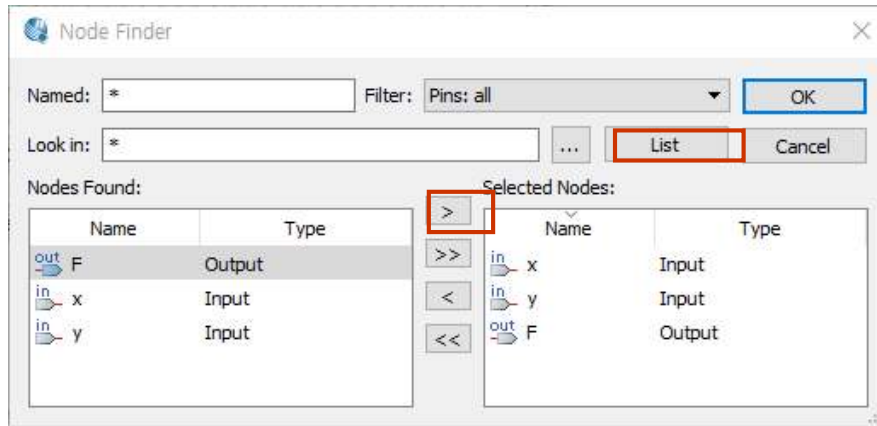


입력파형을 편집하려면 이 항목을 선택.
이 방법은 교육용으로만 한정하고 있으며,
실제 ModelSim-Altera 도구를 사용하도록
권장하고 있음.

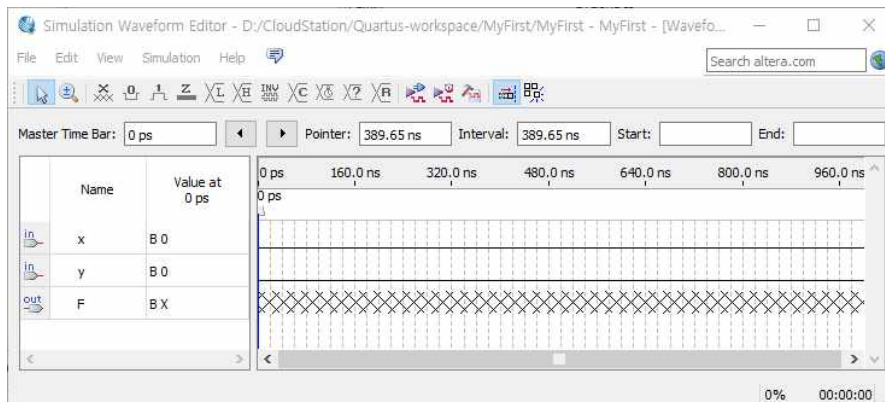
- 2) 아래의 입력파형 편집창에서 Edit-Insert-[Insert Node or Bus] 메뉴를 선택한 후, [Node Finder]버튼을 클릭.



- 3) Node Finder창에서 [Filter]부분을 적절히 선택한 후, [List]버튼을 클릭하고
[>] 또는 [>>]버튼을 이용하여 원하는 node를 옮기고 [OK]버튼을 클릭.



- 4) Insert Node or Bus 창의 [OK]버튼을 클릭하면 다음과 같이 입력파형 편집창에
각 입출력 노드가 표시된다. 이제 입력노드의 파형을 편집할 수 있다.



-입력파형 설정하기

Edit-[Grid Size...] 메뉴 : 원하는 시간 단위를 설정

Edit-[Set End Time...] 메뉴 : 관측 종료시간을 설정



아이콘 : 시간축의 display scale을 조정. 클릭 후 마우스커서를 표시창으로 이동

(마우스왼쪽버튼: Zoom-In, 마우스오른쪽버튼: Zoom-Out)



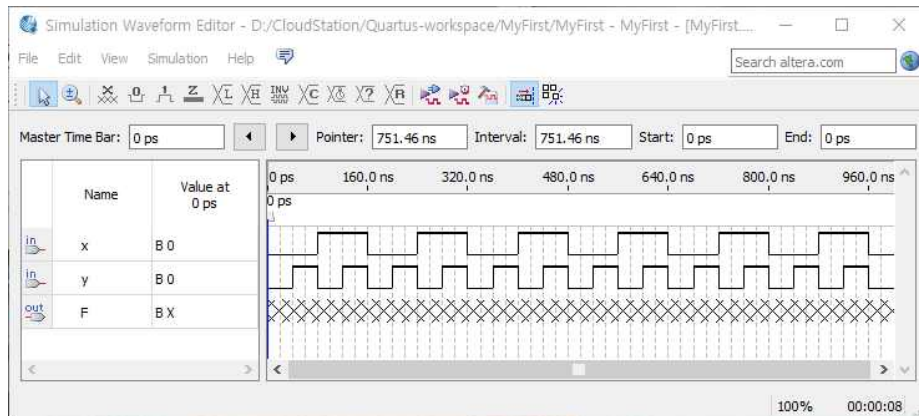
등의 아이콘들을 이용하여 파형을 편집

필요할 경우, 여러 입력노드들을 grouping하는 것이 가능

- 5) File-Save 메뉴를 클릭하여 저장

< Quartus II 에서 Functional Simulation 하기 >

아래와 같은 입력파형이 준비되면,

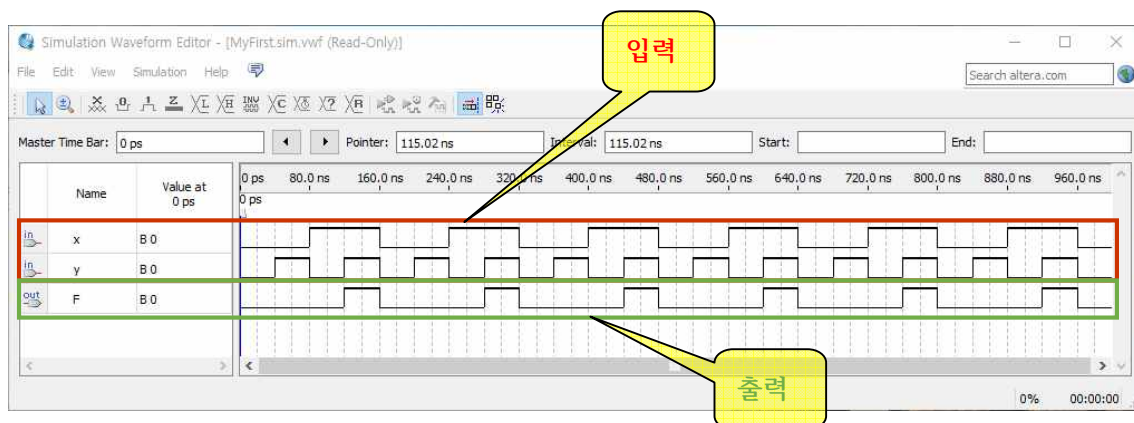


1) Simulation-Options 메뉴를 클릭하고 Quartus II Simulator를 선택한다.



2) Toolbar에서  를 클릭하여 Functional Simulation을 실행한다.

실행결과 화면은 다음과 같은 형식으로 표시된다.



3) 입력과 출력 파형을 확인하고 분석하여, 설계된 회로가 정상적으로 동작하는지를 확인한다.

< Quartus II Simulator >

- 설계한 논리회로에 입력파형을 넣고 이에 따른 출력파형을 얻어서 정상동작 여부를 확인할 수 있도록 하는 검증도구.
- 제공되는 Simulation 방법

1) Functional Simulation

이상적으로 논리적 동작만을 시뮬레이션(지연시간=0으로 가정)


Toolbar에서 를 클릭하여 실행

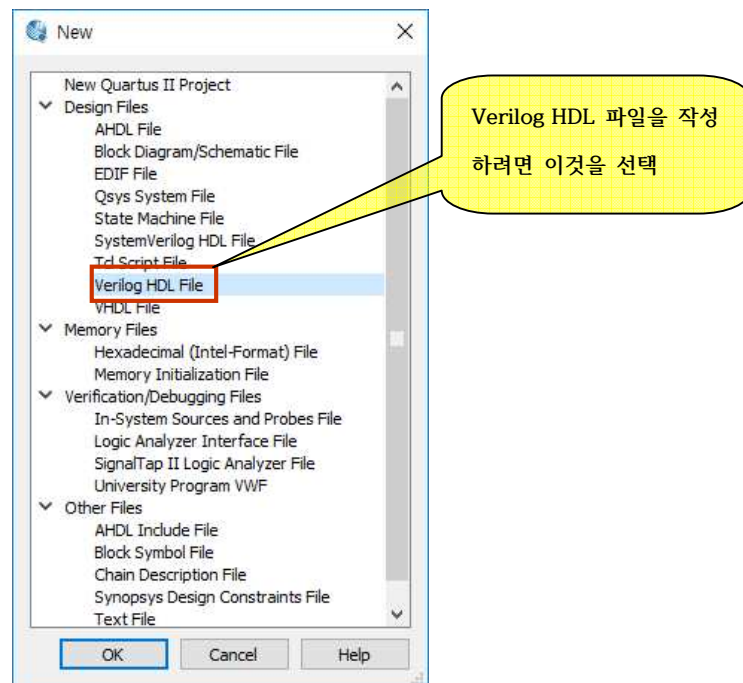
2) Timing Simulation

device의 지연시간을 고려하여 정확한 타이밍동작을 시뮬레이션

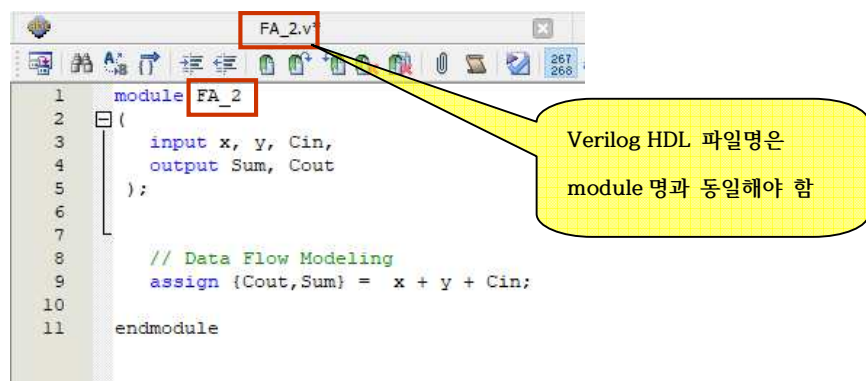
Toolbar에서 를 클릭하여 실행

< Schematic Editor 대신 Verilog HDL을 이용하여 설계하기 >

- 1) File-New 메뉴를 선택하거나, Toolbar에서 를 클릭



- 2) Text Editor창이 열리면 Verilog HDL code를 입력하고, 저장할 때 파일명은 module 이름과 동일하게 정한다.(확장자는 .v) 동일한 방법으로 여러 개의 .v 파일을 추가하여 사용할 수 있다.



- 3) 이후의 과정은 Schematic Editor를 이용하는 경우와 동일하므로, 9쪽의 단계 5)부터 같은 과정을 따르면 된다.

< 다양한 설계방법을 이용한 Full Adder의 설계 프로젝트 >

- Block Design File(.bdf), Verilog Design File(.v) 등의 설계파일들을 상황에 따라 다양하게 혼용하여 설계가 가능.
- 다양한 설계 방법을 설명하기 위한 Full Adder 설계 예.
- 제공되는 압축파일에 6개의 프로젝트 폴더가 있으며, 각 폴더에 필요한 설계파일들만 미리 작성하여 저장해 놓았음. 이들을 이용하여 설계/시뮬레이션 과정 등을 수행해 볼 것.

(1) FA_1 프로젝트

Schematic만을 이용하여 설계
관련 파일: FA_1.bdf

(2) FA_2 프로젝트

Verilog HDL만을 이용하여 설계.(Structural Modeling, Data Flow Modeling)
관련 파일: FA_2.v, tb_FA_2.v(Test Bench file)

(3) FA_3 프로젝트

HA(Half Adder) : schematic으로 작성(symbol로 등록)
FA : schematic으로 작성(HA symbol을 이용)
관련 파일: FA_3.bdf, HA.bdf

(4) FA_4 프로젝트

HA : schematic으로 작성
FA : VerilogHDL로 작성. (HA module을 이용)
관련 파일: FA_4.v, HA.bdf

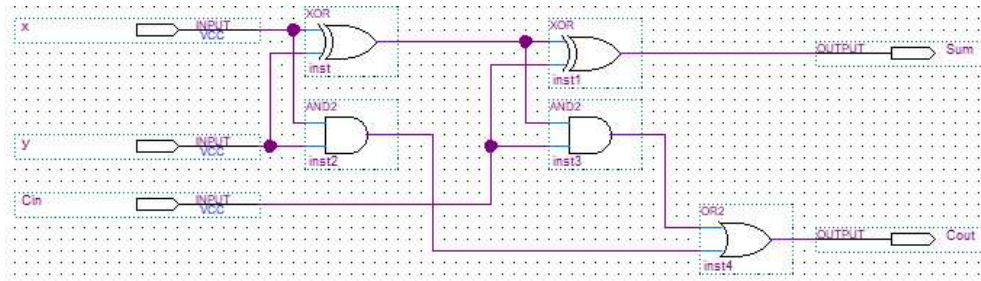
(5) FA_5 프로젝트

HA : VerilogHDL로 module을 작성(Structural Modeling, Data Flow Modeling)하고,
symbol로 등록
FA : schematic으로 작성(HA symbol을 이용)
관련 파일: FA_5.bdf, HA.v

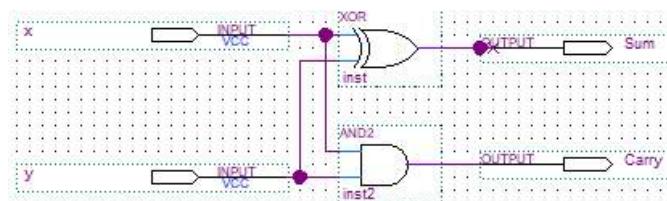
(6) FA_6 프로젝트

HA : VerilogHDL로 module작성(Structural Modeling, Data Flow Modeling)
FA : VerilogHDL로 작성.(HA module을 이용)
관련 파일: FA_6.v, HA.v, tb_FA_6.v(Test Bench file)

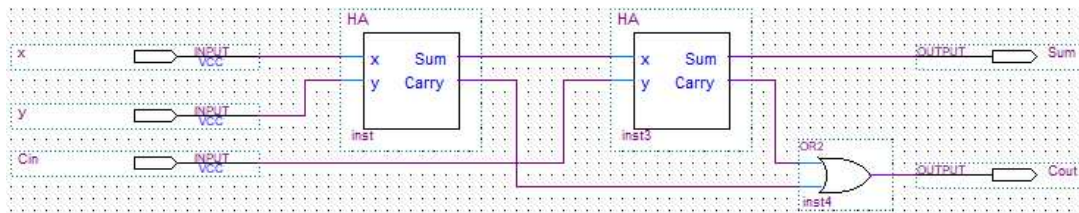
[FA_1.bdf]



[HA.bdf]



[FA_3.bdf, FA_5.bdf]



[FA_2.v]

```

1  /*
2  Full Adder Module for bit Addition
3  */
4  module FA_2
5  (
6      input x,
7      input y,
8      input Cin,
9
10     output Sum,
11     output Cout
12 );
13
14     /*
15     // Structural Modeling
16     wire w1, w2, w3;
17
18     xor x1(w1, x, y);
19     and a1(w2, x, y);
20
21     xor x2(Sum, w1, Cin);
22     and a2(w3, w1, Cin);
23
24     or r1(Cout, w2, w3);
25     */
26
27     // Data Flow Modeling
28     assign {Cout,Sum} = x + y + Cin;
29
30 endmodule

```

Verilog HDL 표현 1: **Structural modeling**

- 회로의 구조에 대하여 기술

Verilog HDL 표현 2: **Dataflow modeling**

- 회로의 동작에 대하여 기술

[FA_4.v, FA_6.v]

```

1 module FA_4(
2     input x, y, Cin,
3     output Sum, Cout
4 );
5
6     wire w_Sum1;
7     wire w_Cout1, w_Cout2;
8
9     HA ha1(.x(x), .y(y), .Sum(w_Sum1), .Carry(w_Cout1));
10    HA ha2(.x(w_Sum1), .y(Cin), .Sum(Sum), .Carry(w_Cout2));
11    assign Cout = w_Cout1 | w_Cout2;
12 endmodule

```

FA_6.v의 경우: module 이름만 FA_6로 바뀜

[HA.v]

```

1 module HA(
2     input x, y,
3     output Sum, Carry
4 );
5
6     // -----
7     // Structural Modeling
8     // -----
9     xor x1(Sum, x, y);
10    and a1(Carry, x, y);
11
12    /*
13    // -----
14    // Data Flow Modeling
15    // -----
16    assign Sum = x ^ y;
17    assign Carry = x & y;
18    */
19 endmodule

```

[tb_FA_2.v, tb_FA_6.v]

```

1 `timescale 1 ns / 100 ps
2
3 module tb_FA_2(
4
5     reg [2:0] D; // Inputs
6     wire Sum, Cout; // Outputs
7
8     // Instantiate the Unit Under Test (UUT)
9     FA_2 fal (D[2], D[1], D[0], Sum, Cout);
10    // Or FA fal (.x(x), .y(y), .Cin(Cin), .Sum(Sum), .Cout(Cout));
11
12    initial
13    begin
14
15        //Apply inputs. 8 combinations of inputs are possible.
16
17        D = 3'b000;
18        repeat (8)
19            #10 D = D + 3'b001;
20    end
21 endmodule

```

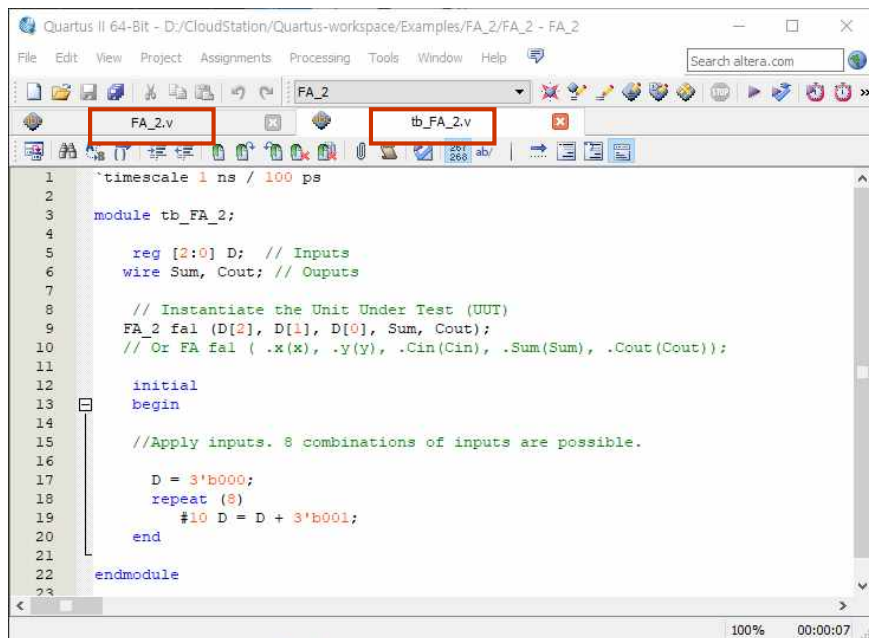
Simulation 단위시간은 1ns, 오차는 100ps

tb_FA_6.v의 경우: module 이름만 tb_FA_6로 바뀜

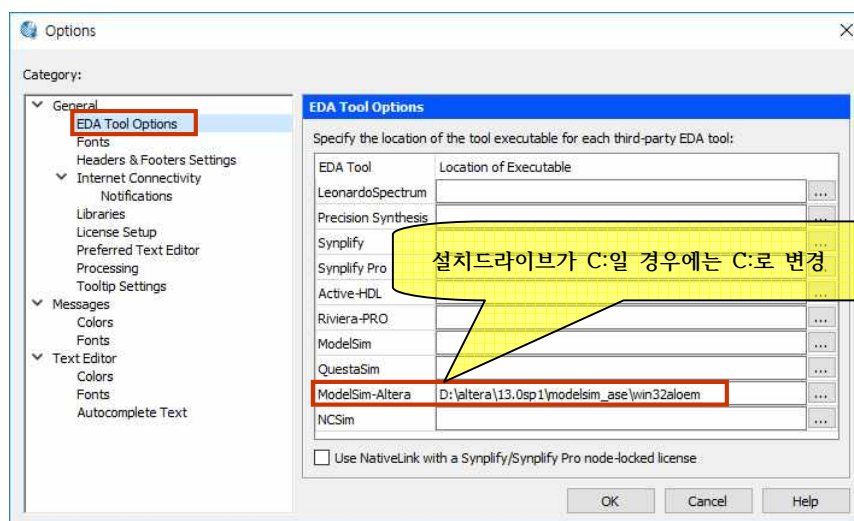
< Test Bench file을 이용하여 ModelSim-Altera로 Simulation 하기 >

- ModelSim-Altera를 이용하여 simulation하기 위해서는 설계파일들이 모두 Verilog HDL로 이루어져야 함. (schematic editor를 이용한 .bdf 파일은 허용안됨.)
- Verilog HDL로 입력파형을 기술한 Test Bench 파일을 준비해야 함.
- FA_2 프로젝트(FA_2.v, tb_FA_2.v)를 예로 들어 설명

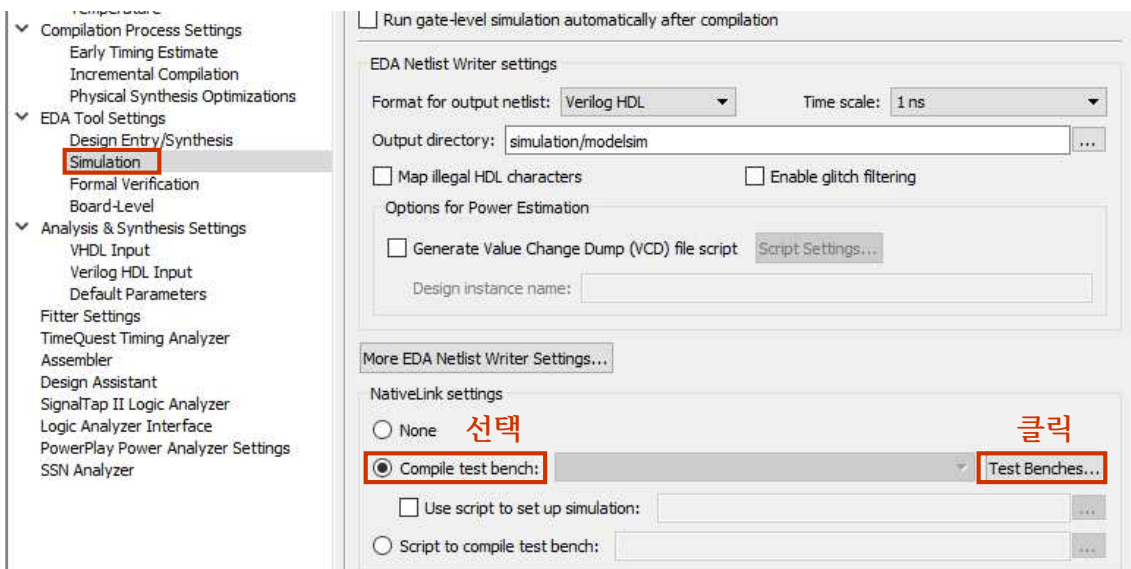
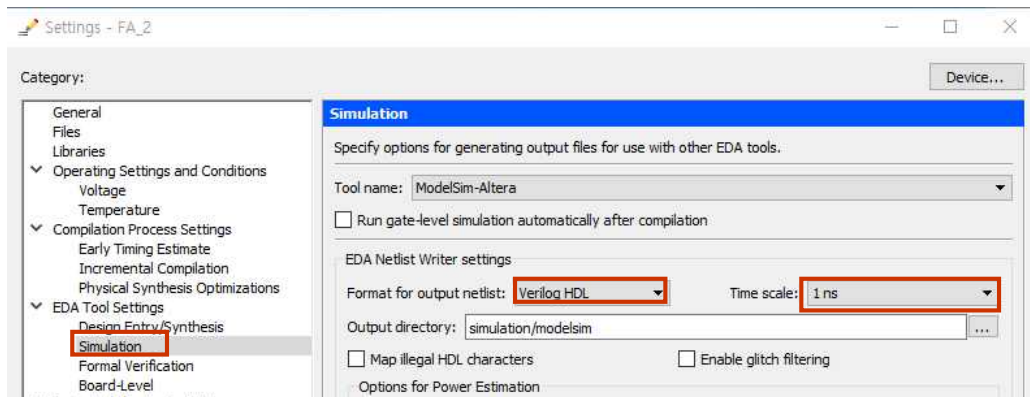
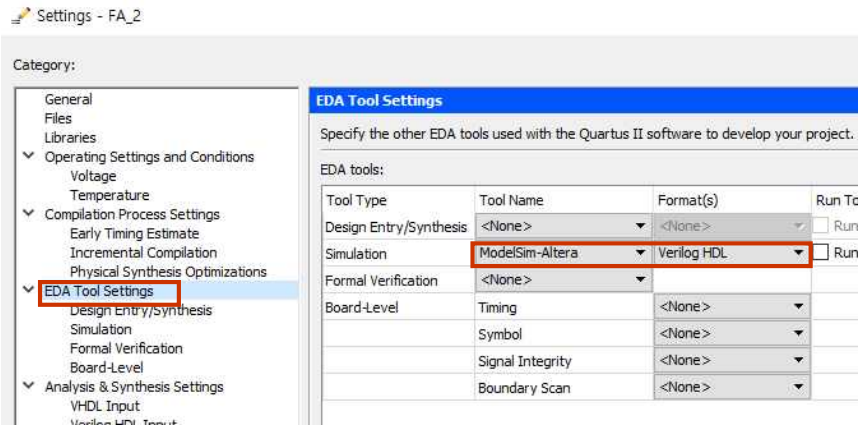
1) 설계파일과 Test Bench 파일을 다음과 같이 준비

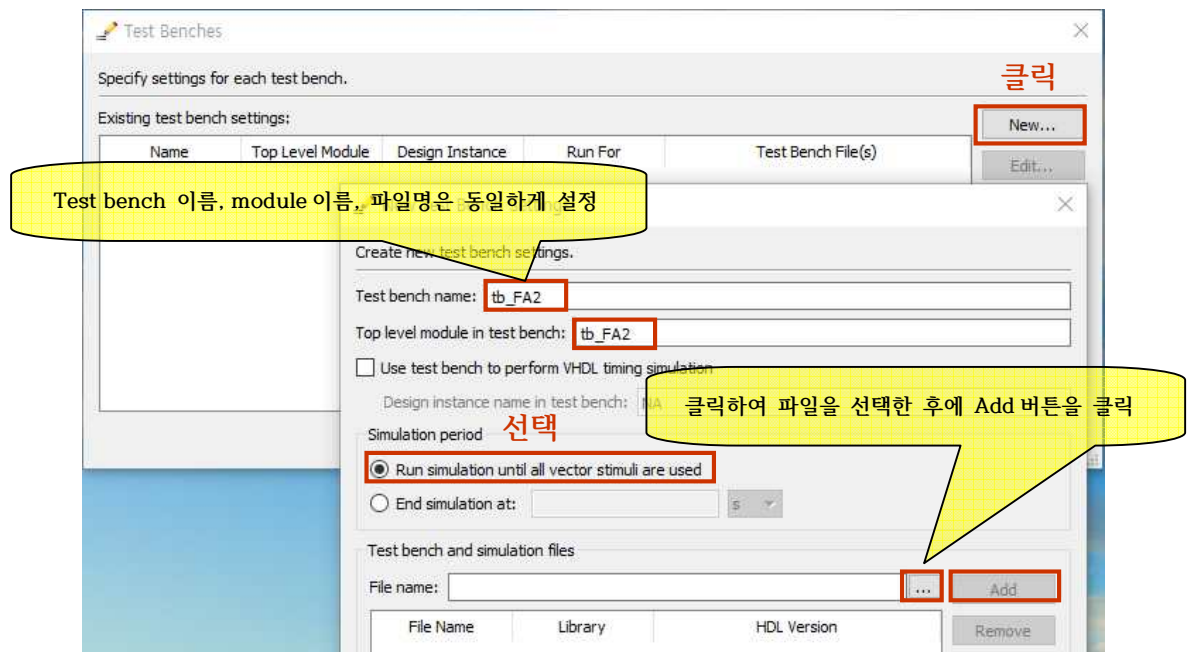





2) Tools-[Options...] 메뉴를 클릭



3) Toolbar에서  를 클릭하거나, Assignments-[Settings...] 메뉴를 선택.





- 4) Toolbar에서  를 클릭하여 [Start Analysis & Synthesis]를 수행.
- 5) Toolbar에서  를 클릭하여 [Start Compilation]을 수행.
- 6) Toolbar에서  를 클릭하거나, Tools-[Run Simulation Tool]-[RTL Simulation] 메뉴를 클릭하여 RTL Simulation을 수행.
오류가 없으면 ModelSim 도구가 자동으로 실행되며 다음과 같이 출력파형이 표시된다.

