



МИНИСТЕРСТВО НАУКИ И ВЫСШЕГО ОБРАЗОВАНИЯ РОССИЙСКОЙ
ФЕДЕРАЦИИ

ФЕДЕРАЛЬНОЕ ГОСУДАРСТВЕННОЕ БЮДЖЕТНОЕ
ОБРАЗОВАТЕЛЬНОЕ УЧРЕЖДЕНИЕ ВЫСШЕГО ОБРАЗОВАНИЯ
МОСКОВСКИЙ ГОСУДАРСТВЕННЫЙ ТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ
ИМЕНИ Н.Э. БАУМАНА
(НАЦИОНАЛЬНЫЙ ИССЛЕДОВАТЕЛЬСКИЙ УНИВЕРСИТЕТ)
(МГТУ им. Н.Э. БАУМАНА)

ФАКУЛЬТЕТ _____ «Информатика и системы управления»

КАФЕДРА _____ «Программное обеспечение ЭВМ и информационные технологии»

НАПРАВЛЕНИЕ ПОДГОТОВКИ _____ «09.03.04 Программная инженерия»

ОТЧЕТ ПО ЛАБОРАТОРНОЙ РАБОТЕ №1

Название: _____ Проектирование систем на кристалле на основе ПЛИС

Дисциплина: _____ Архитектура ЭВМ

Студент	ИУ7-54Б		С. Д. Параскун
	Группа	Подпись, дата	И. О. Фамилия

Преподаватель		А. Ю. Попов
	Подпись, дата	И. О. Фамилия

Москва, 2021 г.

Цель работы

Изучение основ построения микропроцессорных систем на ПЛИС. В ходе работы необходимо ознакомиться с принципами построения систем на кристалле (СНК) на основе ПЛИС, получить навыки проектирования СНК в САПР Altera Quartus II, выполнить проектирование и верификацию системы с использованием отладочного комплекта Altera DE1Board.

1. Функциональная схема разрабатываемой системы на кристалле

Представлена на рис. 1.1.



Рисунок 1.1 – Функциональная схема разрабатываемой системы на кристалле

Она состоит из следующих элементов:

1. микропроцессорное ядро Nios II/e, выполняющее функции управления системой;
2. внутренняя оперативная память СНК, используемая для хранения программы управления и данных;
3. системная шина Avalon, обеспечивающая связность всех компонентов системы;
4. блок синхронизации и сброса, обеспечивающий обработку входных сигналов сброса и синхронизации и распределение их в системе. Внутренний сигнал сброса синхронизирован и имеет необходимую для системы длительность;

5. блок идентификации версии проекта, обеспечивающий хранение и выдачу уникального идентификатора версии, который используется программой управления при инициализации системы;
6. контроллер UART, обеспечивающий прием и передачу информации по интерфейсу RS232.

2. Создания модуля системы на кристале QSYS

В процессе были выполнены следующие действия:

- создан новый модуль QSYS;
- установлена частота внешнего сигнала синхронизации 50 000 000 Гц;
- добавлены в проект модуль синхронизируемого микропроцессорного ядра Nios2 и модуль ОЗУ программ и данных;
- добавлены компоненты Avalon System ID, Avalon UART;
- создана сеть синхронизации и сброса системы;
- сигналы TX и RX экспортированы во внешние порты;
- назначены базовые адреса устройств.

Сделанный модуль системы представлен на рис. 2.1.

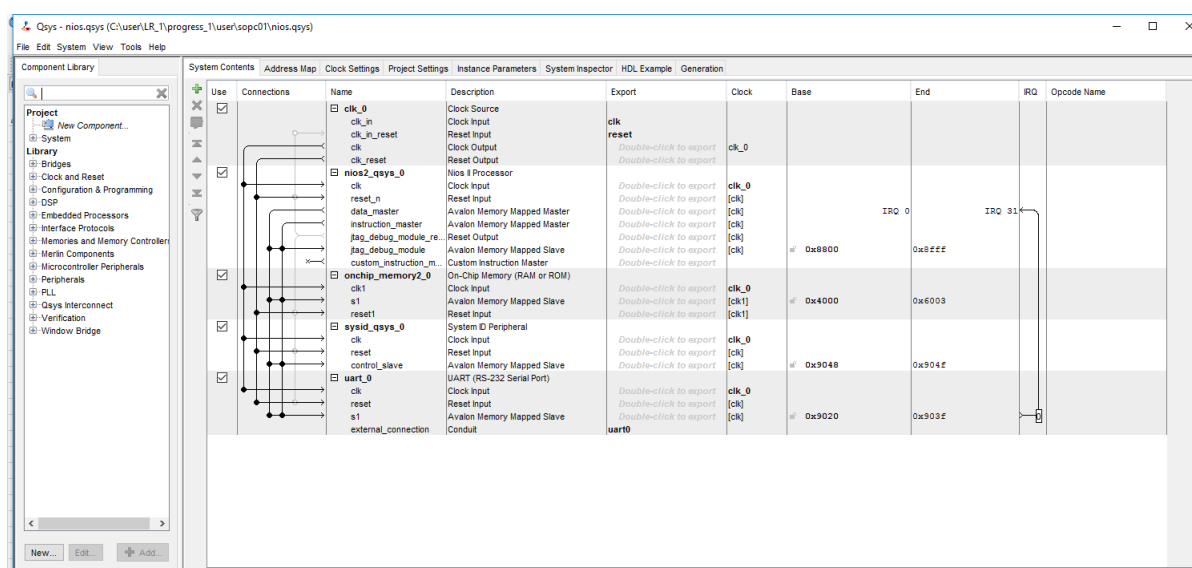


Рисунок 2.1 – Готовый модуль в системе проектирования системы на кристалле Altera Qsys

3. Назначение портам контактов микросхемы

В соответствии с методическими указаниями к лабораторной сигналам были назначены следующие контакты:

- clk - контакт L1;
- reset - контакт R22;
- uart0_rxd - контакт F14;
- uart0_txd - контакт G12.

Результат представлен на рис. 3.1.

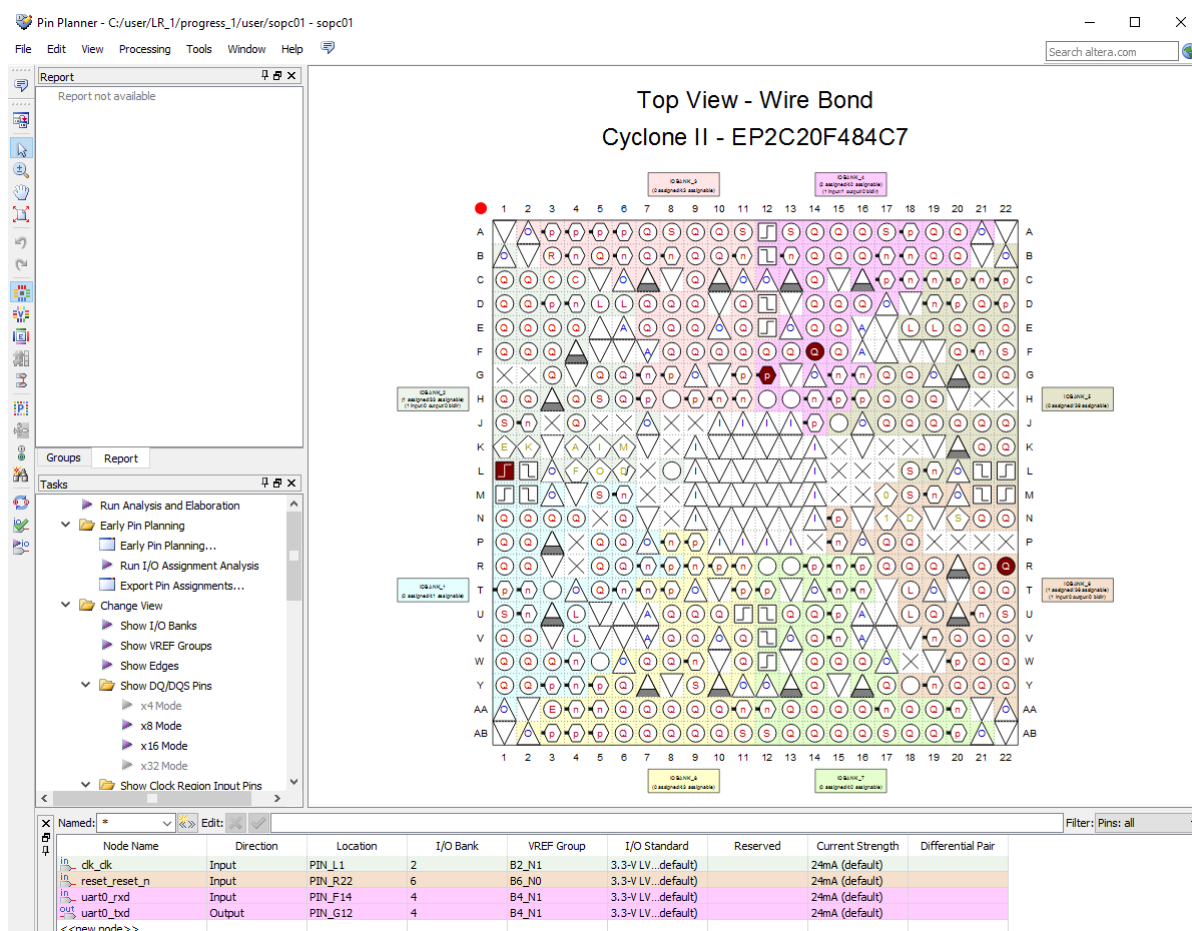


Рисунок 3.1 – Модуль Pin Planner

4. Создание проекта Nios2

Был создан файл эхо-программы приема-передачи по интерфейсу R32. Его листинг представлен ниже. Также был создан образ ОС HAL с драйверами устройств, используемых в аппаратном проекте.

Листинг 4.1 – Код рассматриваемой программы

```
1 #include "sys/alt_stdio.h"
2 #include "system.h"
3 #include "altera_avalon_sysid_qsys.h"
4 #include "altera_avalon_sysid_qsys_regs.h"
5 int main()
6 {
7     char ch;
8     alt_putstr("Hello from System on Chip\n");
9     alt_putstr("Send any character\n");
10
11     int id = IORD_ALTERA_AVALON_SYSID_QSYS_ID(SYSID_QSYS_0_BASE);
12     char arr[10];
13     int i = 0;
14     while (i <= 3) {
15         arr[3-i] = (char)('0' + id%10);
16         id = id/10;
17         i = i+1;
18     }
19     arr[4] = '\0';
20     alt_putstr(arr);
21     while (1) {
22         ch=alt_getchar();
23         alt_putchar(ch);
24     }
25     return 0;
26 }
```

5. Подключение к ПК отладочной платы

К ПК была подключена отладочная плата с ПЛИС EPC2C20. Была выполнена верификация проекта с использованием программы терминала. Вывод сообщения с номером группы и вариантом представлен на рис. 5.1.

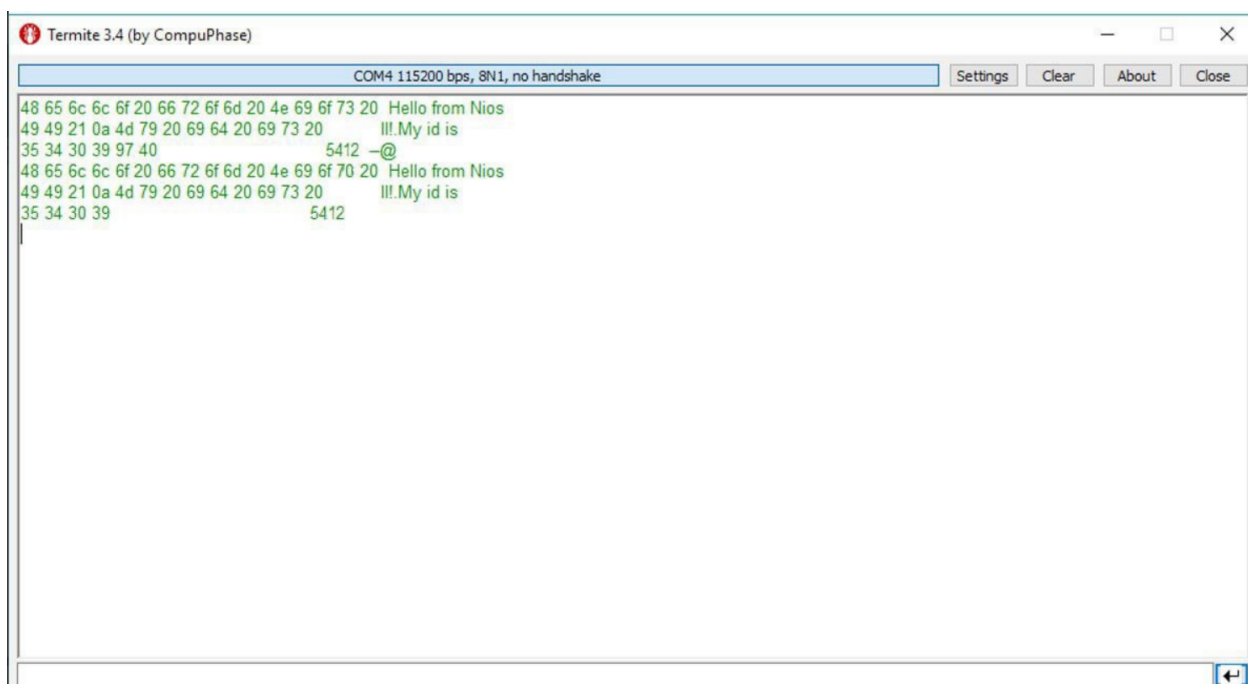


Рисунок 5.1 – Тестирование

Вывод

В ходе данной лабораторной работы были изучены основы построения микропроцессорных систем на ПЛИС, получены навыки проектирования СНК в САПР Altera Quartus II, также были выполнены проектирование и верификация системы с использованием отладочного комплекта Altera DE1Board. Поставленная цель была достигнута.