



Министерство науки и высшего образования Российской Федерации
Федеральное государственное бюджетное образовательное учреждение
высшего образования
«Московский государственный технический университет
имени Н.Э. Баумана
(национальный исследовательский университет)»
(МГТУ им. Н.Э. Баумана)

ФАКУЛЬТЕТ ИНФОРМАТИКА И СИСТЕМЫ УПРАВЛЕНИЯ

КАФЕДРА ПРОГРАММНОЕ ОБЕСПЕЧЕНИЕ ЭВМ И ИНФОРМАЦИОННЫЕ
ТЕХНОЛОГИИ (ИУ7)

НАПРАВЛЕНИЕ ПОДГОТОВКИ 09.03.04 Программная инженерия

О Т Ч Е Т

по лабораторной работе № 4

Название: Исследование мультиплексоров

Дисциплина: Архитектура ЭВМ

Студент	<u>ИУ7-44Б</u> (Группа)	<u>19.05.2021</u> (Подпись, дата)	<u>С. Д. Параскун</u> (И.О. Фамилия)
Преподаватель		<u></u> (Подпись, дата)	<u>А. Ю. Попов</u> (И.О. Фамилия)

Москва, 2021

Цель работы – изучение принципов построения, практического применения и экспериментального исследования мультиплексоров.

Задание 1.

Исследование ИС ADG408 или ADG508 в качестве коммутатора MUX 8 — 1 цифровых сигналов:

а) на инф. Входы D0...D7 мультиплексора подать комбинацию сигналов, заданную преподавателем из таблицы. Логические уровни 0 и 1 задавать источниками напряжения $U = 5V$ и $0V$

б) на адресные входы A2, A1, A0 подать сигналы Q3, Q2, Q1 соответственно с выходов 4-разрядного двоичного счетчика (младший разряд — Q0). На вход счетчика подать импульсы генератора с частотой 500кГц

в) снять временную диаграмму сигналов при $EN = 1$ и провести ее анализ. Наблюдение сигналов выполнить на логическом анализаторе

Вариант 26: комбинация сигналов D0-D7 - 1011 1010.

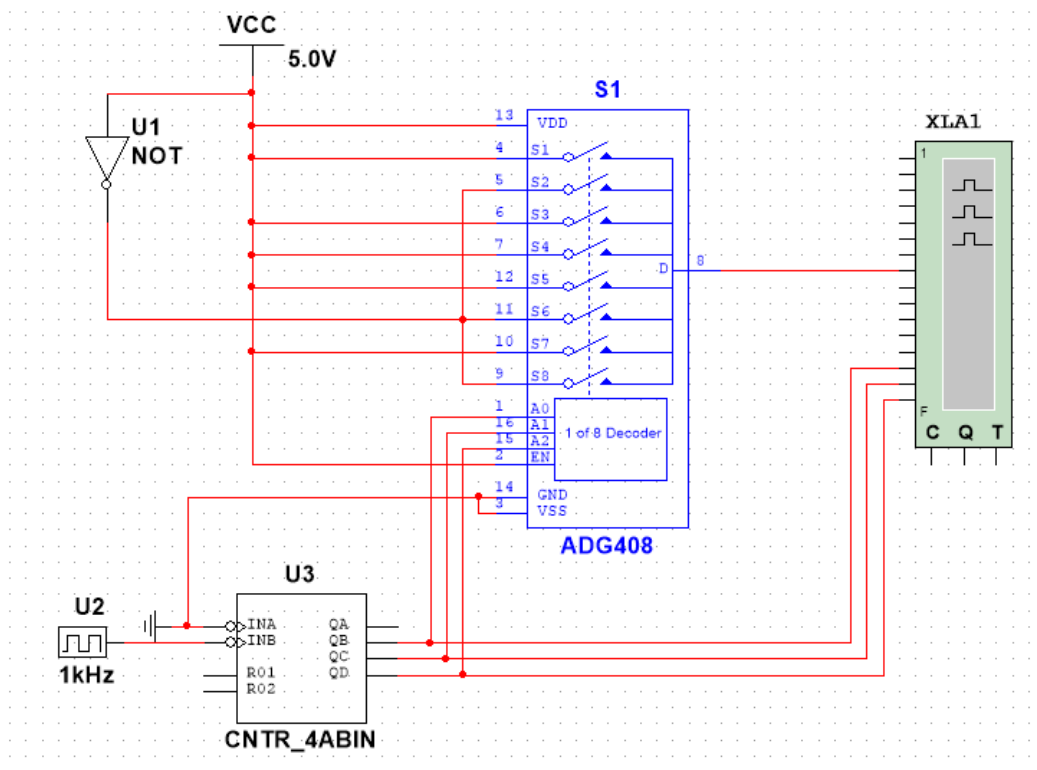


Рис. 1 — Схема с мультиплексором

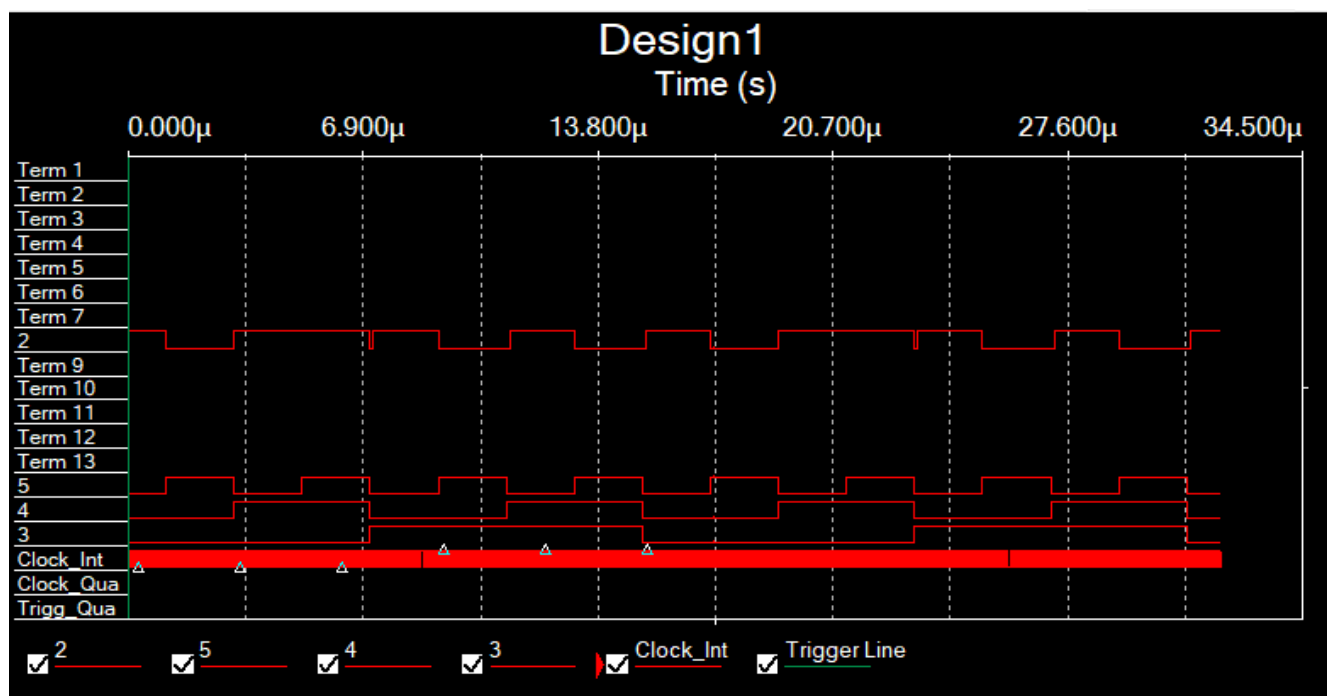


Рис. 2 — Временная диаграмма функции (1011 1010)

По временной диаграмме (рис. 2) видно, что при переключении сигналов на адресных в ходах возникают помехи. Это связано с гонками сигналов и появлением ложных сигналов на дешифраторе, входящем в схему мультиплексора.

Вывод — мультиплексор позволяет получить на выходе один из нескольких инф. сигналов согласно поданному на адресные входы, однако у аналоговых мультиплексоров возможно возникновение ложного сигнала на выходе из-за помех. Это можно устранить выключением стробирующего сигнала на время переключения сигналов на адресных входах.

Задание 2.

Исследование ИС ADG408 или ADG508 в качестве коммутатора MUX 8 — 1 аналоговых сигналов:

а) на информационные входы D0...D7 мультиплексора подать дискретные уровни напряжений с источников напряжения UCC: 0В, 0.7В, 1.4В, 2.1В, 2.8В, 3.5В, 4.2В, 5.0В

б) на адресные входы A2, A1, A0 подать сигналы Q3, Q2, Q1 соответственно с выходов 4-разрядного двоичного счетчика (младший разряд — Q0). На вход счетчика подать импульсы генератора с частотой 500 кГц

в) снять временную диаграмму сигналов при EN = 1 и провести ее анализ. Наблюдение сигналов выполнить на логическом анализаторе, выходного сигнала мультиплексора — на логическом анализаторе и осциллографе. Совместить развертки сигналов, регистрируемых логическим анализатором и осциллографом.

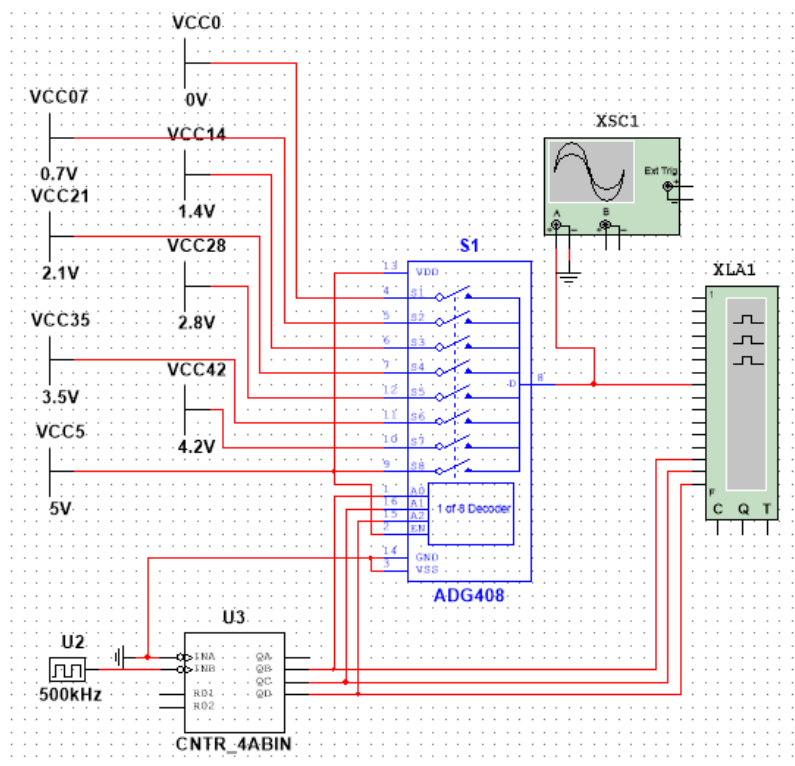


Рис. 3 — Схема с осциллографом

Рассмотрим осциллограмму (рис. 4)

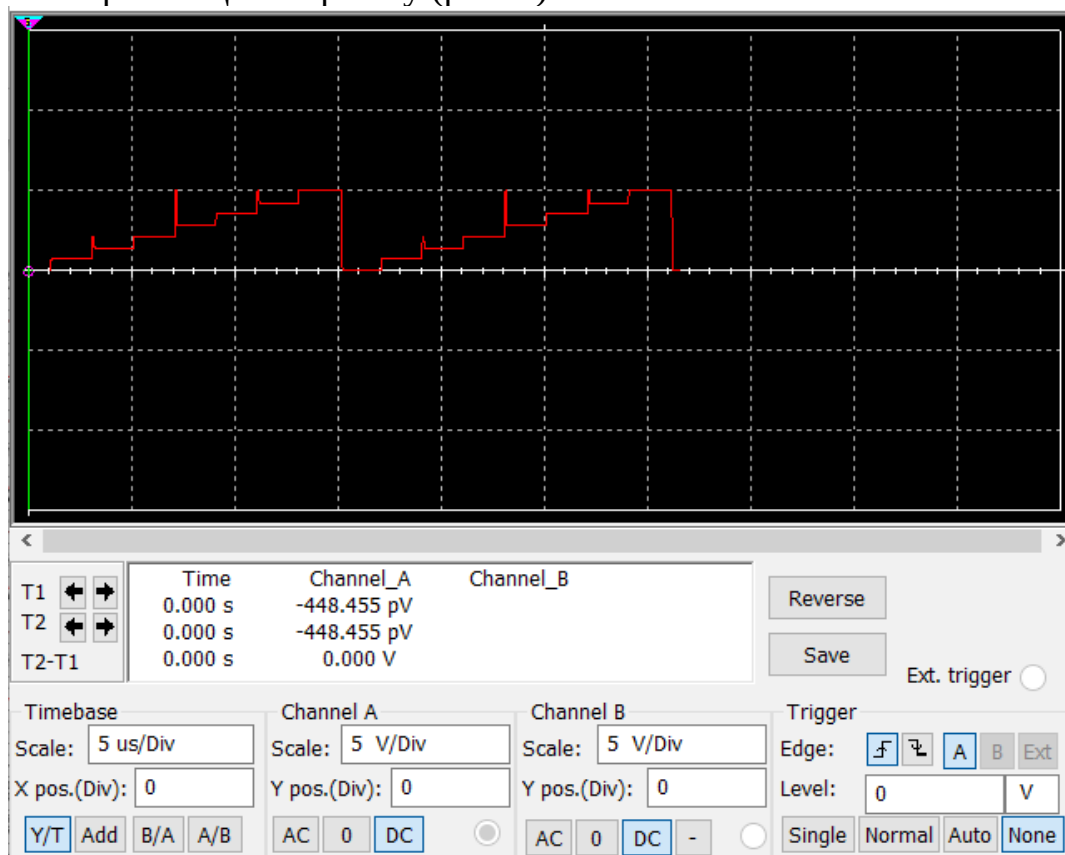


Рис. 4 — Осциллограмма

График не представляет собой идеальные ступеньки, помехи могут быть замечены на лог. анализаторе, но не обязательно. Ниже диаграммы при значении логической единицы на 2.5 В (рис. 5) и 4 В (рис. 6)

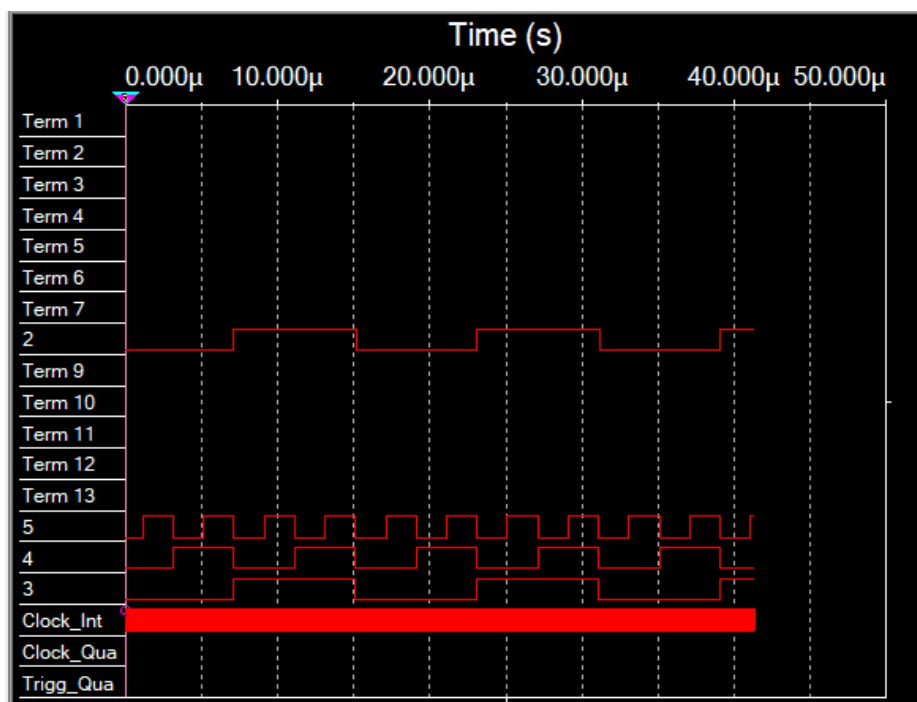


Рис. 5 — Временная диаграмма при лог. единице = 2.5 В

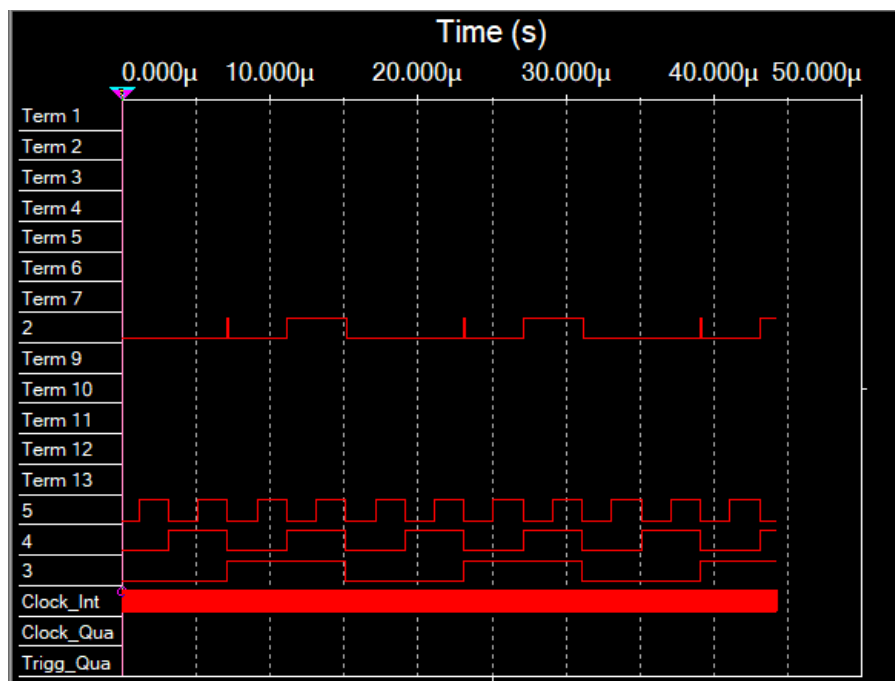


Рис. 6 — Временная диаграмма при лог. единице = 4 В

Как мы видим, на второй диаграмме (рис. 6) отлавливается «ложный» сигнал.

Вывод — аналоговый мультиплексор передает на выход не логические 0/1, а значение, близкое к поданному на соответствующий вход. При этом могут появиться помехи, при которых напряжение на выходе отличается от входного и может породить ложные логические сигналы.

Задание 3.

Исследование ИС ADG408 или ADG508 как коммутатора MUX 8 – 1 цифровых сигналов в качестве формирователя ФАЛ четырех переменных. ФАЛ задается преподавателем. Проверить работу формирователя в статическом и динамическом режимах. Снять временную диаграмму сигналов формирователя ФАЛ и провести анализ.

Вариант 26: {2, 3, 4, 5, 8, 10, 12, 14} – конstituенты единицы.

x4	x3	x2	x1	f	D _i
0	0	0	0	0	D0 = 0
0	0	0	1	0	
0	0	1	0	1	D1 = 1
0	0	1	1	1	
0	1	0	0	1	D2 = 1
0	1	0	1	1	
0	1	1	0	0	D3 = 0
0	1	1	1	0	
1	0	0	0	1	D4 = $\sim x1$
1	0	0	1	0	
1	0	1	0	1	D5 = $\sim x1$
1	0	1	1	0	
1	1	0	0	1	D6 = $\sim x1$
1	1	0	1	0	
1	1	1	0	1	D7 = $\sim x1$
1	1	1	1	0	

Табл. 1 — Таблица логической функции, заданной конstituентами единицы

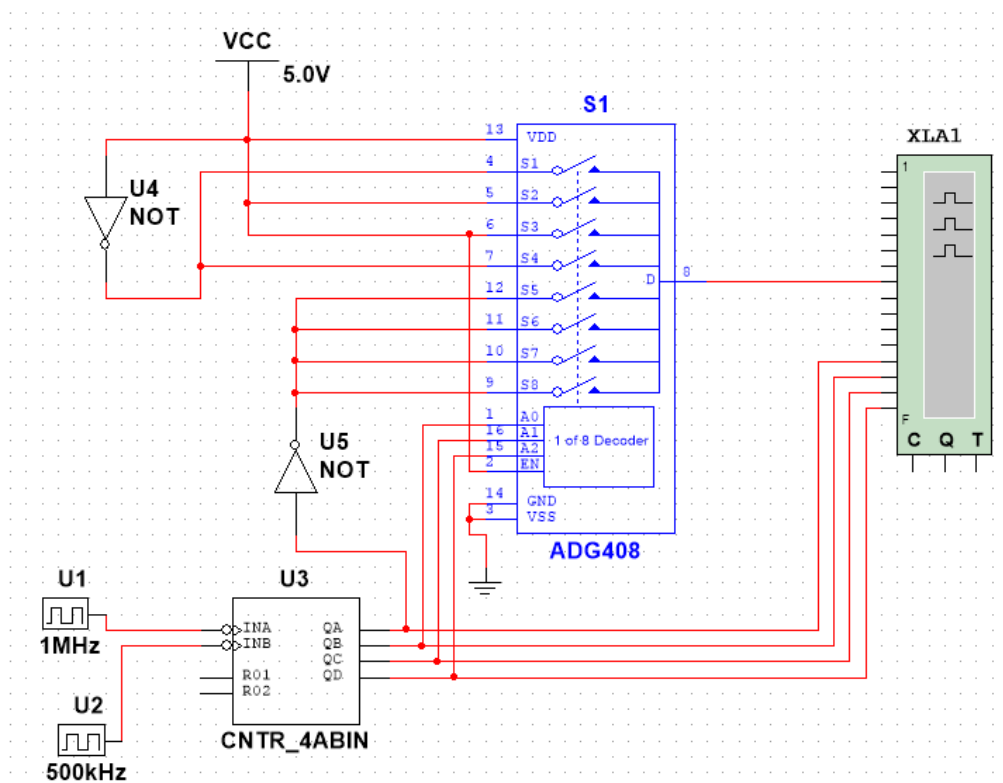


Рис. 7 — Схема по конститuentам единицы

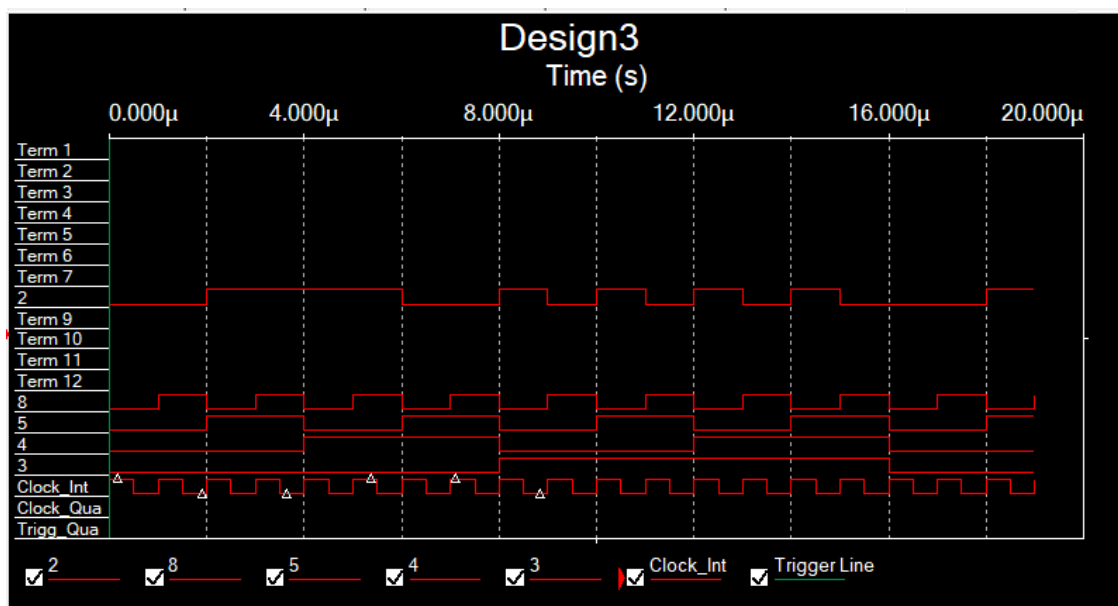


Рис. 8 — Временная диаграмма

Как видим, полученная диаграмма соответствует значениям функции, заданной конститuentами единицы. Помех в работе обнаружено не было.

Вывод — с помощью мультиплексора с количеством адресных входов n можно формировать функции алгебры логики от $n+1$ переменных, подавая

значения n первых переменных на адресные входы, а затем в зависимости от них подавать значения 0, 1, либо оставшуюся переменную (с отрицанием или без) на информационные входы.

Задание 4.

Наращивание мультиплексора. Построить схему мультиплексора MUX 16 – 1 на основе простого мультиплексора MUX 4 – 1 и дешифратора DC 2 – 4 (второй вариант наращивания). Исследовать мультиплексор MUX 16 – 1 в динамическом режиме. На адресные входы подать сигналы с 4-разрядного двоичного счетчика, на информационные входы D0...D15. Провести анализ временной диаграммы сигналов мультиплексора MUX 16 – 1.

Проведем наращивание: разобьем 16 инф. сигналов на блоки по 4, так как за основу берем мультиплексор с 4 адресными входами. На каждый из мультиплексоров подаются два младших разряда, два старших разряда подаются на вход дешифратора, который определяет, какой мультиплексор должен вступить в обработку, и посылает разрешающий сигнал в него. Выбранный мультиплексор по младшим разрядам определяет, какой из четырех входных сигналов нужно передать на выход.

В качестве реализуемой функции возьмем функцию из предыдущего задания.

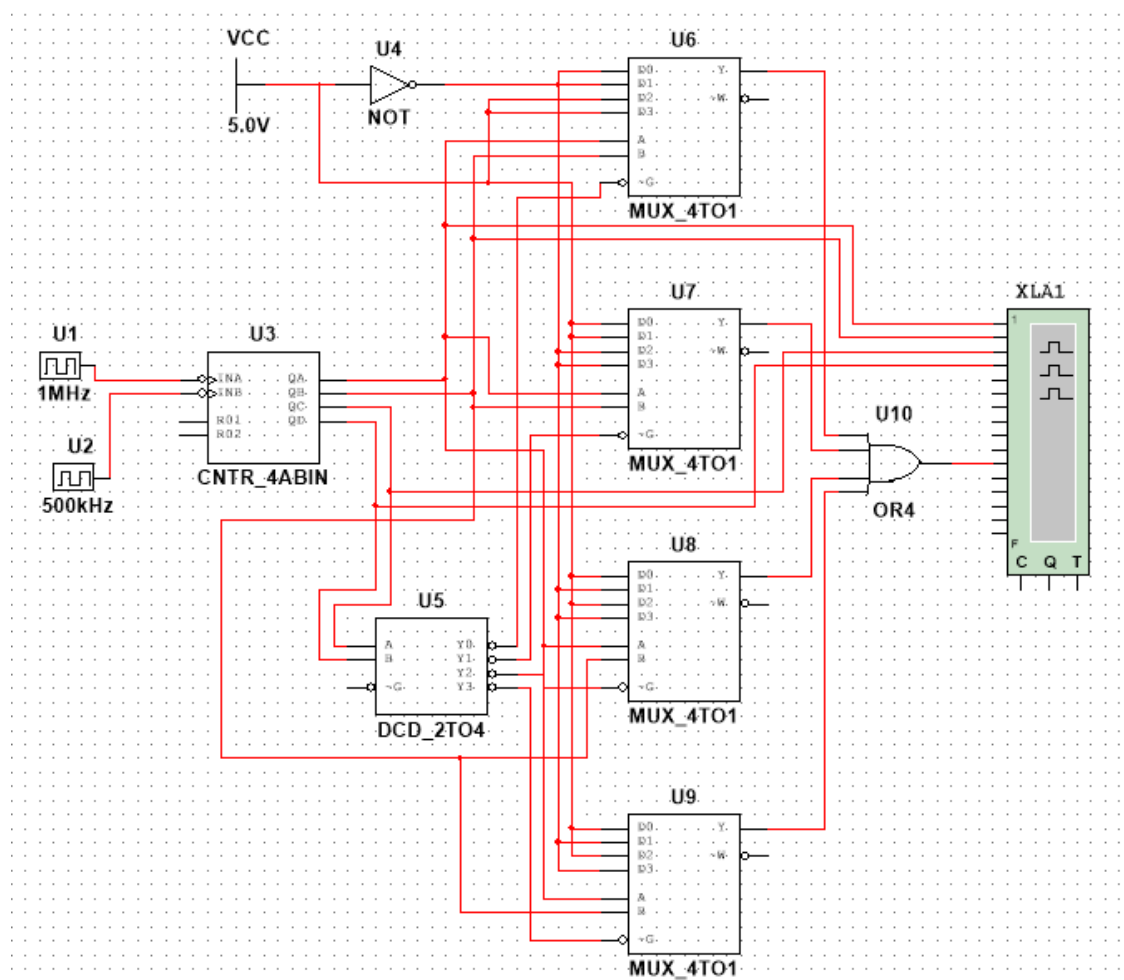


Рис. 9 — Схема наращивания мультиплексоров

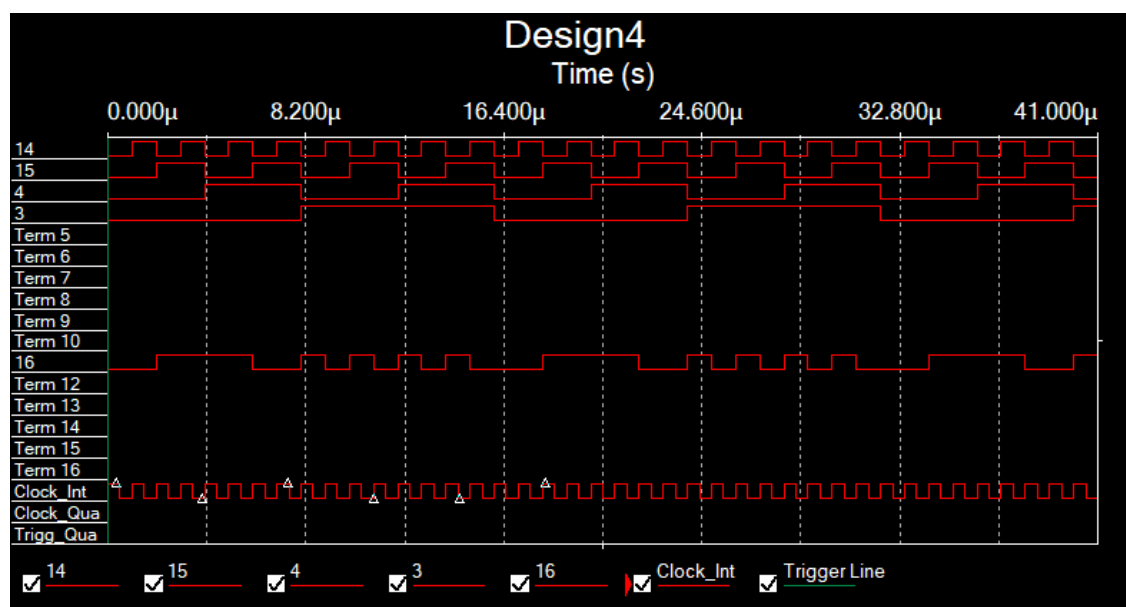


Рис. 10 — Временная диаграмма

Помех на временной диаграмме (рис. 10) обнаружено не было. Работа мультиплексора корректна, он возвращает логическую единицу при заданном наборе значений {2, 3, 4, 5, 8, 10, 12, 14}, иначе 0.

Вывод — при наращивании мультиплексора на основе более простых можно использовать дешифратор, который принимает более старшие разряды адреса и согласно их значениям определяющий, какой мультиплексор отвечает за данный блок информационных сигналов.

Вывод по лабораторной работе — в ходе выполнения заданий работы удалось получить понимание понятия мультиплексор, его устройства, исследовать аналоговый мультиплексор на наличие помех, построить формирователь функции алгебры логики (ФАЛ), зависящей от $n+1$ переменных, где n – количество адресных входов мультиплексора, а также наращивать мультиплексор с большим количеством адресных входов на основе более простых.