


$$1ms = 1.000.000.ns$$

Considerando que: Tm = tempo de acesso à memória primária, Ts = tempo de acesso à memória secundária, Tme = tempo efetivo de acesso à memória primária, a = acerto de página, f = falha de página, e $Tme = a \cdot Tm + f \cdot Ts$. Calcule o Tme para: $Tm = 100\text{ns}$, $Ts = 100\text{ms}$ e acerto = 0,8. Marque a resposta correta:

~~20ms~~

(b) 80ns

(c) 20ns

(d) 80ms

(e) 100ns

~~100ms~~

$$Tme = a \cdot Tm + f \cdot Ts$$

$$\begin{aligned} &= 0,8 \cdot 100 + 0,2 \cdot 100 \cdot 1.000.000 \\ &= 80 + 20.000.000 \\ &= 20.000.080\text{ns} \\ &\approx 20\text{ns} \end{aligned}$$

- 1) Para uma memória cache hipotética, aumentar o tamanho da linha sem alterar a capacidade de armazenamento está associado inicialmente com uma tentativa de... (marque a alternativa correta):

Reducir o tempo médio de acesso decorrente de uma melhor exploração da localidade temporal.

Reducir o miss penalty decorrente de uma melhor exploração da localidade espacial.

Reducir o hit time decorrente de uma melhor exploração da localidade temporal.

Reducir o tempo médio de acesso decorrente de uma melhor exploração da localidade espacial. ✓

- D F A
- 2) Considere uma cache de mapeamento associativo por conjunto (set-associative) com 8 conjuntos e 2 vias por conjunto. Suponha que a cache utilize endereços de 16 bits, sendo que os blocos de memória têm tamanho de 16 bytes. Como encontrar um bloco na cache? Marque a alternativa correta:

São usados 4 bits de offset de byte para identificar o conjunto. → id. a página → indica qual bloco nasc. alocado

O valor do índice é obtido pelos bits associados ao número de conjuntos na cache. → indice → indica qual bloco nasc. alocado

A tag do endereço é usada para identificar o conjunto, enquanto o índice seleciona a via. → indice → indica qual conjunto nasc. alocado

São usados 3 bits de offset de bloco para endereçar o conjunto. → offset → qual byte do bloco

- 3) Considerando que: $T_m = \text{tempo de acesso à memória primária}$, $T_s = \text{tempo de acesso à memória secundária}$, $T_{me} = \text{tempo efetivo de acesso à memória primária}$, $a = \text{acerto de página}$, $f = \text{falha de página}$, e $T_{me} = a T_m + f T_s$. Calcule o T_{me} para: $T_m = 100\text{ns}$ e $T_s = 100\text{ms}$ e $\text{acerto} = 0,8$. Marque a resposta correta:

- A 20ms (b) 80ns (c) 20ns (d) 80ms (e) 100ns (f) 100ms

M S tratando de memória virtual, o custo de uma falha de página é alto, por este motivo estratégias eficientes para transladação e mapeamento de endereços são utilizadas (marque a opção correta):

O custo de uma falha de página é reduzido com o uso de algoritmos de substituição FIFO (First-In, First-Out), pois eles garantem sempre a troca da página menos usada.

B O custo de uma falha de página é reduzido através da utilização de TLBs (Translation Lookaside Buffers), que armazenam mapeamentos recentes de endereços virtuais para físicos.

O custo de uma falha de página é reduzido com o uso de páginas de grande tamanho, pois quanto menor a quantidade de páginas, mais acertos ocorrem.

O custo de uma falha de página é reduzido com o uso do mapeamento conjunto associativo, buscando um equilíbrio entre complexidade de hardware, conflitos de mapeamento e flexibilidade. ↗ 2.2.2.2.16

- 5) Uma cache não possui somente bits de dados. Alguns bits associados ao mapeamento de endereços com a memória principal estão presentes na cache. Há também alguns campos de bits no endereço com funções específicas neste mapeamento. Para uma cache mapeamento conjunto associativo de 16 vias de 64KB, endereços de 32 bits, blocos de 16 palavras, palavras de 32 bits, marque a resposta correta conforme campos de bits presentes no endereço e na cache:

- A 6 bits de índice, 20 bits de tag, tamanho total de 533 kb. ↗ 4 bytes · 16 => 64 bytes por bloco
- b) 10 bits de índice, 16 bits de tag, tamanho total de 8.464 kb. $\text{campos} = \frac{64 \cdot 1024}{64} = 1024$
- c) 12 bits de índice, 14 bits de tag, tamanho total de 33728 kb. $64 \cdot 16 = 1024$
- d) 14 bits de índice, 12 bits de tag, tamanho total de 134.400 kb. $\log_2 64 = 6 \text{ bits de tag}$

- 6) Em uma arquitetura RISC com predição estática de desvio, o que acontece em desvios condicionais? (marque a resposta certa):

- C O processador sempre assume que o desvio será tomado e continua a execução a partir do endereço de destino.
- (b) O processador utiliza uma tabela dinâmica para registrar o histórico de desvios e prever a próxima instrução.
- (c) O processador utiliza flag de desvio na instrução para decidir se desvia ou executa sequencialmente.
- (d) O processador analisa o padrão de execução dos desvios para fazer uma predição baseada em comportamento anterior.

- 7) Em relação a uma arquitetura com TLB e tabela de páginas, marque a alternativa que corresponda a uma sequência de ocorrências falsa:

- (a) Hit na TLB, tradução de endereço, hit na cache, busca do dado na cache.
 - (b) Miss na TLB, hit na tabela de páginas, tradução de endereço, busca do dado na cache.
 - (c) Hit na TLB, tradução de endereço, hit na cache, busca do dado na memória cache.
Hit na TLB, miss na tabela de páginas, busca da página na memória secundária.
 - (d) Hit na TLB, tradução de endereço, miss na cache, busca do dado na memória principal.

- 8) Uma cache não possui somente bits de dados. Alguns bits associados ao mapeamento de endereços com a memória principal estão presentes na cache. Há também alguns campos de bits no endereço com funções específicas neste mapeamento. Para uma cache de 128KB endereços de 32 bits, palavras de 32 bits bloco com 1 palavra, marque a resposta correta conforme campos de bits presentes no endereço e na cache:

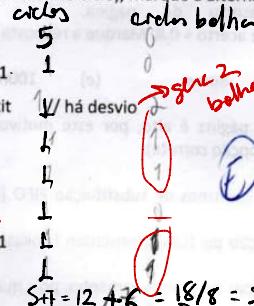
- (a) 14 bits de tag, 15 bits de índice, 1 bit de offset de bloco, 2 bits de offset de byte.
15 bits de tag, 15 bits de índice, 0 bits de offset de bloco, 2 bits de offset de byte.
(c) 13 bits de tag, 15 bits de índice, 2 bits de offset de bloco, 2 bits de offset de byte
(d) 15 bits de tag, 14 bits de índice, 2 bits de offset de bloco, 1 bit de offset de byte.
15 bits de tag, 15 bits de índice, 2 bits de offset de bloco, 0 bits de offset de byte
(f) 15 bits de tag, 13 bits de índice, 2 bits de offset de bloco, 0 bits de offset de byte

$$128 \cdot 1024 = 131072 \text{ Bytes}$$

131.072
4
nega nega tol bem
estágio, escrita e leitura no mapa.
lem destrato
c/L pal/pal
blaco = leste
offset
sistema

- 9) Para execução das instruções abaixo (sem adiantamento, desvio calculado no 2º estágio, escrita e leitura no 4º estágio de registradores ocorrem no mesmo ciclo), marque a alternativa correta:

- 1) lw \$t1 0(\$t0)
 - 2) sub \$t3, \$t4, \$
 - 3) beq \$t1, \$t2, E
 - 4) sw \$t1, 0(\$s1)
 - 5) sw \$t1, 0(\$s2)
 - 6) Exit: slt \$t0, \$t1, \$t2
 - 7) add \$t1, \$t0, \$
 - 8) sw \$t2, 0(\$t1)



- a) CPI = 2, bolhas = 2
 - b) CPI = 2,16, bolhas = 3
 - c) CPI = 2,33, bolhas = 4
 - d) CPI = 2,5, bolhas = 5
 - e) CPI = 2,66, bolhas = 6
 - (*)** CPI = 2,83, bolhas = 7
 - x) CPI = 3, bolhas = 8

$$= 32.768 \neq 15$$

$$S_{\text{FT}} = 12 + 6 = 18 / 8 = 2,25$$

\rightarrow ofeta todos os intangíveis
 \Rightarrow ofeta food/tone

- 10) Supondo um processador com CPI ideal igual a 1, que executa um fluxo de instruções composto de 60% aritm/lógica, 10% load/store, 30% desvios, sendo que há 1% de misses na busca de instruções e 10% na busca de dados, com penalidade de miss de 1000 ciclos. Qual é o CPI final? Marque a resposta correta.

- (a) 102
 (b) 101
 (c) 21
 (d) 20
 (e) 1,2
 (f) 1,1

$$P_{\text{error}} = 0.01 \cdot 2000 \cdot L + 0.1 \cdot 0.1 \cdot 1000$$

10 + 10

- 30

- 1 -

$$CPI = 1 + 2\theta = (2)$$

- 11) A correta execução de um código em uma arquitetura com pipeline escalar deve levar em consideração as dependências entre as instruções. Uma estratégia para resolver problemas de dependências verdadeiras é o adiantamento de dados (forwarding). Com relação ao processador MIPS de 5 estágios em sua versão didática, considere forwarding e escrita/leitura em registrador mesmo ciclo. Portanto, na execução de ADD R1, R2, R3 (1^a instrução), LW R5, 0(R2) (2^a instrução), SW R5, 0(R4) (3^a instrução) e SUB R4, R1, R5 (4^a instrução), marque a alternativa correta:

- a) Há 1 dependência verdadeira, 8 ciclos gastos e geração de 0 bolhas.

b) Há 2 dependências verdadeiras, 9 ciclos gastos e geração de 1 bolha.

c) Há 3 dependências verdadeiras, 8 ciclos gastos e geração de 0 bolhas.

d) Há 3 dependências verdadeiras, 9 ciclos gastos e geração de 1 bolha.

e) Há 4 dependências verdadeiras, 8 ciclos gastos e geração de 0 bolha.

f) Há 4 dependências verdadeiras, 9 ciclos gastos e geração de 1 bolha.

Ciclos preventivos = qntd + utigens
injúrias

ADD R1, R2, R3 → formando resultado
 LW R5, 0(R2) → operações de R2
 SW R5, 0(R4) → outras, então → dependências.
 SUB R4, R2, R5 →

12) Em uma hierarquia de memória, é possível associar a cache misses com page faults? Marque a opção correta:

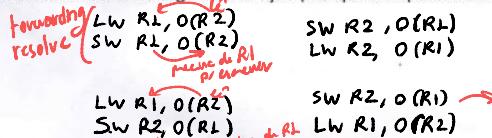
- (a) Quando há um page fault, é porque primeiro ocorreu um cache miss para na sequência tentar acessar a página real na memória principal.
- (b) O cache miss ocorre depois de um page fault com carregamento da página real, uma vez que a página não estava na memória principal.
- (c) A relação existe somente quando não houver transladação de endereços na TBL. Nesse caso, há page fault porque houve um miss na cache.
- (d) São duas situações muito diferentes e que envolvem níveis independentes de memória, portanto, não há relação entre page fault e cache miss.

13) Latência do pipeline é o atraso para qualquer instrução de uma mesma thread percorrer todo o pipeline e terminar. Marque a afirmação correta:

- a latência do pipeline é igual a qntd. de estágios de pipeline p/ a 1ª instrução, pois ele percorre todos os estágios.
- (a) Somente a primeira instrução sofre com a latência e sua quantidade de ciclos é igual a quantidade de estágios.
 - (b) Todas as instruções sofrem com a latência e possuem quantidade de ciclos igual a quantidade de estágios.
 - (c) Qualquer instrução que iniciar sem outras no pipeline sofrerá com latência e terá ciclos igual a quantidade de estágios.
 - (d) Qualquer instrução que vier depois de uma bolha sofrerá com latência e terá ciclos igual a quantidade de estágios.

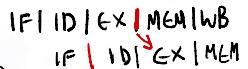
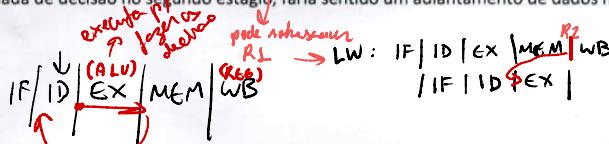
14) O adiantamento de dados possibilita melhorar o desempenho de uma arquitetura de pipeline escalar quando há dependência verdadeira e elimina completamente os ciclos de bolha na seguinte situação (marque a resposta certa):

- (a) 1ª LW R1, 0(R2); 2ª SW R1, 0(R2).
- (b) 1ª LW R1, 0(R2); 2ª SW R2, 0(R1).
- (c) 1ª SW R2, 0(R1); 2ª LW R2, 0(R1).
- (d) 1ª SW R2, 0(R1), 2ª LW R1, 0(R2).



15) Para uma instrução de desvio com tomada de decisão no segundo estágio, faria sentido um adiantamento de dados na seguinte situação (marque a resposta certa):

- (a) Da 1ª barreira para o 2º estágio.
- (b) Da 2ª barreira para o 2º estágio.
- (c) Da 3ª barreira para o 2º estágio.
- (d) Da 4ª barreira para o 2º estágio.



16) Em um pipeline escalar, o CPI pode diminuir pela seguinte situação (marque a resposta certa):

- (a) Diminuição do tamanho da memória cache. → não depende (ciclos por instrução)
- (b) Diminuição do tamanho da palavra de dados. → não depende (ciclos por instrução)
- (c) Aumento de cache miss na L1 de dados.
- (d) Aumento de cache hit na L1 de instruções. → tempo médio de execução

17) Para execução das instruções abaixo (com adiantamento, desvio calculado no 3º estágio, escrita e leitura no banco de registradores ocorrem no mesmo ciclo), marque a alternativa correta:

- 1) lw \$s2, 0(\$t3)
 - 2) sw \$t3, 0(\$s2)
 - 3) sw \$t2, 0(\$s2)
 - 4) beq \$t3, \$t2, Exit //não há desvio
 - 5) lw \$t1, 0(\$t3)
 - 6) sw \$t1, 0(\$t2)
 - 7) sub \$t3, \$t2, \$t1
- Annotations on the list:
 - lw \$s2, 0(\$t3) → forward
 - sw \$t3, 0(\$s2) → forward
 - sw \$t2, 0(\$s2) → forward
 - beq \$t3, \$t2, Exit //não há desvio → forward
 - lw \$t1, 0(\$t3) → forward
 - sw \$t1, 0(\$t2) → forward
 - sub \$t3, \$t2, \$t1 → forward

- (a) CPI = 1,71, bolhas = 1
- (b) CPI = 1,85, bolhas = 2
- (c) CPI = 2, bolhas = 3
- (d) CPI = 2,14, bolhas = 4
- (e) CPI = 2,28, bolhas = 5
- (f) CPI = 2,42, bolhas = 6
- (g) CPI = 2,57, bolhas = 7

