

Práctica No. 4

Sección de Memoria (Prueba de memoria RAM)

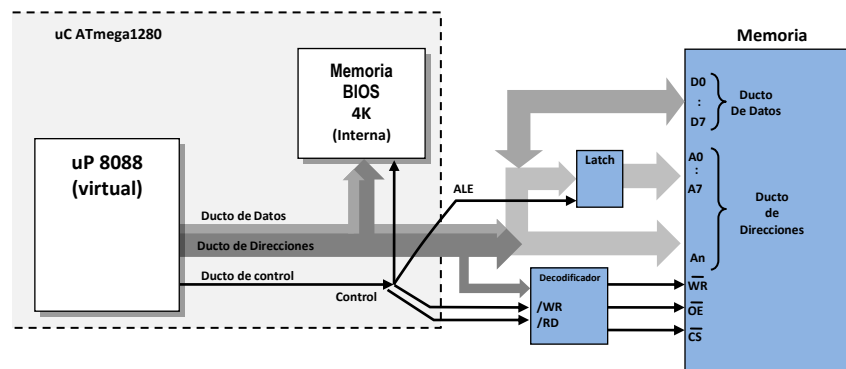
Objetivo: El alumno diseñará e implementará un decodificador para la memoria de la práctica y hará uso de los procedimientos de la práctica 3 para probar la memoria.

Material: - Memoria RAM y Latch para T-Juino.

Equipo:

- Computadora Personal
- Tarjeta T-Juino.
- Protoboard
- Una Memoria RAM (2K u 8K)

Teoría: * * * Decodificadores a Memoria * * *



El enfoque de esta práctica es el análisis y diseño del decodificador. El decodificador solo estará compuesto por compuertas lógicas.

Les recomiendo que revisen el siguiente esquemático [TJuino sch.pdf](#). El conector de interés es *XIO_HL*, ahí podrán encontrar las terminales de A0-A15, ALE, /RD y /WR; de las cuales varias serán las entradas del decodificador.

Y solo para recapitular, el rango de direcciones queda asignadas de la siguiente forma en la virtualización actual del 8088 sobre el TJuino:

0x00200	MEMORIA INTERNA (SRAM Interna)
...	
0x021FF	MEMORIA EXTERNA DIRECCIONABLE POR EL TJUINO
0x02200	
...	
0x0FFFF	
...	
0xFFFFF	

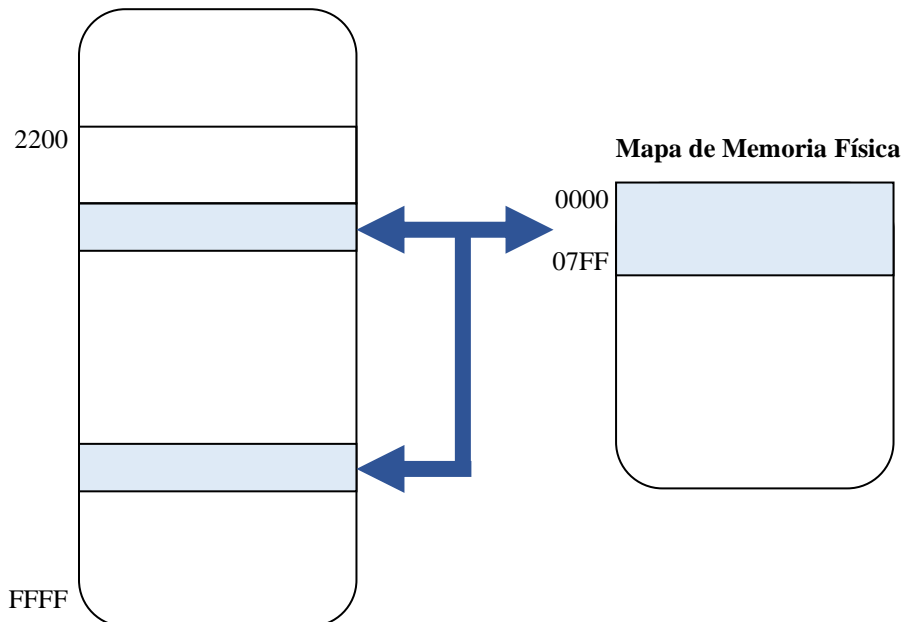
Para esta práctica, se supondrá que la memoria externa que se conectara al decodificador es de **2KB** (en caso de que la memoria que consigan sea de mayor capacidad, se tendrán que aterrizar las terminales de A11 en adelante de la **memoria**, para que funja como una de 2KB). Y también esta memoria tendrá un **rango de direcciones espejo** (de las cuales la longitud también será de 2KB).

Cada alumno es asignado un cierto rango de direcciones (así como direcciones espejo) y son las siguientes:

Dirección Inicial	Dirección Inicial Espejo	Alumno (Jueves/Viernes)
0x3800	0x7800	Adame / Aguilar C.
0x5000	0xD000	Aguilar V. / Arce
0x5800	0x7800	Anguiano / Castañon
0x6000	0x4000	Cazares / Castrejon
0x6800	0xE800	Escobosa / Caudillo
0x7000	0x5000	Gonzalez B. / Chagala
0x7800	0xF800	Gonzalez L. / Gonzaga
0x9000	0xB000	Gonzalez O. / Gutierrez K.
0x9800	0xB800	Guerra / Jaquez
0xA000	0x8000	Gutierrez S. / Justo
0xA800	0x2800	Kim / Leal
0xB000	0x3000	Maldonado / Martinez
0xB800	0xA800	Moncivais / Palacios
0xC000	0x4000	Montoya / Parra
0xD000	0x9000	Morales / Robledo
0xD800	0x5800	Raygoza / Saavedra
0xE000	0x6000	Sanchez / Tapia
0xE800	0xC800	Torres / Viruete
0x4800	0xC800	Varela / X
0xA800	0xA000	Villela / Y

Esto quiere decir que van a existir dos zonas de memorias vistas por el procesador, como una sola región de 2KB en la memoria física. Como lo muestra el siguiente diagrama:

Mapa de Memoria del Procesador



Desarrollo:

- 1) Diseñe e implemente un decodificador de memoria para que una memoria RAM sea vista por el procesador en el rango de memoria que le fue asignado.
- 2) Realice los cambios necesarios al programa de la práctica 3 para realizar la prueba de la nueva memoria.
 - a) Probar el rango correspondiente de la RAM. ¿Qué es lo que resulta de la prueba?
 - b) Probar un rango no correspondiente. ¿Qué es lo que resulta de la prueba?

Conclusiones y Comentarios.**Bibliografía**