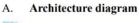
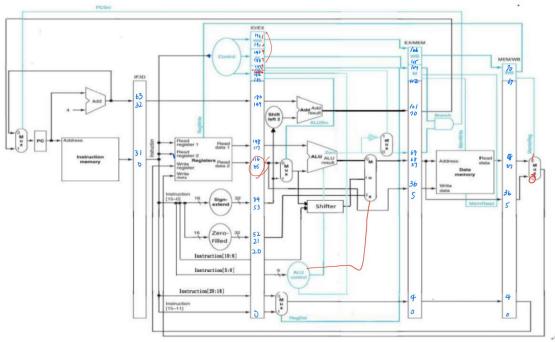
Computer Organization Lab5

1. Architecture diagrams:

3. Pipelined CPU





2. Hardware module analysis:

Pipeline_Reg: 4 個存 Pipeline data & signal 的 register

Mux2to1: 2to1 的選擇器

Mux3to1: 3to1 的選擇器

Adder: 加法器

ALU: 對兩個輸入依照 ALU_operation 進行運算

ALU_Ctrl: 依照 funct, ALUOP 決定 FURslt, ALU_operation, leftRight

Data_Memory: 讀/寫記憶體

Decoder: 依照 opcode, funct(Jr 會用到)決定 RegDst, RegWrite, ALUOP,

ALUSrc, Branch, BranchType, MemWrite, MemRead, MemtoReg.

Instr Memory: 讀 Instruction

Program Counter: 控制 PC

Reg_File:控制 Register

Sign Extend: 把 16bit extend 到 32bit, 維持正負號

Zero Filled: 把 16bit 前面補 0 補到 32bit

Shifter: 把輸入進行位移

3. Finished part:

ΑII

4. Problems you met and solutions:

原本想要分很多個 reg,後來發現題目要求用 4 個 reg,所以要一個一個算每個 reg 的大小(如圖),中間有算錯幾次就不能跑

還有最後的 MemWriteReg 的 01 訊號是跟 Lab4 Reference 相反的,也是 找了一段時間才找到

5. Summary:

這個作業學會了如何在 CPU 中使用 pipeline reg 暫存 data & signal 達到加速執行的效果

