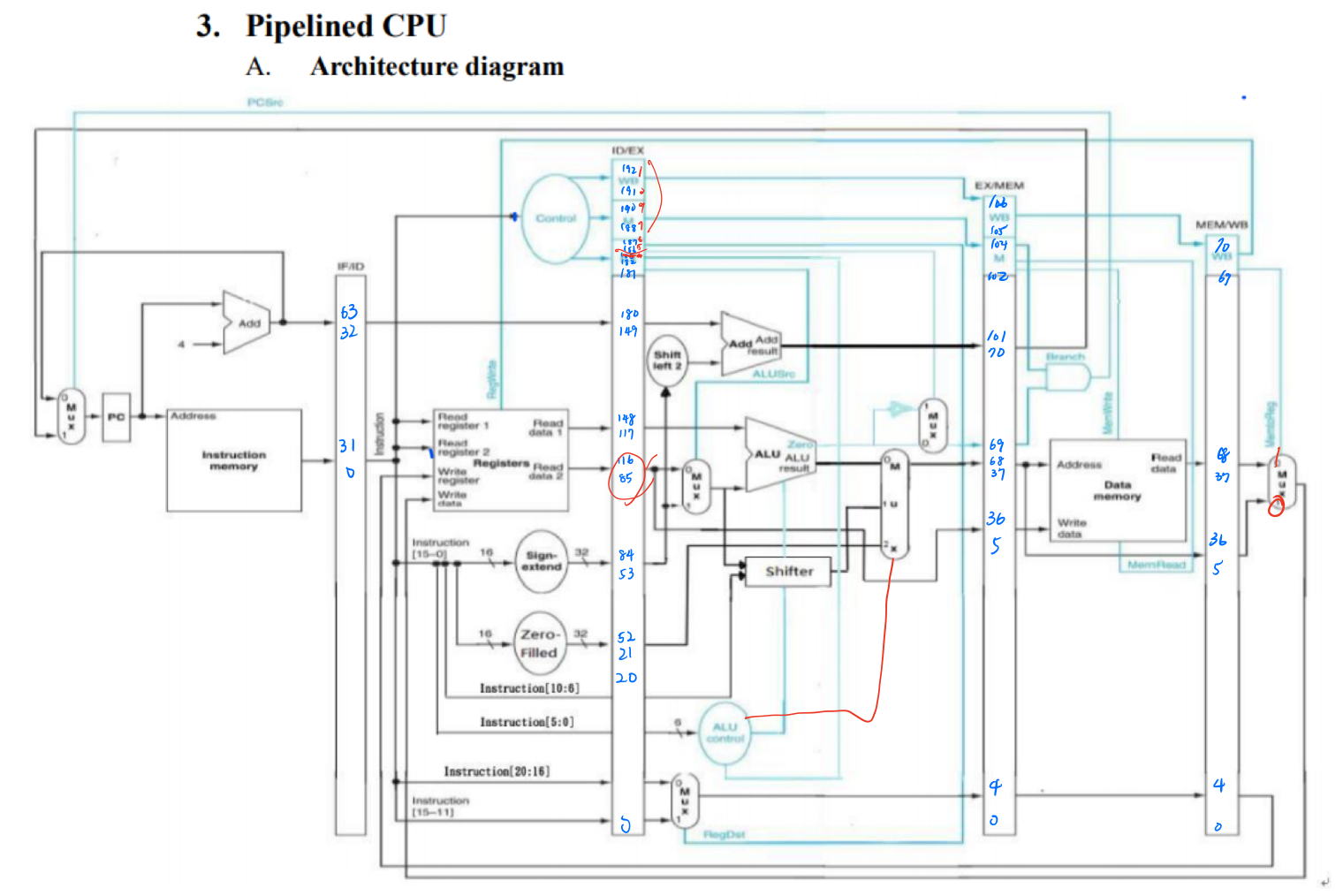
**Computer Organization Lab5**

1. **Architecture diagrams:**

****

**2.Hardware module analysis:**

**Pipeline\_Reg: 4個存Pipeline data & signal的 register**

**Mux2to1: 2to1的選擇器**

**Mux3to1: 3to1的選擇器**

**Adder: 加法器**

**ALU: 對兩個輸入依照ALU\_operation進行運算**

**ALU\_Ctrl: 依照funct, ALUOP決定FURslt, ALU\_operation, leftRight**

**Data\_Memory: 讀/寫記憶體**

**Decoder: 依照opcode, funct(Jr會用到)決定RegDst, RegWrite, ALUOP, ALUSrc, Branch, BranchType, MemWrite, MemRead, MemtoReg.**

**Instr\_Memory: 讀Instruction**

**Program\_Counter: 控制PC**

**Reg\_File:控制Register**

**Sign\_Extend: 把16bit extend 到32bit, 維持正負號**

**Zero\_Filled: 把16bit 前面補0補到32bit**

**Shifter: 把輸入進行位移**

1. **Finished part:**

**All**

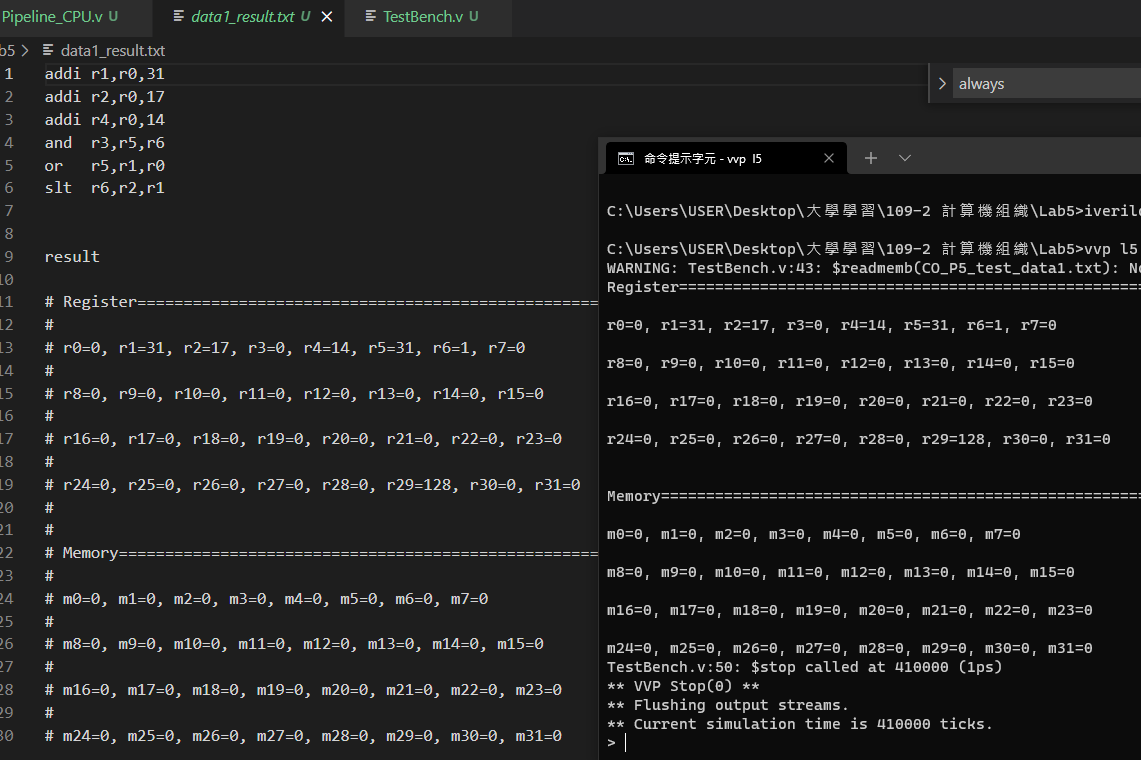
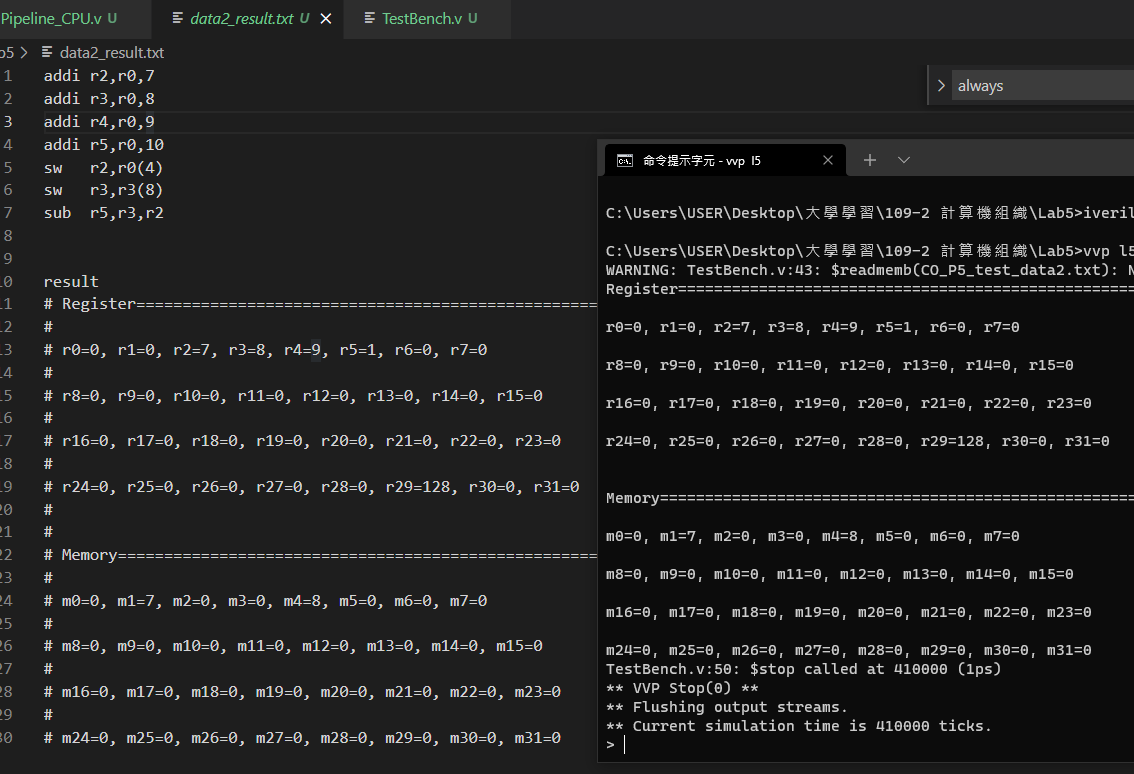
1. **Problems you met and solutions:**

**原本想要分很多個reg，後來發現題目要求用4個reg，所以要一個一個算每個reg的大小(如圖)，中間有算錯幾次就不能跑**

**還有最後的MemWriteReg的01訊號是跟Lab4 Reference 相反的，也是找了一段時間才找到**

1. **Summary:**

**這個作業學會了如何在CPU中使用pipeline reg暫存data & signal達到加速執行的效果**

****