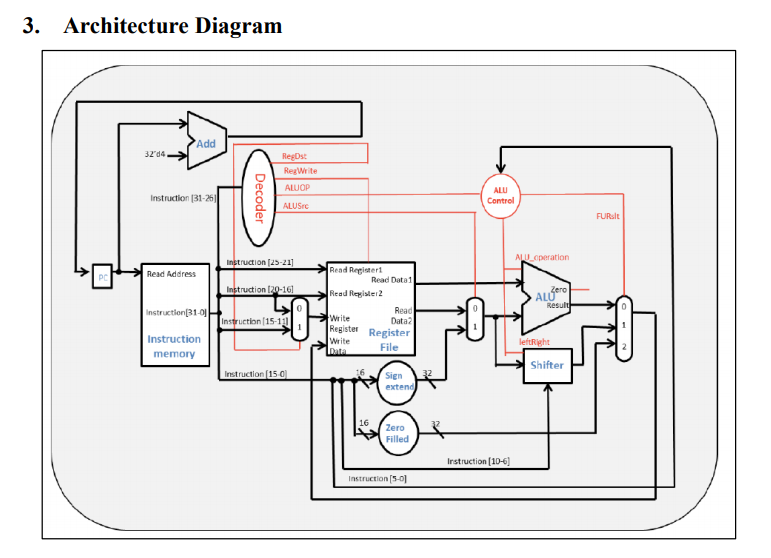
**Computer Organization**

**Architecture diagrams:**

sllv

0 1

**Hardware module analysis:**

**Mux2to1: 2to1的選擇器**

**Mux3to1: 3to1的選擇器**

**Decoder: 依照opcode決定RegDst, RegWrite, ALUOP, ALUSrc**

**ALU\_Ctrl: 依照funct, ALUOP決定FURslt, ALU\_operation, leftRight**

**Sign\_Extend: 把16bit extend 到32bit, 維持正負號**

**Zero\_Filled: 把16bit 前面補0補到32bit**

**ALU: 對兩個輸入進行運算**

**Shifter: 把輸入進行位移**

**Finished part:**

**以上的module都完成了**

**Problems you met and solutions:**

**一開始看不懂internal signal在做甚麼，後來詢問同學之後才發現single cycle cpu裡面的module要自己令wire穰後放到各個module裡面，才總算完成作業。**

**在作加分題時想了好久，才想到其實只要加個multiplexer在shamt就解決了**

**Summary:**

**學到了如何運用verilog寫一個single cycle cpu，有一些基本功能**