

... 16 位进行组索引, 将 VPN 分解为 ( $\text{tag}=12\text{H}, \text{index}=0$ ) 两部分, 该虚拟地址应该映射到 TLB 第 0 组; 在第 0 组的 4 行中做全相联比较, 发现最后一行有效位为 1, 且与标记字段相符, 说明该页已经调入主存, 因此页框号为 1F, 最终的物理地址为 1FBACH。

## 习题 4

### 4.1 解释下列名词。

存取时间 存取周期 存储器带宽 存储单元 边界对齐的数据存放 大端存储 小端存储 静态存储器 动态存储器 刷新 刷新周期 字扩展 位扩展 多体交叉存储器 高速缓冲存储器 双端口存储器 相联存储器 时间局部性 地址映射 直接相联映射 全相联映射 组相联映射 命中率 虚拟存储器 页框号 页表(慢表) 页表项 TLB(快表) LRU 算法 LFU 算法 cache 一致性 写回法 写穿法

### 4.2 选择题(考研真题)。

(1) [2010] 下列有关 RAM 和 ROM 的叙述中, 正确的是\_\_\_\_\_。

I. RAM 是易失性存储器, ROM 是非易失性存储器

II. RAM 和 ROM 都采用随机存取方式进行信息访问

III. RAM 和 ROM 都可用作 cache

IV. RAM 和 ROM 都需要进行刷新

A. 仅 I 和 II

B. 仅 II 和 III

C. 仅 I、II 和 IV

D. 仅 II、III 和 IV

(2) [2014] 某容量为 256MB 的存储器由若干  $4\text{M} \times 8$  位的 DRAM 芯片构成, 该 DRAM 芯片的地址引脚和数据引脚总数是\_\_\_\_\_。

A. 19

B. 22

C. 30

D. 36

(3) [2009] 某计算机主存容量为 64KB, 其中 ROM 区为 4KB, 其余为 RAM 区, 按字节编址。现要用  $2K \times 8$  位的 ROM 芯片和  $4K \times 4$  位的 RAM 芯片来设计该存储器, 则需要上述规格的 ROM 芯片数和 RAM 芯片数分别是\_\_\_\_\_。

- A. 1、15                      B. 2、15                      C. 1、30                      D. 2、30

(4) [2010] 假定用若干个  $2K \times 4$  位的芯片组成一个  $8K \times 8$  位的存储器, 则地址 0B1FH 所在芯片的最小地址是\_\_\_\_\_。

- A. 0000H                      B. 0600H                      C. 0700H                      D. 0800H

(5) [2018] 假定 DRAM 芯片中存储阵列的行数为  $r$ 、列数为  $c$ , 对于一个  $2K \times 1$  位的 DRAM 芯片, 为保证其地址引脚数最少, 并尽量减少刷新开销, 则  $r$ 、 $c$  的取值分别是\_\_\_\_\_。

- A. 2048、1                      B. 64、32                      C. 32、64                      D. 1、2048

(6) [2019] 假定一台计算机采用 3 通道存储器总线, 配套的内存条型号为 DDR3-1333, 即内存条所接插的存储器总线的工作频率为 1333MHz、总线宽度为 64 位, 则存储器总线的总带宽大约是\_\_\_\_\_。

- A. 10.66GB/s                      B. 32GB/s                      C. 64GB/s                      D. 96GB/s

(7) [2015] 某计算机使用 4 体交叉编址存储器, 假定在存储器总线上出现的主存地址(十进制)序列为 8005、8006、8007、8008、8001、8002、8003、8004、8000, 则可能发生访问冲突的地址对是\_\_\_\_\_。

- A. 8004 和 8008                      B. 8002 和 8007                      C. 8001 和 8008                      D. 8000 和 8004

(8) [2015] 下列存储器中, 在工作期间需要周期性刷新的是\_\_\_\_\_。

- A. SRAM                      B. SDRAM                      C. ROM                      D. FLASH

(9) [2011] 下列各类存储器中, 不采用随机存取方式的是\_\_\_\_\_。

- A. EPROM                      B. CDROM                      C. DRAM                      D. SRAM

(10) [2012] 下列关于闪存(Flash Memory)的叙述中, 错误的是\_\_\_\_\_。

- A. 信息可读可写, 并且读、写速度一样快  
B. 存储元由 MOS 管组成, 是一种半导体存储器  
C. 掉电后信息不丢失, 是一种非易失性存储器  
D. 采用随机访问方式, 可替代计算机外部存储器

(11) [2017] 某 C 语言程序段如下:

```
for(i=0; i<=9; i++)
{
    temp=1;
    for(j=0; j<=i;
        j++) temp *= a[j];
    sum += temp;
}
```

下列关于数组 a 的访问局部性的描述中, 正确的是\_\_\_\_\_。

- A. 时间局部性和空间局部性皆有                      B. 无时间局部性, 有空间局部性  
C. 有时间局部性, 无空间局部性                      D. 时间局部性和空间局部性皆无

(12) [2009] 某计算机的 cache 共有 16 块, 采用二路组相联映射方式(即每组 2 块)。每个主存块大小为 32B, 按字节编址。主存 129 号单元所在主存块应装入的 cache 组号是\_\_\_\_\_。

- A. 0                      B. 1                      C. 4                      D. 6

(13) [2012] 假设某计算机按字节编址, cache 有 4 行, cache 和主存之间交换的块大小为 1 个字。若 cache 的内容初始为空, 采用二路组相联映射方式和 LRU 替换策略。访问的主存地址依次为 0、4、8、2、0、6、8、6、4、8 时, 命中 cache 的次数是\_\_\_\_\_。

- A. 1                      B. 2                      C. 3                      D. 4

(14) [2015] 假定主存地址为 32 位, 按字节编址, 主存和 cache 之间采用直接相联映射方式, 主存块大小为 4 个字, 每个字 32 位, 采用写回的方式, 则能存放 4K 字数据的 cache 的总容量至少是\_\_\_\_\_位。

- A. 146K      B. 147K      C. 148K      D. 158K

(15) [2014] 采用指令 cache 与数据 cache 分离的主要目的是\_\_\_\_\_。

- A. 降低 cache 的缺失损失      B. 提高 cache 的命中率  
C. 降低 CPU 平均访问时间      D. 减少指令流水线资源冲突

(16) [2015] 假定编译器将赋值语句 “ $x=x+3$ ;” 转换为指令 “add xaddr,3”, 其中, xaddr 是 x 对应的存储单元地址。若执行该指令的计算机采用页式虚拟存储管理方式, 并配有相应的 TLB, 且 cache 使用写穿的方式, 则完成该指令功能需要访问主存的次数至少是\_\_\_\_\_。

- A. 0      B. 1      C. 2      D. 3

(17) [2010] 下列命中组合情况中, 一次访存过程中不可能发生的是\_\_\_\_\_。

- A. TLB 未命中, cache 未命中, Page 未命中  
B. TLB 未命中, cache 命中, Page 命中  
C. TLB 命中, cache 未命中, Page 命中  
D. TLB 命中, cache 命中, Page 未命中

(18) [2013] 某计算机主存地址空间大小为 256MB, 按字节编址。虚拟地址空间大小为 4GB, 采用页式存储管理方式, 页面大小为 4KB, TLB (快表) 采用全相联映射, 有 4 个页表项, 内容如表 4.12 所示。

表 4.12 4 个页表项的内容

有效位	标记	页框号	...
0	FF180H	0002H	...
1	3FFF1H	0035H	...
0	02FF3H	0351H	...
1	03FFFH	0153H	...

则对虚拟地址 03FFF180H 进行虚实地址转换的结果是\_\_\_\_\_。

- A. 0153180H      B. 0035180H      C. TLB 缺失      D. 缺页

(19) [2019] 下列关于缺页处理的叙述中, 错误的是\_\_\_\_\_。

- A. 缺页是在地址转换时 CPU 检测到的一种异常  
B. 缺页处理由操作系统提供的缺页处理程序完成  
C. 缺页处理程序根据页故障地址从外存读入所缺失的页  
D. 缺页处理完成后执行发生缺页的指令的下一条指令

#### 4.3 简答题

- (1) 计算机系统中采用层次化存储体系结构的目的是什么?
- (2) 为什么在存储器芯片中设置片选输入端?
- (3) 动态 MOS 存储器为什么要刷新? 如何刷新?
- (4) 试述多体交叉存储器的设计思想和实现方法。
- (5) 为什么说 cache 对程序员是透明的?
- (6) 直接相联映射方式下为什么不需要使用替换算法?
- (7) 为什么要考虑 cache 的一致性?



(8) 替换算法有哪几种? 它们各有何优缺点?

4.4 对于 32KB 容量的存储器, 若按 16 位字编址, 其地址寄存器应是多少位? 数据寄存器是多少位?

4.5 用 4 个  $32\text{K} \times 8$  位 SRAM 存储芯片可设计出哪几种不同容量和字长的存储器? 画出相应设计图并完成与 CPU 的连接。

4.6 用  $32\text{K} \times 8$  位 RAM 芯片和  $64\text{K} \times 4$  位 ROM 芯片设计  $256\text{K} \times 8$  位存储器。其中, 从 30000H 到 3FFFFH 的地址空间为只读存储区, 其他为可读、可写存储区。完成存储器与 CPU 的连接。

4.7 某计算机字长为 16 位, 主存容量为  $128\text{K} \times 16$  位, 请用  $16\text{K} \times 8$  位的静态 RAM 芯片和  $32\text{K} \times 16$  位的 ROM 芯片为该机设计一个主存储器。要求 18000H ~ 1FFFFH 为 ROM 区, 其余为 RAM 区。画出该存储器结构及其与 CPU 连接的框图。

4.8 用  $64\text{K} \times 1$  位的 DRAM 芯片构成  $1\text{M} \times 8$  位的存储器, 若采用异步刷新, 每次刷新间隔不超过 2ms, 则产生刷新信号的间隔时间是多少? 假设读写周期为  $0.5\mu\text{s}$ , 若采用集中刷新方式, 则存储器刷新一遍最少要用多少个读写周期? CPU 的“死”时间为多少?

4.9 设有某动态 RAM 芯片, 容量为  $64\text{K} \times 1$  位, 除电源线、接地线和刷新线外, 该芯片的最小引脚数量是多少?

4.10 用  $16\text{K} \times 1$  位的 DRAM 芯片构成  $64\text{K} \times 8$  位的存储器, 设存储器的读写周期为  $0.5\mu\text{s}$ , 要使 CPU 在  $1\mu\text{s}$  内至少访问存储器一次, 采用哪种刷新方式比较合适? 若每次刷新间隔不超过 2ms, 该方式下刷新信号的产生周期是多少?

4.11 设 cache 的容量为  $2^{14}$  块, 每块 4 个字节, 主存按字节编址, 其中有表 4.13 所示的数据 (地址和数据均采用十六进制表示)。

表 4.13 主存数据分布情况

地址	数据	地址	数据
000000	87568536	01FFFC	4FFFFC68
000008	87792301	FFFFF8	01BF2460
010004	9ABEFC00		

将主存中这些数据装入 cache 后, cache 各块中的数据内容及相应的标志是什么?

(1) 全相联映射; (2) 直接相联映射; (3) 四路组相联映射。

4.12 某计算机的 cache 由 64 个存储块构成, 采用四路组相联映射方式, 主存包含 4096 个存储块, 每块由 128 个字组成, 访问地址为字地址。

(1) 主存地址和 cache 地址各有多少位?

(2) 按照题干条件中的映射方式, 列出主存地址的划分情况, 并标出各部分的位数。

4.13 某计算机的主存容量为 4MB, cache 容量为 16KB, 每块包含 8 个字, 每字为 32 位, 映射方式采用四路组相联。设 cache 的初始状态为空, CPU 依次从主存第 0, 1, 2, ..., 99 号单元读出 100 个字 (每次读一个字), 并重复此操作 10 次, 替换算法采用 LRU 算法。

(1) 求 cache 的命中率。

(2) 若 cache 比主存快 10 倍, 分析采用 cache 后存储访问速度提高了多少。

4.14 假定某数组元素按行优先顺序存放在主存中, 则在以下两段伪代码 A 和 B 中, 分析下列问题。

(1) 两段代码中对数组访问的时间局部性和空间局部性。

(2) 变量 sum 的时间局部性和空间局部性。

(3) for 循环体对指令访问的时间局部性和空间局部性。

(4) 为什么 cache 可以采用写穿策略, 而修改页面内容时总是采用写回策略?

4.19 某计算机采用页式虚拟存储管理方式, 按字节编址。CPU 进行存储访问的过程如图 4.58 所示。回答下列问题。

(1) 主存的物理地址占多少位?

(2) TLB 采用什么映射方式? TLB 是用 SRAM 还是用 DRAM 实现?

(3) cache 采用什么映射方式? 若 cache 采用 LRU 替换算法和写回策略, 则 cache 每行中除数据 (Data)、tag 和有效位外, 还应有哪些附加位? cache 总容量是多少? cache 中有效位的作用是什么?

(4) 若 CPU 给出的虚拟地址为 0008 C040H, 则对应的物理地址是多少? 是否在 cache 中命中? 说明理由, 若 CPU 给出的虚拟地址为 0007 C260H, 则该地址所在主存块映射到的 cache 组号是多少?

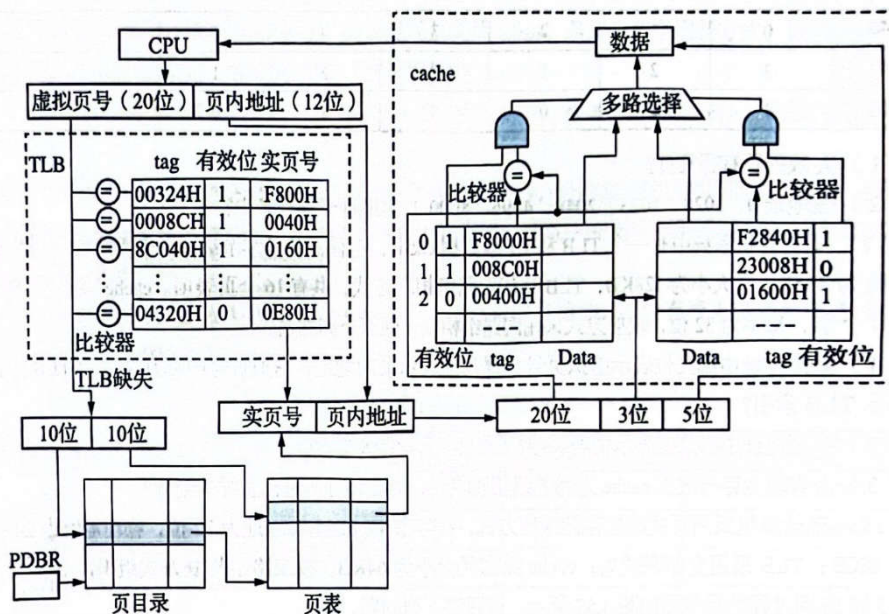


图 4.58 页式虚拟存储器访问过程示意图

## 实践训练

- (1) 在 Logisim 中利用 ROM 组件构建能显示  $16 \times 16$  点阵的汉字字库存储系统。
- (2) 在 Logisim 中利用 RAM 组件构建能同时支持 8 位、16 位、32 位数据访问的存储器。
- (3) 在 Logisim 中利用给定的 cache 框架分别设计直接相联、全相联、组相联映射 cache。

习题五:

表 5.19 RISC-V 寻址方式

#	寻址方式	有效地址 EA/ 操作数 S	指令示例
1	立即数寻址	$S = \text{imm}$	<code>addi rd, rs1, imm</code>
2	寄存器寻址	$S = R[\text{rs1}]$	<code>add rd, rs1, rs2</code>
3	寄存器相对寻址 / 基址寻址	$EA = R[\text{rs1}] + \text{imm}$	<code>lw rd, imm(rs1)</code>
4	相对寻址	$EA = PC + \text{imm} \ll 1$	<code>beq rs1, rs2, imm</code>

## 习题 5

### 5.1 解释下列名词。

指令 指令系统 操作码 扩展操作码 地址码 寻址方式 程序计数器 PC 有效地址 存储器堆栈 寄存器堆栈 基址寄存器 变址寄存器 转子指令 CISC RISC

### 5.2 选择题 (考研真题)。

(1) [2017] 某计算机按字节编址, 指令字长固定且只有两种指令格式, 其中三地址指令 29 条, 二地址指令 107 条, 每个地址字段为 6 位, 则指令字长至少应该是\_\_\_\_\_。

- A. 24 位      B. 26 位      C. 28 位      D. 32 位

(2) [2014] 某计算机有 16 个通用寄存器, 采用 32 位定长指令字, 操作码字段 (含寻址方式位) 为 8 位, Store 指令的源操作数和目的操作数分别采用寄存器直接寻址和基址寻址方式。若基址寄存器可使用任一通用寄存器, 且偏移量用补码表示, 则 Store 指令中偏移量的取值范围是\_\_\_\_\_。

- A.  $-32768 \sim +32767$       B.  $-32767 \sim +32768$   
C.  $-65536 \sim +65535$       D.  $-65535 \sim +65536$

(3) [2020] 某计算机采用 16 位定长指令字格式, 操作码位数和寻址方式位数固定, 指令系统中有 48 条指令, 支持直接、间接、立即、相对 4 种寻址方式, 单地址指令中直接寻址方式可寻址范围是\_\_\_\_\_。

- A.  $0 \sim 255$       B.  $0 \sim 1023$       C.  $-128 \sim 127$       D.  $-512 \sim 511$

(4) [2016] 某指令格式如图 5.33 所示。

OP	M	I	D
----	---	---	---

图 5.33 某指令格式

其中 M 为寻址方式, I 为变址寄存器编号, D 为形式地址。若采用先变址后间址的寻址方式, 则操作数的有效地址是\_\_\_\_\_。

- A.  $I+D$       B.  $(I)+D$       C.  $((I)+D)$       D.  $((I))+D$

(5) [2009] 某计算机字长为 16 位, 主存按字节编址, 转移指令采用相对寻址, 由两个字节组成, 第一字节为操作码字段, 第二字节为相对位移量字段。假定取指令时, 每取一个字节 PC 自动加 1。若某转移指令所在主存地址为 2000H, 相对位移量字段的内容为 06H, 则该转移指令成功转移后的目标地址是\_\_\_\_\_。

- A. 2006H      B. 2007H      C. 2008H      D. 2009H

(6) [2011] 偏移寻址通过将某个寄存器内容与一个形式地址相加来生成有效地址。下列寻址方式中, 不属于偏移寻址方式的是\_\_\_\_\_。

- A. 间接寻址      B. 基址寻址      C. 相对寻址      D. 变址寻址

(7) [2013] 假设变址寄存器 R 的内容为 1000H, 指令中的形式地址为 2000H; 地址 1000H 中的内容为 2000H, 地址 2000H 中的内容为 3000H, 地址 3000H 中的内容为 4000H, 则变址寻址方式下访问到的操



作数是\_\_\_\_\_。

- A. 1000H      B. 2000H      C. 3000H      D. 4000H

(8) [2017] 下列寻址方式中, 最适合按下标顺序访问一维数组元素的是\_\_\_\_\_。

- A. 相对寻址      B. 寄存器寻址      C. 直接寻址      D. 变址寻址

(9) [2019] 某计算机采用大端方式, 按字节编址。某指令中操作数的机器数为 1234 FF00H, 该操作数采用基址寻址方式, 形式地址(用补码表示)为 FF12H, 基址寄存器的内容为 F000 0000H, 则该操作数的 LSB(最低有效字节)所在的地址是\_\_\_\_\_。

- A. F000 FF12H      B. F000 FF15H      C. EFFF FF12H      D. EFFF FF15H

(10) [2018] 按字节编址的计算机中, 某 double 型数组 A 的首地址为 2000H, 使用变址寻址和循环结构访问数组 A, 保存数组下标的变址寄存器初值为 0, 每次循环取一个数组元素, 其偏移地址为变址值乘以 sizeof(double), 取完后变址寄存器内容自动加 1。若某次循环所取元素的地址为 2100H, 则进入该次循环时变址寄存器的内容是\_\_\_\_\_。

- A. 2      B. 32      C. 64      D. 100

(11) [2011] 某计算机有一个标志寄存器, 其中有进位/借位标志 CF、零标志 ZF、符号标志 SF 和溢出标志 OF, 条件转移指令 bgt(无符号整数比较大时转移)的转移条件是\_\_\_\_\_。

- A.  $CF+ZF=1$       B.  $\overline{SF}+ZF=1$       C.  $\overline{CF}+\overline{ZF}=1$       D.  $\overline{CF}+\overline{SF}=1$

(12) [2018] 减法指令 sub R1,R2,R3 的功能为“(R1)-(R2)→R3”, 该指令执行后将生成进位/借位标志 CF 和溢出标志 OF。若 (R1)=FFFFFFFH, (R2)=FFFFFFF0H, 则该减法指令执行后, CF 与 OF 分别为\_\_\_\_\_。

- A. CF=0, OF=0      B. CF=1, OF=0      C. CF=0, OF=1      D. CF=1, OF=1

(13) [2009] 下列关于 RISC 的叙述中, 错误的是\_\_\_\_\_。

- A. RISC 普遍采用微程序控制器  
B. RISC 中的大多数指令在一个时钟周期内完成  
C. RISC 的内部通用寄存器数量比 CISC 的多  
D. RISC 的指令数、寻址方式和指令格式种类比 CISC 的少

### 5.3 简答题。

- (1) 什么叫指令? 什么叫指令系统?
- (2) 计算机中为什么要设置多种操作数寻址方式?
- (3) 操作数寻址方式在指令中如何表示?
- (4) 基址寻址和变址寻址的作用是什么? 分析它们的异同点。
- (5) RISC 处理器有何特点?
- (6) 比较定长指令与变长指令的优缺点。
- (7) 指令的地址码与指令中的操作码含义有何不同?

### 5.4 根据操作数所在的位置, 在空格处填写其寻址方式。

- (1) 操作数在指令中为\_\_\_\_\_寻址方式。
- (2) 操作数地址(主存)在指令中为\_\_\_\_\_寻址方式。
- (3) 操作数在寄存器中为\_\_\_\_\_寻址方式。
- (4) 操作数地址在寄存器中为\_\_\_\_\_寻址方式。

5.5 某计算机字长为 16 位, 运算器为 16 位, 有 16 个通用寄存器, 8 种寻址方式, 主存为 128KW, 指令中操作数地址码由寻址方式字段和寄存器号字段组成。请回答下列问题。

- (1) 单操作数指令最多有多少条?

(2) 双操作数指令最多有多少条?

(3) 直接寻址的范围多大?

(4) 变址寻址的范围多大?

5.6 假设某计算机的指令长度固定为 16 位, 具有双操作数、单操作数和无操作数 3 类指令, 每个操作数地址规定用 6 位表示。

(1) 若操作码字段不固定, 现已设计出  $m$  条双操作数指令、 $n$  条无操作数指令, 在此情况下, 这台计算机最多可以设计出多少条单操作数指令?

(2) 若操作码字段不固定, 当双操作数指令取最大数时, 且在此基础上, 单操作数指令条数也取最大值, 试计算这 3 类指令最多可拥有多少条指令?

5.7 设相对寻址的转移指令占 3 个字节, 第一个字节是操作码, 第二个字节是相对位移量 (补码表示) 的低 8 位, 第三个字节是相对位移量 (补码表示) 的高 8 位, 每当 CPU 从存储器取一个字节时, 便自动完成  $(PC)+1 \rightarrow PC$ 。请回答下列问题。

(1) 若 PC 当前值为 256 (十进制), 要求转移到 290 (十进制), 则转移指令第二、三字节的机器代码是什么 (十六进制)?

(2) 若 PC 当前值为 128 (十进制), 要求转移到 110 (十进制), 则转移指令第二、三字节的机器代码又是什么 (十六进制)?

5.8 计算机的指令格式包括操作码 OP、寻址方式特征位 I 和形式地址 D 等 3 个字段, 其中 OP 字段为 6 位, 寻址方式特征位 I 为 2 位, 形式地址字段 D 为 8 位。I 的取值与寻址方式的对应关系如下。

I=00: 直接寻址。

I=01: 用变址寄存器 X1 进行变址。

I=10: 用变址寄存器 X2 进行变址。

I=11: 相对寻址。

设  $(PC)=1234H$ ,  $(X1)=0037H$ ,  $(X2)=1122H$ , 以下 4 条指令均采用上述格式, 请确定这些指令的有效地址。

(1) 4420H; (2) 2244H; (3) 1322H; (4) 3521H。

5.9 某计算机 A 有 60 条指令, 指令的操作码字段固定为 6 位, 从 000000 ~ 111011, 该计算机的后续机型 B 中需要增加 32 条指令, 并与 A 保持兼容。

(1) 试采用扩展操作码为计算机 B 设计指令操作码。

(2) 求出计算机 B 中操作码的平均长度。

5.10 以下 MIPS 指令代表什么操作? 写出它的 MIPS 汇编指令格式。

0000 0000 1010 1111 1000 0000 0010 0000

5.11 假定以下 C 语言语句中包含的变量 f、g、h、i、j 分别存放在寄存器 \$11 ~ \$15 中, 写出实现 C 语言语句  $f=(g+h)*ij$  功能的 MIPS 汇编指令序列, 并写出每条 MIPS 指令的十六进制数。

5.12 某计算机字长为 16 位, 主存地址空间大小为 128KB, 按字编址。采用单字长指令格式, 指令各字段定义如图 5.34 所示。

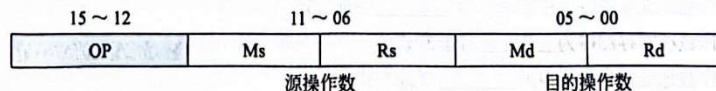


图 5.34 单字长指令各字段定义

转移指令采用相对寻址方式, 相对偏移量用补码表示, 寻址方式定义如表 5.20 所示。



表 5.20 转移指令寻址方式

$M_1/M_0$	寻址方式	助记符	含义
000B	寄存器直接寻址	$R_n$	操作数 $= (R_n)$
001B	寄存器间接寻址	$(R_n)$	操作数 $= ((R_n))$
010B	寄存器间接 + 自增寻址	$(R_n)+$	操作数 $= ((R_n))$ , $(R_n)+1 \rightarrow (R_n)$
011B	相对寻址	$D(R_n)$	转移目标地址 $= (PC)+(R_n)$

注: (X) 表示存储器地址 X 或寄存器 X 的内容。

请回答下列问题。

(1) 该指令系统最多可有多少条指令? 该计算机最多有多少个通用寄存器?

(2) 存储器地址寄存器 MAR 和存储器数据寄存器 MDR 至少各需要多少位?

(3) 转移指令的目标地址范围是多少?

(4) 若操作码 0010B 表示加法操作 (助记符为 add), 寄存器 R4 和 R5 的编号分别为 100B 和 101B, R4 的内容为 1234H, R5 的内容为 5678H, 地址 1234H 中的内容为 5678H, 地址 5678H 中的内容为 1234H, 则汇编语言为 “add (R4),(R5)+” (逗号前为源操作数, 逗号后为目的操作数) 对应的机器码是什么 (用十六进制表示)? 该指令执行后, 哪些寄存器和存储单元中的内容会改变? 改变后的内容是什么?

5.13 某计算机采用 16 位定长指令字格式, 其 CPU 中有一个标志寄存器, 其中包含进位/借位标志 CF、零标志 ZF 和符号标志 NF。假定为该计算机设计了条件转移指令, 其格式如图 5.35 所示。

15 ~ 11	10	9	8	07 ~ 00
00000	C	Z	N	OFFSET

图 5.35 条件转移指令格式

其中, 00000 为操作码 OP; C、Z 和 N 分别为 CF、ZF 和 NF 的对应检测位, 某检测位为 1 时表示需检测对应标志, 需检测的标志位中只要有一个为 1 就转移, 否则不转移。例如, 若  $C=1$ ,  $Z=0$ ,  $N=1$ , 则需检测 CF 和 NF 的值, 当  $CF=1$  或  $NF=1$  时发生转移; OFFSET 是相对偏移量, 用补码表示。转移执行时, 转移目标地址为  $(PC)+2+OFFSET \times 2$ ; 顺序执行时, 下条指令地址为  $(PC)+2$ 。请回答下列问题。

(1) 该计算机存储器按字节编址还是按字编址? 该条件转移指令向后 (反向) 最多可跳转多少条指令?

(2) 某条件转移指令的地址为 200CH, 指令内容如图 5.36 所示, 若该指令执行时  $CF=0$ ,  $ZF=0$ ,  $NF=1$ , 则该指令执行后 PC 的值是多少? 若该指令执行时  $CF=1$ ,  $ZF=0$ ,  $NF=0$ , 则该指令执行后 PC 的值又是多少? 请给出计算过程。

15 ~ 11	10	9	8	07 ~ 00
00000	0	1	1	11100011

图 5.36 某条件转移指令

(3) 实现 “无符号数比较小于等于时转移” 功能的指令中, C、Z 和 N 应各是什么?

## 实践训练

(1) 在 MIPS 汇编器 MARS 中, 利用最少的 MIPS 指令编写一个内存数据冒泡排序程序。

(2) 在 RISC-V 汇编器 RARS 中, 利用最少的 RISC-V 指令编写一个内存数据冒泡排序程序。