得分

第四题（15 分）

请分析 Y86-64 ISA 中加入的一族间接跳转指令：jxx *rB，其格式如下：

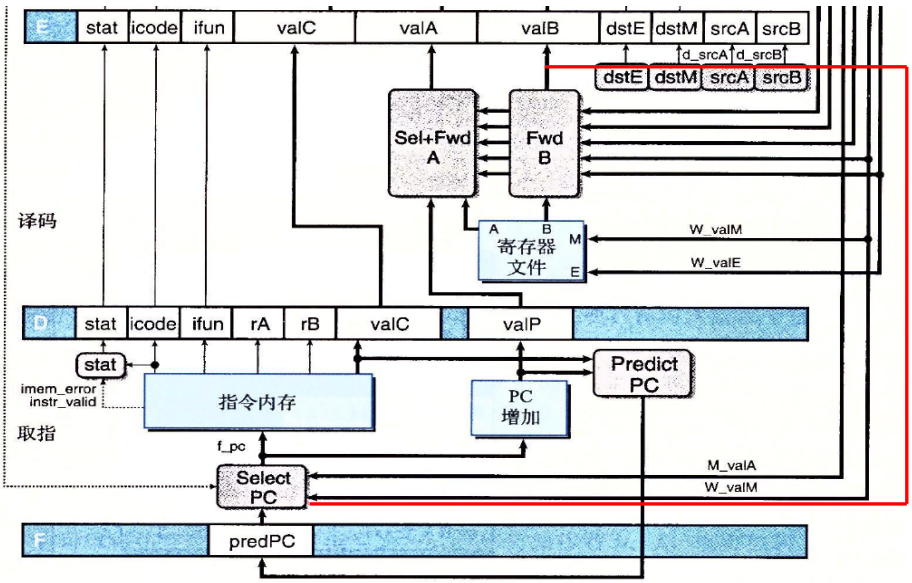
C	Fn	F	rB

该指令的功能是跳转到寄存器 R[rB] 所存放的地址。类似于直接跳转指令，间接跳转指令也包括无条件跳转和条件跳转，通过不同的功能码 Fn 来指示。为了和直接跳转区别，icode 为 IJREGXX。时钟周期适当进行延长，在不修改原有的硬件线路和信号设置的前提下，只增加和新指令有关的逻辑，回答以下问题。

1．在教材中的 SEQ 处理器上实现该指令，请补全下表中每个阶段的操作。需要说明的信号可能有：icode, ifun, rA, rB, valA, valB, valC, valE, valP, Cnd, R[], M[], PC, CC

Stage	jxx *rB
Fetch	icode : ifun ← M_1[PC]
Decode	
Execute	
Memory	
Write Back	
Update PC	PC <- Cnd ? valE: valP

2．考虑在教材中的 Pipeline 处理器上实现该指令，采用总是选择分支（预测下一条指令时使用跳转地址 R[rB]）的预测策略。



由于 R[rB]需要到译码阶段才能得到，需要增加一条从 Fwd B 输出信号 d_valB 到 Select PC 的旁路通路，增加线路如图所示。增加旁路后，为了预测 jxx *rB 的下一条 PC，_____（需要/不需要）在该指令和下一条指令间插入气泡。

Select PC 的 HCL 代码如下图所示：

```
word f_pc = [
   ①
   (M_icode == IJXX || M_icode == IJREGXX) && !M_cnd :
  M_valA;
   ②
   W_icode == IRET : W_valM;
   ③
   1 : F_predPC;
   ④
]
```

为了预测下一条 PC，需要修改 Select PC 的 HCL 代码，增加一行 _____ : _____，增加的位置可以是 _____ （写出所有可能的位置，错填不得分，漏填可得部分分）

3．请将该指令预测错误的触发条件，以及此时流水线的控制逻辑补充完整。

触发条件：（如果有多种可能请任写一种）

_____ == IJREGXX && _____

控制逻辑：（如果有多种可能请任写一种）

F	D	E	M	W

4．基于改造后的 Y86-64 PIPE 考虑如下代码片段，回答问题。

```
# Array of 3 elements
array:
.quad return
.quad L1
.quad L2

# void foo(long n, long *arr)
# n in %rdi, arr in %rsi
foo:
rrmovq %rdi, %rdx          # line 1
addq %rdx, %rdx            # line 2
addq %rdx, %rdx            # line 3
addq %rdx, %rdx            # line 4
irmovq array, %rcx         # line 5
addq %rdx, %rcx            # line 6
andq %rdi, %rdi            # line 7
jge *%rcx                  # line 8
return:                    #
ret                    # line 9
L2: #
mrmovq 16(%rsi), %rcx      # line 10
rmmovq %rcx, 8(%rsi)       # line 11
L1:                        #
mrmovq 8(%rsi), %rcx       # line 12
rmmovq %rcx, (%rsi)        # line 13
jmp return                 # line 14
```

在 foo 函数运行过程中，计算以下情况 foo 函数的执行周期数。（周期数计算从执行 foo 第一条指令开始，直到其返回指令 ret 完全通过流水线为止。另外假设 foo 函数开始的若干条指令不会和 foo 函数体外的指令形成冒险。）

n=-1：_____；n=0：_____；n=2：_____