

得分

第五题（15 分）

Cache 为处理器提供了一个高性能的存储器层次框架。下面是一个 8 位存储器地址引用的列表（地址单位为字节，地址为 10 进制表示）：

3, 180, 43, 2, 191, 88, 190, 14, 181, 44

- 考虑如下 cache（S=2, E=2），每个 cache block 大小为 2 个字节。假设 cache 初始状态为空，替换策略为 LRU。请填补下表：

（Tag 使用二进制格式；Data 使用十进制格式，例：M[6-7]表示地址 6 和 7 对应的数据）

	V	Tag	Data	V	TAG	Data
SET 0	1			1		
SET 1	1			1		

共命中_____次，分别访问地址_____（地址用 10 进制表示）

- 现在有另外两种直接映射的 cache 设计方案 C1 和 C2，每种方案的 cache 总大小都为 8 个字节，C1 块大小为 2 个字节，C2 块大小为 4 个字节。假设从内存加载一次数据到 cache 的时间为 25 个周期，访问一次 C1 的时间为 3 个周期，访问一次 C2 的时间为 5 个周期。
 - 针对第一问的地址访问序列，哪一种 cache 的设计更好？
 - 请分别给出两种 cache 访问第一问地址序列的总时间，以及 miss rate。

- 现在考虑另外一个计算机系统。在该系统中，存储器地址为 32 位，并采用如下的 cache：

Cache datasize	Cache block size	Cache mode
32 KiB	8 Bytes	直接映射

此 cache 至少要占用_____Bytes. (datasize + (valid bit size + tag size) * blocks)

得分

第五题（16 分）

现有一个直接映射（Direct-mapped）的高速缓存（cache），其总容量为 16 字节，每个高速缓存块（cache block）为 4 字节（B=4Byte/block）。Cache 的初始状态为空。

（1）经过如下地址访问序列后，请填写 cache 第 2 组（即 Set 2，注：从 0 开始编号）的状态。数据块用 10 进制表示，举例：M[4-7] 表示地址 4-7 的数据。地址序列全部为读访存，每次读取 2 个字节，地址单位为字节。

（提示：一次访存可能访问多个高速缓存块。）

R	0	[000000] ₂ ,			
R	1	[000001] ₂ ,			
R	7	[000111] ₂ ,			
R	4	[000100] ₂ ,			
R	0	[000000] ₂			

	v	Tag	Block
Set 2			

本次访存序列，共发生_____次高速缓存缺失 (miss)？

（提示：一次访存可能引发多次高速缓存缺失。）

（2）接上题，高速缓存重新清空后，执行如下访问序列，同时包含读访存（R）和写访存（W）操作，每次读/写 2 个字节，高速缓存采用 write back + no-write-allocate 的管理策略，其他配置不变。请填写访存后 cache 第 1 组 (Set 1) 的状态。

R	0	[000000] ₂ ,			
R	1	[000001] ₂ ,			
W	7	[000111] ₂ ,			
R	12	[001100] ₂ ,			
R	9	[001001] ₂			

	v	Tag	Block
Set 1			

本次访存序列，共发生_____次高速缓存命中 (hit)？

(3) 为了提升高速缓存的效率，设计师提出两种修改方案

- a) 将高速缓存块增大到 8 字节 ($B=4\text{Byte/block}$)，其他配置不变，每次访存命中 (hit) 的时间开销为 4 个时钟周期；
- b) 将高速缓存变为全相连 (fully-associative, 即 $S=1$)，其他配置不变，每次访存命中 (hit) 的时间开销为 2 个时钟周期；

对于如下访问序列，分别采用两种修改方案的访存时间总开销相等，请问每次高速缓存缺失 (miss) 的时间开销是_____时钟周期？

R	0	[000000] ₂],
R	1	[000001] ₂],
R	7	[000111] ₂],
R	8	[001000] ₂],
R	9	[001001] ₂]

提示：修改高速缓存配置不会影响高速缓存缺失的时间开销