

# FPGA alapú rendszerek fejlesztése

## Házifeladat

2023.

### Tartalom

1.	Feladat: 2D FIR szűrő .....	2
1.1.	Videó formátum .....	2
1.2.	Blokkvázlat.....	3
2.	Kiegészítő feladat: hisztogram számítás.....	5

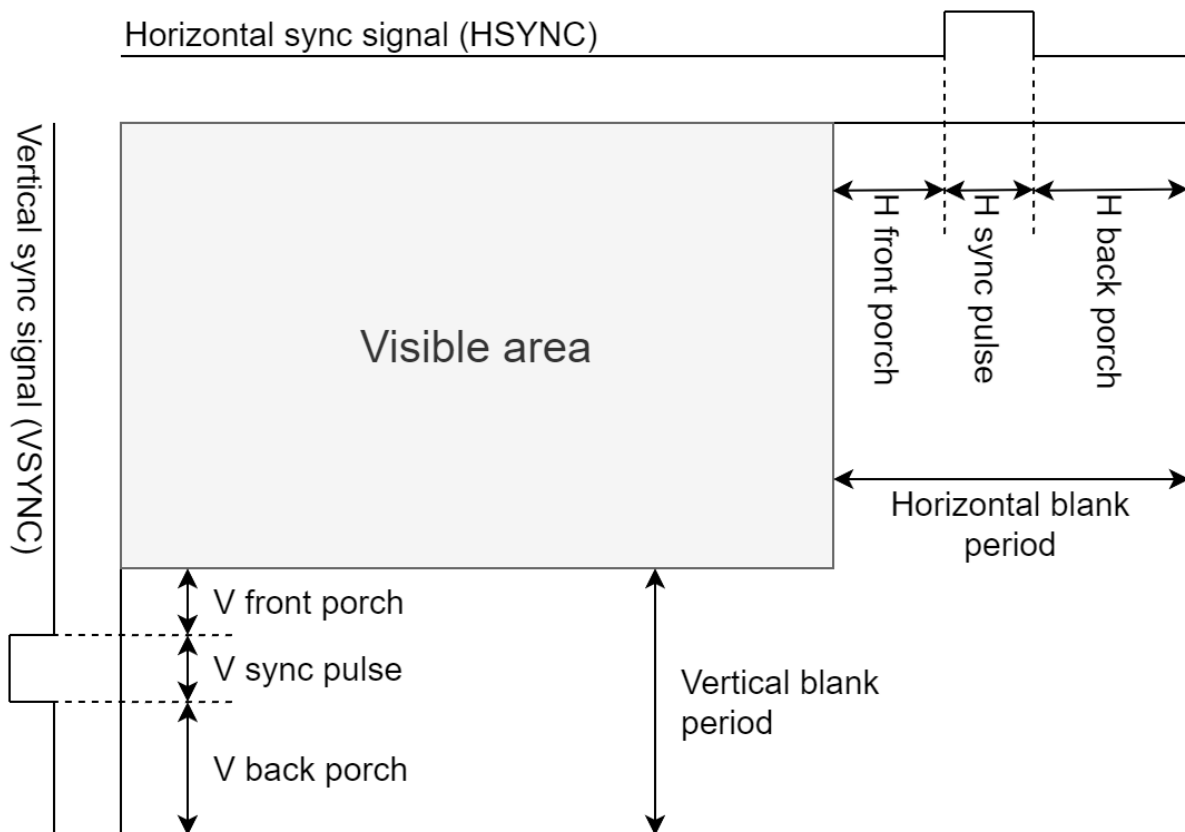
## 1. Feladat: 2D FIR szűrő

A házi feladat egy valós idejű 2D FIR szűrő megvalósítása Logsys Kintex-7 kártyán:

- A szűrő bemenete az IP blokként kapott HDMI vevő (HDMI RX) kimenete.
- A szűrő kimenetét az ugyancsak IP blokként kapott HDMI adó (HDMI TX) felé kell továbbítani.
  - o A szűrőablak mérete 5x5 pixel, az együtthatók formátuma: 16 bites előjeles fix pontos szám 8 bitnyi törtrésszel. Amennyiben előfordulhat, úgy a kimeneti túlcsondulást szaturációval kell kezelni.
- A szűrést szürkeárnyaltos képen kell elvégezni, melyet a 3 színt komponens tartalmazó bemeneti képből kell előállítani (RGB → Y konverzió, lásd 4. gyakorlat). A kimenetre szürkeárnyaltos képet kell kiadni.
- A szűrőnek képesnek kell lennie tetszőleges, legfeljebb 1600x900 pixeles videó folyam feldolgozására. A videó felbontás és frissítési frekvencia működés közben változhat.
- A szűrő együtthatókészlete működési időben konfigurálható.
  - o A konfigurációt egy MicroBlaze processzort tartalmazó processzoros alrendszer végzi, amely a felhasználó PC-jével soros porton (UART) keresztül kommunikál.
  - o Új szűrő konfiguráció alkalmazásához pontosan 25 darab együttható értéket kell az FPGA felé küldeni, amit egy (kocsi vissza + új sor) karakter-pár követ. Amennyiben a fogadott együtthatók száma kevesebb vagy több, úgy a beérkező érték-sorozatot érvénytelennek kell tekinteni. Az együtthatók formátuma:
    - előjel: + vagy – karakter
    - egész rész karakterek
    - tizedes pont
    - tört rész karakterek

### 1.1. Videó formátum

A HDMI vevő minden órajelben egy pixel értékét, valamint a 3 vezérlőjelet szolgáltat, melyek megegyeznek a VGA interfész jeleivel. A teljes továbbított kép mind horizontális, mind pedig vertikális irányban látható tartományból és kioltási (blank) intervallumokból áll. A horizontális kioltási idő alatt (azaz minden egyes sorban) található a horizontális szinkron pulzus (HSYNC), míg a vertikális képköltési idő alatt (tehát képenként egyszer) a vertikális szinkron pulzus. A pulzusok polaritása felbontástól függően lehet ponált vagy negált, az alábbi ábra ponált esetet mutat.



A HDMI vevő által szolgáltatott jelek:

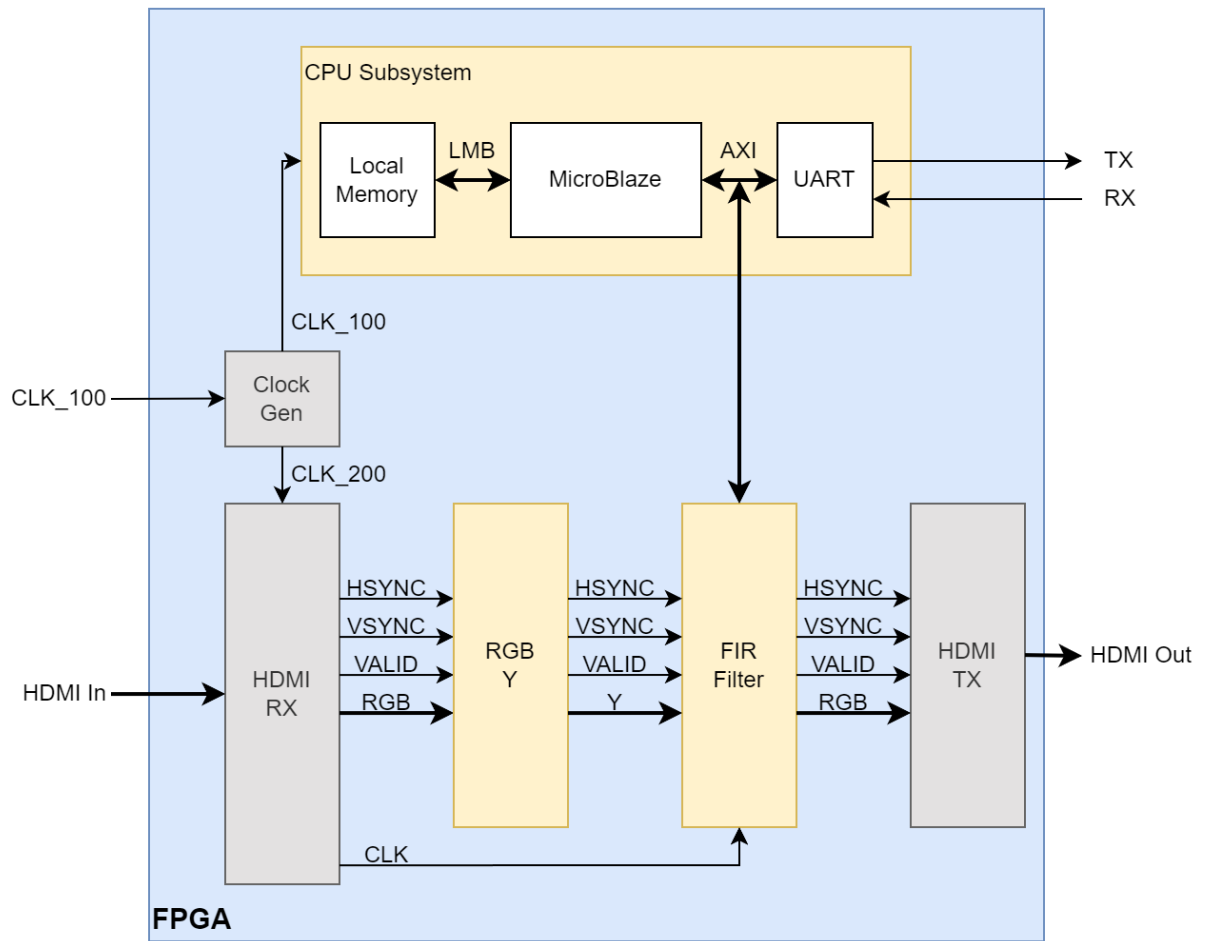
- rx\_red, rx\_green, rx\_blue: a 3 színkomponens 8-8 biten
- rx\_hsync: horizontális szinkronjel
- rx\_vsync: vertikális szinkronjel
- rx\_dv: a látható pixelek alatt 1, a blank periódusok alatt 0

A maximális 1600x900 @ 60 Hz felbontás időzítési adatait a mellékelt VESA szabvány tartalmazza.

## 1.2. Blokkvázlat

A megvalósítandó rendszer blokkvázlata az alábbi. A szürkével jelölt blokkok a kiinduló projekt részét képezik, a továbbiak implementálása/példányosítása a házi feladat része.

Az RGB → Y konverter kimenete 8 bites egész szám.



## 2. Kiegészítő feladat: hisztogram számítás

A megajánlott jegyhez megvalósítandó további funkció egy hisztogram számító egység. A megvalósítandó egység a MicroBlaze felől érkező engedélyező jel hatására a következő teljes szürkeárnyaltos bemeneti kép alapján hisztogramot számol, amelyet a MicroBlaze processzor soros porton a PC felé továbbít. A hisztogram számítás kérése PC felől: H karakter majd (kocsi vissza + új sor) karakterek elküldésével lehetséges. A PC felé továbbítandó az egyes hisztogram bin-ek értéke vesszővel elválasztva.

A megajánlott jegyhez szükséges továbbá annak vizsgálata, hogy az 1. pontban megvalósított FIR szűrőben az implementált DSP blokkok felhasználása (elhelyezés, huzalozás, belső erőforrások használata) ideális-e.